



**INSTITUTO POLITÉCNICO NACIONAL**

---

---

**ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA**

**SECCIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN  
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA**

**Implementación de Algoritmos Sünter-Clare en un  
Convertidor Matricial**

**TESIS**

**QUE PARA OBTENER EL GRADO DE  
MAESTRO EN CIENCIAS  
EN INGENIERÍA ELÉCTRICA**

**PRESENTA:**

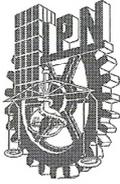
**Eliher Alejandro Ortiz Colin**



México, D. F.

Junio 2013





**INSTITUTO POLITÉCNICO NACIONAL**  
**SECRETARÍA DE INVESTIGACIÓN Y POSGRADO**

SIP-14

*ACTA DE REVISIÓN DE TESIS*

En la Ciudad de México, D. F. siendo las 12:00 horas del día 30 del mes de Mayo del 2013 se reunieron los miembros de la Comisión Revisora de Tesis designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de E.S.I.M.E.-ZAC. para examinar la tesis de titulada:

**“IMPLEMENTACIÓN DE ALGORITMOS SÜNTER-CLARE EN UN CONVERTIDOR MATRICIAL”**

Presentada por el alumno:

**ORTÍZ**

Apellido paterno

**COLÍN**

Apellido materno

**ELIHER ALEJANDRO**

Nombre(s)

Con registro: 

A	1	1	0	5	5	8
---	---	---	---	---	---	---

aspirante de:

**MAESTRO EN CIENCIAS EN INGENIERÍA ELÉCTRICA**

Después de intercambiar opiniones los miembros de la Comisión manifestaron **SU APROBACIÓN DE LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Director de tesis

DR. JAIME JOSÉ RODRIGUEZ RIVAS

Presidente

DR. DANIEL OLGUÍN SALINAS

Segundo Vocal

DR. RAÚL ÁNGEL CORTÉS MATEOS

Tercer Vocal

DR. ISMAEL ARAUJO VARGAS

Secretario

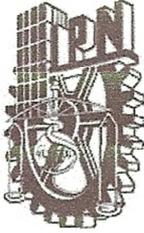
DR. FERMÍN PASCUAL ESPINO CORTÉS

EL PRESIDENTE DEL COLEGIO

DR. MAURO ALBERT MANCISO AGUILAR







**INSTITUTO POLITÉCNICO NACIONAL**  
COORDINACIÓN GENERAL DE POSGRADO E INVESTIGACIÓN

**CARTA CESIÓN DE DERECHOS**

En la Ciudad de México, Distrito Federal, el día 30 de mayo del año 2013, el que suscribe **Eliher Alejandro Ortiz Colin** alumno del Programa de Maestría en Ciencias con especialidad en Ingeniería Eléctrica con número de registro A110558, adscrito a la Sección de Estudios de Posgrado e Investigación de la ESIME Unidad Zacatenco, manifiesta que es autor intelectual del presente Trabajo de Tesis bajo la dirección del **Dr. Jaime José Rodríguez Rivas** y cede los derechos del trabajo intitulado: **"IMPLEMENTACIÓN DE ALGORITMOS SÜNTER-CLARE EN UN CONVERTIDOR MATRICIAL"**, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección: [alejandro\\_ortizcolin@hotmail.com](mailto:alejandro_ortizcolin@hotmail.com); [jjrodriguez@ipn.mx](mailto:jjrodriguez@ipn.mx).

Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

---

Eliher Alejandro Ortiz Colin



## Resumen

En este trabajo se describen y analizan los principios de operación del Convertidor Matricial, así como las técnicas de modulación del ancho de los pulsos y de conmutación de los interruptores electrónicos.

El Convertidor Matricial utilizado en este trabajo de tesis tiene una potencia de 7.5 kVA, es un diseño de la Universidad de Nottingham, Reino Unido. Para realizar el cálculo de los ciclos de trabajo de los interruptores que conforman este convertidor electrónico de potencia se utilizó un Procesador Digital de Señales (DSP) C6713 de Texas Instruments y para generar las señales PWM de control de los interruptores se utilizó una Tarjeta de Compuertas Lógicas Programables (FPGA) ProASIC3 A3P400 de ACTEL. La tarjeta de desarrollo FPGA también es un diseño de la Universidad de Nottingham. El montaje de todos los componentes del convertidor en la tarjeta impresa (PCB) se realizó en el laboratorio de Electrónica de Potencia de la Sección de Estudios de Posgrado e Investigación del IPN.

Se realiza el diseño del filtro de entrada del Convertidor Matricial, el cual tiene la función de minimizar la inyección de armónicos de corriente a la fuente de alimentación. También se diseña el filtro de salida, utilizado para atenuar los armónicos de corriente y voltaje en la carga del Convertidor Matricial.

Se realizan simulaciones en MatLab/Simulink con el objetivo de analizar el comportamiento del convertidor electrónico antes de realizar pruebas experimentales. En el trabajo se utilizó como técnica de modulación del ancho de los pulsos el algoritmo de Sünter-Clare, el cual es satisfactorio para aplicaciones donde la frecuencia de las señales de entrada o salida varían en función del tiempo. Para comprobar lo anterior, se realizaron simulaciones con una fuente de voltaje de frecuencia y magnitud variable como alimentación del Convertidor Matricial. En estas últimas simulaciones se utilizó un lazo cerrado de control, se programó un compensador de segundo orden y un control repetitivo, los cuales no pudieron ser probados experimentalmente.

Se realizaron pruebas experimentales en el laboratorio de Electrónica de Potencia, se muestran y analizan los resultados. Las pruebas se realizaron en lazo abierto utilizando el algoritmo de modulación de Sünter-Clare. Se compararon los resultados experimentales con los de simulación.



## Abstract

This thesis describes and analyses the Matrix Converter operation principles, as well as pulse width modulation techniques and commutation strategies.

The Matrix Converter used, which is a design of the University of Nottingham in the United Kingdom, has a 7.5 kVA power. In order to calculate duty cycles of the switches that form the power electronic converter, a Texas Instruments Digital Signal Processor (DSP) C6713 was used and to generate PWM control signals of the switches an ACTEL ProASIC3 A3P400 Field Programmable Gate Array Board (FPGA) was used. The FPGA board is also a design of the University of Nottingham. Mounting of all the Matrix Converter's devices on the printed circuit board was done in the power electronics laboratory of the post grade and investigation department of the Mexican Polytechnic Institute.

Matrix Converter's input filter design is performed; this filter has the function of minimize current harmonics injection to the voltage power supply. Output filter of the Matrix Converter is also designed; this filter is used in order to attenuate current and voltage harmonic in the Matrix Converter load.

Simulations in MatLab/Simulink were made to analyse electronic converter behaviour before realize experimental tests. In this work was programmed as pulse width modulation technique the Sünter-Clare algorithm, which is satisfactory for applications in which frequency of input or output signals is time varying. In order to prove the mentioned before, some simulations were made using a variable voltage source of magnitude and frequency as Matrix Converter's power supply. In these latest simulations a closed loop control was used, a second order compensator plus a repetitive controller were programmed, the control system could not be proved experimentally.

Experimental tests were made in the power electronics laboratory, results obtained are shown and analysed. All the tests were realized in open loop using the Sünter-Clare modulation algorithm. Results obtained by simulations and experimentally are compared.



## Tabla de contenido

<b>Resumen</b> .....	<b>7</b>
<b>Abstract</b> .....	<b>9</b>
<b>Índice de figuras</b> .....	<b>14</b>
<b>Índice de tablas</b> .....	<b>19</b>
<b>Capítulo 1.</b> .....	<b>20</b>
<b>Introducción.</b> .....	<b>20</b>
1.1 Introducción.....	21
1.2 Objetivo.....	21
1.2.1 <i>Objetivos Específicos</i> .....	21
1.3 Justificación .....	22
1.4 Alcances.....	25
1.5 Limitaciones .....	26
1.6 Antecedentes.....	27
1.7 Aportaciones .....	29
1.8 Contenido de la Tesis.....	30
<b>Capítulo 2.</b> .....	<b>32</b>
<b>Principios de Operación del Convertidor Matricial y sus Técnicas de Modulación.</b> <b>32</b>	
2.1 El Convertidor Matricial.....	33
2.1.1 <i>Principios de Operación</i> .....	34
2.1.2 <i>Técnicas de Modulación del ancho de los pulsos (PWM)</i> .....	37
2.1.2.1 <i>Modulación por Vectores Espaciales</i> .....	38
2.1.2.2 <i>Modulación de Venturini</i> .....	47
2.1.2.2.1 <i>Modulación óptima de Venturini</i> .....	48
2.1.2.2.2 <i>Algoritmo de Sünter-Clare</i> .....	50
2.1.3 <i>Estrategias de Conmutación</i> .....	52
2.1.3.1 <i>Estrategias Basadas en el sentido de la corriente</i> .....	54
2.1.3.1.1 <i>Conmutación de corriente de cuatro pasos</i> .....	54
2.1.3.1.2 <i>Conmutación de corriente de dos pasos</i> .....	55
2.1.4 <i>Circuito de Protección</i> .....	56
2.1.5 <i>Filtro de Entrada</i> .....	58
2.1.6 <i>Filtro de Salida</i> .....	60
2.2 Sumario del Capítulo.....	61
<b>Capítulo 3.</b> .....	<b>62</b>
<b>Acondicionamiento e Implementación del prototipo del Convertidor Matricial.....</b> <b>62</b>	
3.1 Acondicionamiento del Convertidor Matricial.....	63
3.2 Acondicionamiento de la plataforma de control (FPGA-DSP).....	66
3.3 Comprobación del Convertidor Matricial y de la Plataforma de Control .....	68
3.4 Diseño de los Filtros.....	74
3.4.1 <i>Diseño del Filtro de Entrada</i> .....	75

3.4.1.1	Selección de la frecuencia de resonancia.....	78
3.4.1.2	Selección de los valores de C y L.....	80
3.4.1.3	Selección de la resistencia de amortiguamiento.....	82
3.4.2	<i>Diseño del Filtro de Salida</i> .....	86
3.4.2.1	Selección de la Frecuencia de Resonancia.....	88
3.4.2.2	Selección de los valores de C y L.....	88
3.5	Sumario del Capítulo.....	90
<b>Capítulo 4.....</b>		<b>92</b>
<b>Simulaciones y Pruebas experimentales.....</b>		<b>92</b>
4.1	Simulaciones del Convertidor Matricial.....	93
4.2	Pruebas experimentales con el Convertidor Matricial.....	95
4.2.1	<i>Programación de la plataforma de control</i> .....	98
4.3	Resultados sin carga.....	102
4.4	Resultados con Carga RL sin filtros.....	103
4.5	Resultados con carga R con filtros de entrada y salida.....	115
4.6	Resultados con carga RL con filtros de entrada y salida.....	127
4.7	Comparación de resultados (Distorsión Armónica THD).....	139
4.8	Simulaciones con Fuente de alimentación de frecuencia variable.....	140
4.8.1	<i>Simulaciones con Carga R</i> .....	141
4.8.2	<i>Simulaciones con Carga RL</i> .....	145
4.9	Sumario del Capítulo.....	149
<b>Capítulo 5.....</b>		<b>150</b>
<b>Conclusiones y Recomendaciones.....</b>		<b>150</b>
5.1	Conclusiones.....	151
5.2	Recomendaciones y trabajos futuros.....	152
<b>Apéndice A.....</b>		<b>154</b>
<b>Descripción del Hardware del Convertidor Matricial.....</b>		<b>154</b>
A.1	Interruptores bidireccionales.....	156
A.2	Circuitos de control de los interruptores bidireccionales.....	157
A.3	Circuito de detección del signo de la corriente.....	158
A.4	Circuito de Protección (Circuito de Fijación de Voltaje).....	159
<b>Apéndice B.....</b>		<b>161</b>
<b>Tarjeta programable de compuertas lógicas (FPGA).....</b>		<b>161</b>
B.1	Registros de la FPGA.....	166
<b>Apéndice C.....</b>		<b>171</b>
<b>Código DSP C6713.....</b>		<b>171</b>
C.1	Programa Principal.....	171
C.2	Interrupcion.....	175
C.3	Contadores.....	184
C.4	Configuración de FPGA.....	185
C.5	Función de Fallas por Hardware.....	186
C.6	Tabla de Conmutaciones.....	187
C.7	Parámetros y Constantes.....	188

<b>Apéndice D.....</b>	<b>190</b>
<b>Bloques de Simulink utilizados para la simulación del Convertidor Matricial .....</b>	<b>190</b>
D.1 Convertidor Matricial 3x3 .....	190
D.2 Sistema de Alimentación.....	192
D.2.1 Fuente de Voltaje de Frecuencia Fija.....	192
D.2.2 Fuente de Voltaje de frecuencia variable.....	192
D.3 Filtro de entrada.....	193
D.4 Filtro de Salida.....	194
D.5 Sistema de Generación de Referencia.....	195
D.5.1 Código en C para cálculo de las señales de los voltajes de referencia .....	196
D.6 Circuito de Protección .....	196
D.7 Sistema de Control.....	196
D.7.1 Compensador de seguimiento (“Tracking Controller”).....	197
D.7.1.1 Diseño del Compensador (“Tracking Controller”).....	199
D.7.2 Control Repetitivo.....	202
D.7.2.1 Diseño del Controlador Repetitivo .....	205
D.7.3 Bloques del sistema de control en Simulink.....	209
D.8 Sistema de Modulación. ....	210
D.8.1 Código en C del Algoritmo de Modulación se Sünter-Clare en Simulink.....	210
D.8.2 Ciclos de trabajo obtenidos por el Algoritmo Sünter-Clare.....	212
D.9 Sistema de Pulsos y Conmutaciones. ....	213

## Índice de figuras

Figura 1. 1	Topología de un Cicloconvertidor con 36 tiristores.....	23
Figura 1. 2	Topología del Convertidor Matricial .....	23
Figura 1. 3	Sistema de pruebas propuesto .....	26
Figura 2. 1	Topología básica de un CM 3X3.....	33
Figura 2. 2	Ejemplo de nomenclatura de un CM.....	34
Figura 2. 3	a) Evitar cortos circuitos entre líneas b) Evitar circuitos abiertos entre líneas .....	35
Figura 2. 4	Patrón de conmutación entre interruptores.....	36
Figura 2. 5	a) Hexágono de Voltajes de entrada b) Hexágono de Corrientes de salida... 41	
Figura 2. 6	Ejemplo de selección de vectores para el sector 1 de voltaje (izquierda) y corriente (derecha) .....	41
Figura 2. 7	Sistema trifásico de entrada y los sectores correspondientes .....	42
Figura 2. 8	Sistema trifásico de salida y sus sectores.....	42
Figura 2. 10	Ejemplo de conmutación simétrica cuando el vector del voltaje de salida y la corriente de entrada están en el sector I.....	46
Figura 2. 11	Máxima ganancia de la técnica de modulación directa de Venturini.....	48
Figura 2. 12	Máxima Ganancia en la técnica de modulación optima de Venturini .....	49
Figura 2. 13	Topologías de algunos interruptores bidireccionales .....	53
Figura 2. 14	CM 2X1 (2 fases de entrada y 1 fase de salida).....	54
Figura 2. 15	Técnica de conmutación de cuatro pasos .....	55
Figura 2. 16	Técnica de conmutación de dos pasos .....	56
Figura 2. 17	Circuito de protección para fijación de voltaje.....	57
Figura 2. 18	Topologías posibles para el filtro de salida.....	61
Figura 3. 1	Fotografía del CM 3x4 utilizado .....	64
Figura 3. 2	Diagrama a bloques del Transductor de voltaje utilizado .....	65
Figura 3. 3	DSP C6713 de Texas Instruments .....	67
Figura 3. 4	Tarjeta de desarrollo de la FPGA .....	68
Figura 3. 5	Interfaz gráfica utilizada .....	69
Figura 3. 6	Tarjeta de comunicaciones “Daughter Card” (DC).....	69
Figura 3. 7	Señales de referencia programadas .....	70
Figura 3. 8	Voltajes de fase de entrada medidos.....	71
Figura 3. 9	Sectores de los sistemas trifasicosde entrada y salida.....	72
Figura 3. 10	Ciclos de trabajo de un hilo del CM .....	72
Figura 3. 11	Pulsos logicos de 0 a 3.3 V. enviados por la FPGA.....	73
Figura 3. 12	Topologías del filtro de entrada amortiguado .....	75
Figura 3. 13	Análisis del filtro de entrada.....	76
Figura 3. 14	Grafico de Bode del filtro de salida sin amortiguamiento.....	82
Figura 3. 15	Gráficos de Bode del filtro de entrada con diversos índices de amortiguamiento .....	83
Figura 3. 16	Circuito del filtro de entrada cuando Rd tiende a infinito.....	85
Figura 3. 17	Topología del Filtro de Salida.....	86

Figura 3. 18	Gráfico de Bode del filtro de salida.....	89
Figura 4. 1	Sistema Completo de Simulación en Simulink.....	94
Figura 4. 2	Diagrama a bloques del sistema de prueba con carga.....	96
Figura 4. 3	Sistema de prueba con el CM.....	97
Figura 4. 4	Diagrama de flujo del programa principal en el DSP.....	99
Figura 4. 5	Secuencia de tareas en la plataforma de control.....	100
Figura 4. 6	Diagrama de flujo de la interrupción programada en el DSP C6713.....	101
Figura 4. 7	Voltaje de fase de salida $V_a$ sin carga (Simulación).....	102
Figura 4. 8	Voltaje de fase de salida $V_a$ sin carga (Experimental).....	102
Figura 4. 9	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, sin filtros y carga RL.....	103
Figura 4. 10	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.9.....	104
Figura 4. 11	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.9.....	104
Figura 4. 12	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20 Hz, sin filtros y carga RL.....	105
Figura 4. 13	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.12.....	106
Figura 4. 14	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.12.....	106
Figura 4. 15	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, sin filtros y carga RL.....	107
Figura 4. 16	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.15.....	108
Figura 4. 17	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.15.....	108
Figura 4. 18	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, sin filtros y carga RL.....	109
Figura 4. 19	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.18.....	110
Figura 4. 20	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.18.....	110
Figura 4. 21	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, sin filtros y carga RL.....	111
Figura 4. 22	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.21.....	112
Figura 4. 23	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.21.....	112
Figura 4. 24	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, sin filtros y carga RL.....	113
Figura 4. 25	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.24.....	114
Figura 4. 26	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.24.....	114
Figura 4. 27	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, con filtros y carga R.....	115
Figura 4. 28	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.27.....	116
Figura 4. 29	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.27.....	116
Figura 4. 30	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20Hz, con filtros y carga R.....	117
Figura 4. 31	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.30.....	118
Figura 4. 32	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.30.....	118
Figura 4. 33	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, con filtros y carga R.....	119
Figura 4. 34	Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.33.....	120
Figura 4. 35	Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.33.....	120

Figura 4. 36	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, con filtros y carga R.....	121
Figura 4. 37	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.36.....	122
Figura 4. 38	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.36.....	122
Figura 4. 39	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, con filtros y carga R.....	123
Figura 4. 40	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.39.....	124
Figura 4. 41	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.39.....	124
Figura 4. 42	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, con filtros y carga R.....	125
Figura 4. 43	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.42.....	126
Figura 4. 44	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.42.....	126
Figura 4. 45	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, con filtros y carga RL.....	127
Figura 4. 46	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.45.....	128
Figura 4. 47	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.45.....	128
Figura 4. 48	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20 Hz, con filtros y carga RL.....	129
Figura 4. 49	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.48.....	130
Figura 4. 50	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.45.....	130
Figura 4. 51	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, con filtros y carga RL.....	131
Figura 4. 52	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.51.....	132
Figura 4. 53	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.51.....	132
Figura 4. 54	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, con filtros y carga RL.....	133
Figura 4. 55	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.54.....	134
Figura 4. 56	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.54.....	134
Figura 4. 57	Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, con filtros y carga RL.....	135
Figura 4. 58	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.57.....	136
Figura 4. 59	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.57.....	136
Figura 4. 60	Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, con filtros y carga RL.....	137
Figura 4. 61	Espectro de frecuencia del voltaje de salida (Va) de la figura 4.60.....	138
Figura 4. 62	Espectro de frecuencia de la corriente de salida (ia) de la figura 4.60.....	138
Figura 4. 63	Voltaje y corriente de entrada de la fase A (VA e iA) obtenidas en simulación con carga R.....	141
Figura 4. 64	Sistema de simulación con fuente de voltaje variable y control en lazo cerrado.....	142
Figura 4. 65	Voltajes de fase de salida en la carga y sus señales de referencia.....	143
Figura 4. 66	Espectro de frecuencia del voltaje de la fase a (Va) de la figura 4.65.....	143
Figura 4. 67	Corrientes de salida del CM.....	144
Figura 4. 68	Espectro de frecuencia de la corriente de salida de la fase a (ia) de la figura 4.67.....	144
Figura 4. 69	Voltaje y corriente de salida de la fase a (Va e ia).....	145

Figura 4. 70	Voltaje y corriente de entrada de la fase A ( $V_a$ e $i_A$ ) obtenidas en simulación con carga RL .....	146
Figura 4. 71	Voltajes en la carga RL y sus señales de referencia.....	146
Figura 4. 72	Espectro de frecuencia del voltaje en la carga fase a ( $V_a$ ).....	147
Figura 4. 73	Corrientes de salida del CM .....	147
Figura 4. 74	Espectro de frecuencia de la corriente de salida de la fase a ( $i_a$ ) de la figura 4.73 .....	148
Figura 4. 75	Voltaje y corriente de salida de la fase a ( $V_a$ e $i_a$ ).....	148
Figura A. 1	Vista superior del circuito impreso del CM 3X4 .....	154
Figura A. 2	Diagrama a bloques de CM 3X4.....	155
Figura A. 3	Topología emisor común del interruptor bidireccional .....	156
Figura A. 4	Interruptor bidireccional SEMIKRON XXX.....	156
Figura A. 5	Circuito del control de los interruptores.....	157
Figura A. 6	Diagrama eléctrico del circuito de control de los interruptores del CM .....	157
Figura A. 7	Circuito de detección del signo de la corriente .....	158
Figura A. 8	Diagrama eléctrico del circuito de detección del signo de la corriente.....	159
Figura A. 9	Diagrama eléctrico del circuito de fijación de voltaje.....	160
Figura B. 1	Fotografía de la tarjeta FPGA desarrollada en la Universidad de Nottingham .....	161
Figura B. 2	Diagrama de bloques de los principales componentes de la FPGA .....	162
Figura B. 3	Patrón de Conmutación para sector de entrada I y sector de salida I.....	163
Figura B. 4	Estructura del registro DPR1 de la FPGA .....	163
Figura B. 5	Diagrama de tiempo de funciones ejecutadas en el DSP y FPGA.....	164
Figura B. 6	Diagrama de flujo de las funciones ejecutadas en la FPGA.....	165
Figura D. 1	Interruptor bidireccional topología en Emisor Común .....	190
Figura D. 2	Topología CM 3X3.....	191
Figura D. 3	Bloque del CM con ícono.....	191
Figura D. 4	Fuente trifásica de voltaje .....	192
Figura D. 5	Señal variante del bloque "Signal Builder" .....	193
Figura D. 6	Sistema de alimentación de frecuencia variable .....	193
Figura D. 7	Configuración del filtro de entrada seleccionado .....	194
Figura D. 8	Ubicación del filtro de entrada .....	194
Figura D. 9	Configuración del filtro de salida.....	195
Figura D. 10	Conexión del filtro de salida .....	195
Figura D. 11	Referencia en código C.....	196
Figura D. 12	Circuito de protección.....	197
Figura D. 13	Diagrama de bloques del Compensador .....	198
Figura D. 14	Diseño del compensador mediante "sisotool" .....	201
Figura D. 15	Generador de la señal del error.....	202
Figura D. 16	Diagrama de Bode del Control Repetitivo .....	203
Figura D. 17	Polos del control repetitivo dentro del círculo unitario .....	204
Figura D. 18	Control Repetitivo "plug-in" .....	205
Figura D. 19	Diagrama de Nyquist del lazo de control $G(s)$ .....	207

Figura D. 20	Gráfico de Bode del filtro digital $F(z)$ .....	208
Figura D. 21	Mapa de polos del filtro digital $F(z)$ . .....	208
Figura D. 22	Sistema del RC.....	209
Figura D. 23	Compensador de segundo orden.....	210
Figura D. 24	Ciclos de trabajo fase a .....	212
Figura D. 25	Ciclos de trabajo pierna b.....	212
Figura D. 26	Ciclos de trabajo pierna C.....	213
Figura D. 27	Señal portadora triangular.....	214
Figura D. 28	Diagrama de estados de conmutación para los interruptores del CM mediante la técnica de conmutación de cuatro pasos .....	216
Figura D. 29	Sistema de la conmutación de cuatro pasos.....	217
Figura D. 30	Pulsos lógicos para el control de conducción de los interruptores .....	217

## Índice de tablas

Tabla 2. 1	Combinaciones permitidas de interruptores para SVM .....	40
Tabla 2. 2	Selección de vectores para SVM.....	43
Tabla 2. 3	Patrones de Conmutación SVM .....	46
Tabla 2. 4	Asignación de vectores cero .....	47
Tabla 2. 5	Patrones de conmutación para la técnica de modulación de Venturini .....	51
Tabla 2. 6	Límites de distorsión armónica individual para armónicos impares, los armónicos pares están limitados a un 25% de los armónicos impares. Los valores de esta tabla son para sistemas de 120-69000 V.....	61
Tabla 4. 1	Parámetros de las simulaciones en Simulink.....	95
Tabla 4. 2	Parámetros de las pruebas experimentales .....	95
Tabla 4. 3	Comparación de resultados obtenidos con carga R con filtros.....	140
Tabla 4. 4	Comparación de resultados obtenidos con carga RL con filtros .....	140
Tabla A. 1	Parámetros del interruptor bidireccional SEMIKRON XXX.....	156
Tabla A. 2	Conmutación Cíclica de Venturni .....	215
Tabla D. 1	Código para determinar la fase de entrada a la que se conecta cada hilo de salida del CM .....	164

# **Capítulo 1.**

## **Introducción.**

## 1.1 Introducción

Los convertidores electrónicos de potencia son dispositivos que se utilizan para transformar una señal eléctrica, ya sea de corriente o voltaje de una determinada frecuencia en otra señal con diferentes niveles de voltaje, corriente y frecuencia. Entre los convertidores electrónicos más usados se tienen los Rectificadores (convertidores CA a CD), Inversores (convertidores CD a CA), Convertidores CD-CD y los Cicloconvertidores (convertidor de CA a CA) , en esta última categoría se encuentran los Convertidores Matriciales (CM)[7].

El Convertidor Matricial (CM) es un convertidor electrónico de potencia, el cual tiene relativamente poco tiempo de haber surgido (1986). Este tipo de tecnología tiene características que hacen atractiva su aplicación en fuentes alternativas de generación eléctrica.

## 1.2 Objetivo

Simular e implementar el algoritmo de modulación de Sünter-Clare para controlar un Convertidor Matricial de 7.5 kVA.

### 1.2.1 Objetivos Específicos

- Diseñar los filtros de entrada y salida del Convertidor Matricial de 7.5 kVA.
- Realizar el Montaje de todos los componentes en la tarjeta impresa (PCB) diseño de la Universidad de Nottingham.
- Aprender el funcionamiento del hardware del Convertidor Matricial, el cual consiste en la tarjeta impresa del convertidor (la cual consta de interruptores bidireccionales, circuitos de disparo, circuitos de detección del signo de la corriente, circuito de protección por sobrevoltaje y transductores de voltaje y corriente), procesador digital de señales (DSP) y la tarjeta de compuertas lógicas programables (FPGA).
- Simular en MatLab/Simulink un Convertidor Matricial de tres fases de entrada y tres fases de salida (3x3) con y sin los filtros diseñados, utilizando el algoritmo de Sünter-Clare para la modulación del convertidor electrónico.
- Implementar el Algoritmo de modulación de Sünter-Clare en un DSP C6713 de Texas Instruments para el control en lazo abierto de un Convertidor Matricial 3x3.
- Realizar pruebas con el Convertidor Matricial en lazo abierto con y sin filtros para verificar que el algoritmo de modulación funcione adecuadamente.

- Simular en MatLab/Simulink el Convertidor Matricial con un Generador Síncrono de Imanes Permanentes como fuente de alimentación (para tener una entrada variable en frecuencia y magnitud) y verificar que la salida sea fija en magnitud y frecuencia.

### 1.3 Justificación

Un Convertidor Matricial (CM) es un dispositivo electrónico de potencia que entra en la categoría de los cicloconvertidores, ya que es capaz de convertir CA en CA. El Convertidor Matricial (CM) permite un flujo bidireccional de potencia y tiene ventajas sobre los cicloconvertidores tradicionales [8-9] ya que el CM convierte la corriente alterna en corriente alterna sin restricciones en la frecuencia, no así en la magnitud [10-11]. Esta transformación de CA en CA se realiza de forma inmediata, es decir, sin necesidad de tener un enlace de corriente directa. Esta ventaja permite eliminar grandes capacitores electrolíticos que son usados en el enlace de corriente directa, permitiendo una reducción en el volumen del convertidor. En [8] y [9] se reporta que del 30% al 50% del volumen de los convertidores electrónicos de potencia es debido a estos capacitores, por consiguiente el CM permite una mayor densidad de potencia que otros convertidores en relación con su tamaño.

Una ventaja más de la eliminación de los capacitores del enlace de CD es que los CM pueden operar en ambientes con altas o bajas presiones atmosféricas, debido a la ausencia de los capacitores electrolíticos, donde su material dieléctrico se vería afectado por la presión atmosférica. En la actualidad los CM son ampliamente utilizados como fuentes de alimentación de voltaje en la industria aeroespacial debido fundamentalmente a esta ventaja.

En la figura 1.1 se puede observar la configuración de un cicloconvertidor tradicional de tres fases, el cual está formado por 36 interruptores semiconductores (típicamente tiristores), mientras que en la figura 1.2 se observa la configuración de un CM de tres fases de entrada y tres de salida, el cual está formado solamente por 9 interruptores. En estas figuras se observa fácilmente que un cicloconvertidor tiene más interruptores de potencia que el CM, sin embargo tiene como ventaja que puede tener un voltaje de salida prácticamente de la misma magnitud que el de la entrada, solo se tendrán pequeñas caídas de tensión debido a los semiconductores. Como desventaja importante de los cicloconvertidores se tiene que solo podrá entregar una señal de salida de frecuencia menor a la de alimentación.

Al no haber restricciones de frecuencia en el CM, este puede ser utilizado como un convertidor general, es decir, puede funcionar como convertidor CD-CD, como rectificador o bien como inversor[12].

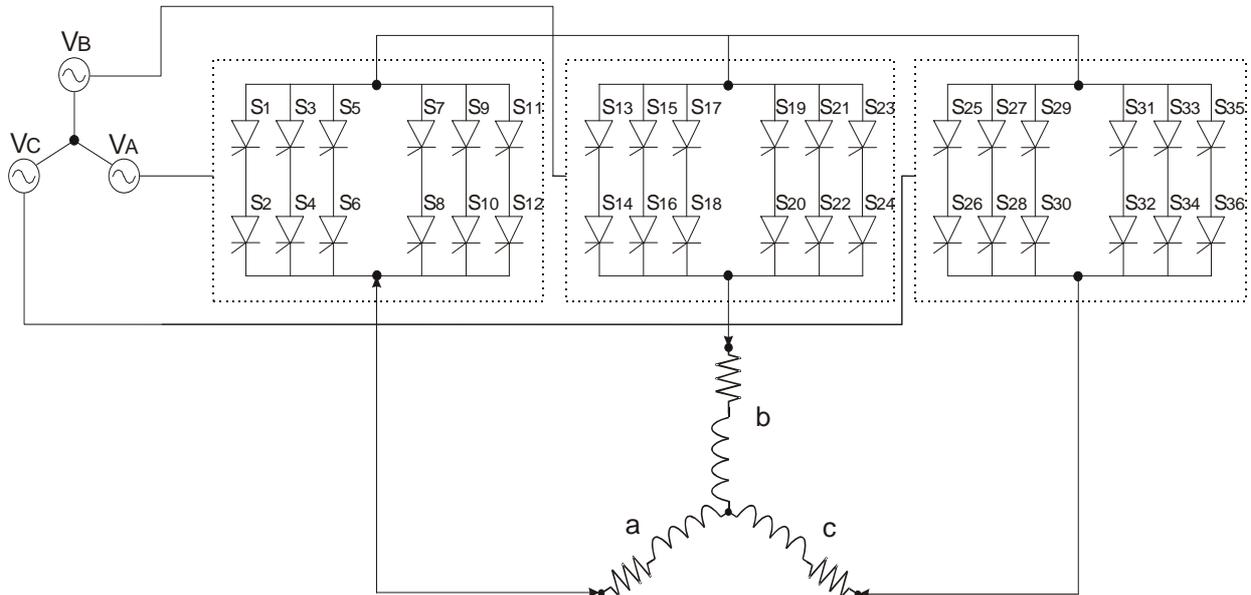


Figura 1. 1 Topología de un Cicloconvertidor con 36 tiristores

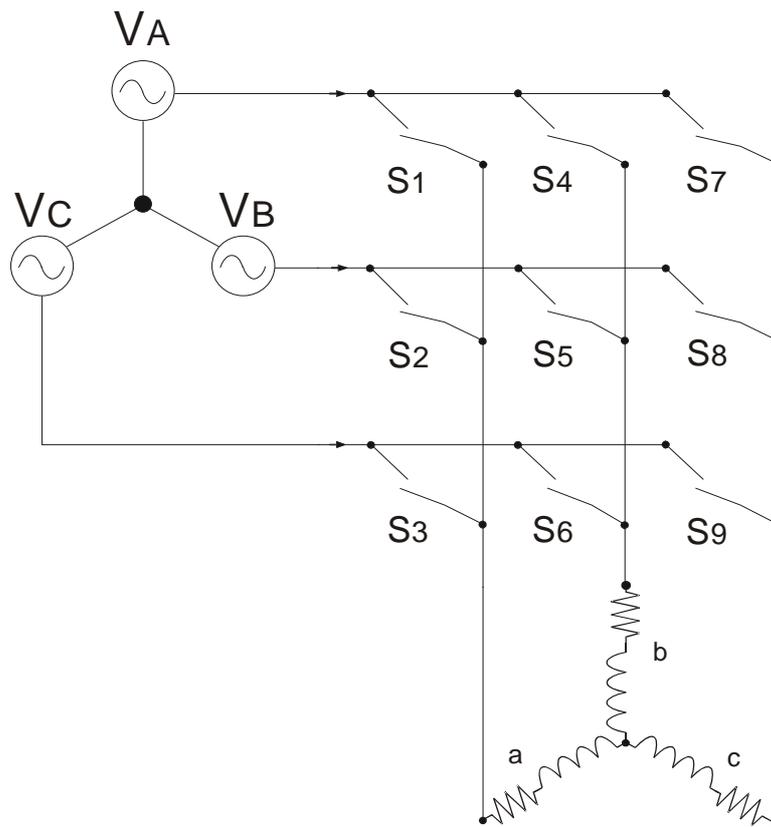


Figura 1. 2 Topología del Convertidor Matricial

El hecho de tener una conversión directa de CA en CA tiene como consecuencia que la salida del CM no pueda ser más grande que un 87% de la señal que se tiene de

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

alimentación [11-15]. Esto ha limitado el uso del CM en aplicaciones de control de motores donde algunas tecnologías como arreglos “Back to Back” o bien inversores con puente rectificador a diodos ya han sido ampliamente utilizadas.

En la tabla 1.1 se puede observar algunas comparaciones entre el CM, el cicloconvertidor y otros convertidores que ofrecen el mismo comportamiento que los dos anteriores.

**Tabla 1.1 Comparación entre los convertidores electrónicos de potencia.**

<b>Topología</b>	<b>Interruptores controlados</b>	<b>Diodos de libre camino</b>	<b>Diodos Rectificadores</b>	<b>Capacitores Electrolíticos</b>
<b>Convertidor Matricial</b>	18	18	0	0
<b>Cicloconvertidor</b>	36 (Generalmente Tiristores)	0	0	0
<b>“Back to Back”</b>	12	12	0	1
<b>Inversor con puente de diodos.</b>	6	6	6	1

Debido a su topología, el CM ofrece algunas ventajas y desventajas frente a los convertidores electrónicos de potencia tradicionales, siendo algunas de estas:

Ventajas:

- No existe enlace de CD, lo que elimina el uso de los grandes capacitores electrolíticos los cuales son voluminosos, además de que son más susceptibles a las variaciones de temperatura y presión.
- Puede operar en temperaturas más altas debido a la razón dada en el punto anterior.
- El flujo de potencia es bidireccional.
- Debido a las altas frecuencias de conmutación de los interruptores de potencia, las señales de corriente de salida están libres de armónicos de baja frecuencia, por lo cual es fácil filtrar la señal con filtros pasivos sencillos.

Las principales desventajas son:

- Requiere de un número mucho más grande de interruptores electrónicos de potencia por lo cual habrá más pérdidas (con excepción de los cicloconvertidores clásicos).
- Las técnicas de modulación requieren de un número mayor de operaciones matemáticas.

- La conmutación es más compleja que en otros convertidores.
- El voltaje en la salida del CM no podrá ser más grande que el 87% del voltaje de alimentación debido a que no existe un enlace de CD y la salida estará formada por fragmentos de la señal de entrada.

En este trabajo se utilizó un CM de 7.5 kVA diseñado por investigadores de la Universidad de Nottingham, Reino Unido. Con recursos de la Escuela Superior de Ingeniería Mecánica y Eléctrica (ESIME Zacatenco) se adquirió la tarjeta impresa (PCB, por sus siglas en inglés Printed Circuit Board) y los diferentes componentes electrónicos, realizando el montaje en el laboratorio de Electrónica de Potencia; el montaje se realizó en colaboración con otros estudiantes de maestría cuyas tesis se vinculan al CM; también fueron adquiridas otras partes del hardware como la FPGA, la cual es también una patente de la Universidad de Nottingham. La adquisición del resto del hardware como la tarjeta “hija” hija de comunicaciones (DC, por sus siglas en inglés Daughter Card) y el DSP se realizó con el apoyo del proyecto: Desarrollo de un Prototipo de Vehículo Eléctrico SUPERCAP para a Ciudad de México (PICC010-95) financiado por el Instituto de Ciencia y Tecnología del Distrito Federal (ICyTDF).

### 1.4 Alcances

Mediante simulaciones en MatLab/Simulink se analizaron los principios de operación del CM y se pudo comprobar el comportamiento de este tipo de convertidores antes de realizar pruebas de laboratorio con el prototipo.

En el trabajo se implementó en el DSP C6713 de Texas Instruments la técnica de modulación de Sünter-Clare. Esta técnica es recomendable para aplicaciones donde se requiere un control en lazo cerrado y en donde la frecuencia de los voltajes y corrientes cambian constantemente.

Como plataforma de control para el CM se utilizó una FPGA ProASIC3 A3P400 de la marca ACTEL en conjunto con el DSP C6713. La FPGA se encuentra montada en una tarjeta de desarrollo con ADCs externos. Dicha tarjeta de desarrollo de la FPGA fue diseñada en la Universidad de Nottingham por L. Empringham. La combinación de un DSP y una FPGA como plataforma de control permite aumentar la velocidad de cálculo de los ciclos de trabajo de los interruptores del CM.

También se realiza el diseño de los filtros de entrada y salida del CM. Ambos filtros son de vital importancia para el correcto funcionamiento del convertidor electrónico. El filtro de entrada sirve para evitar la inyección de armónicos de corriente hacia la fuente de alimentación y evitar así la distorsión de los voltajes de entrada del CM. El filtro de salida sirve para limitar el contenido armónico de las señales de voltaje y corriente a la salida del CM y mantenerlas lo más sinusoidales posible.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Primero se realizaron pruebas con carga y carga sin el uso de los filtros diseñados. Posteriormente al comprobar que el algoritmo de modulación opera correctamente se realizaron pruebas con carga y carga colocando los filtros de entrada y salida diseñados. Todas las pruebas se realizaron en lazo abierto. En la figura 1.3 se puede observar el sistema utilizado para la realización de pruebas experimentales con el CM.

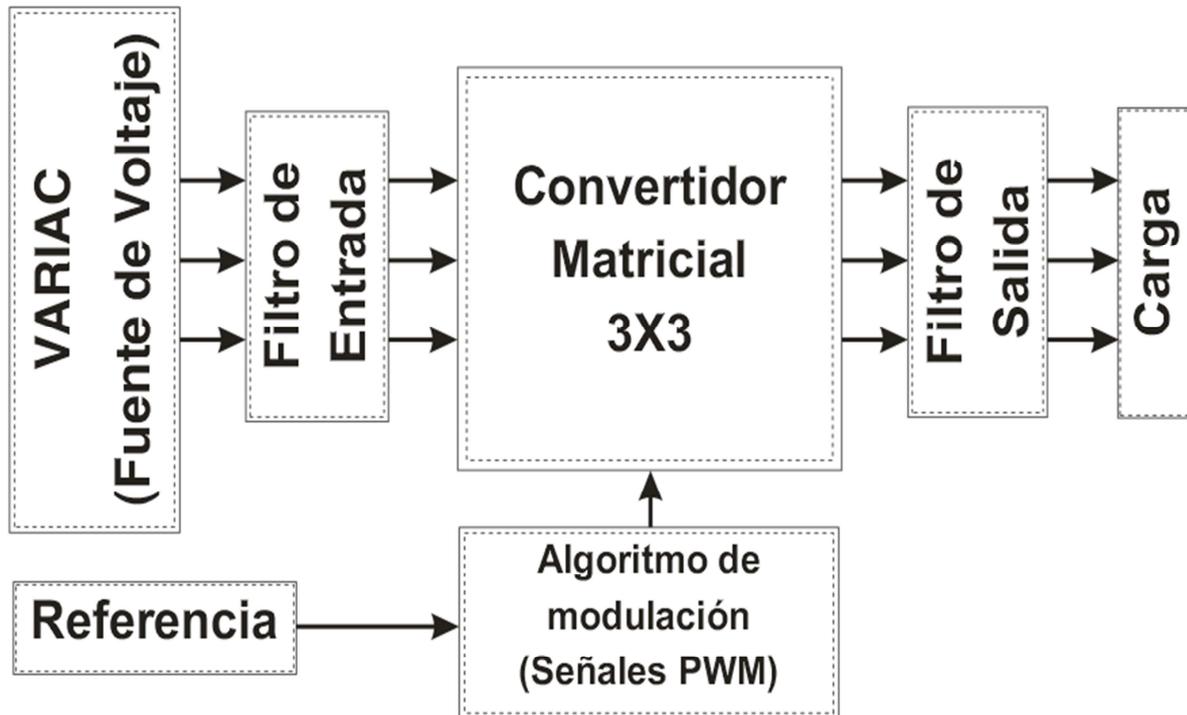


Figura 1.3 Sistema de pruebas propuesto

Por último se realizaron nuevas simulaciones del CM con una fuente de voltaje de frecuencia y magnitud variables con el fin de comprobar que el algoritmo de modulación de Sünter-Clare es adecuado para aplicaciones en donde se buscan señales de voltaje y corriente de frecuencia y magnitud fijas, tales como aplicaciones de generación eléctrica.

Se comprobó en simulaciones algunas técnicas de control como un compensador de segundo orden y un control repetitivo que no fue posible implementar experimentalmente debido al tiempo, en el capítulo 5, en las recomendaciones para trabajos futuros se propone la implementación de estas técnicas de control.

### 1.5 Limitaciones

En este trabajo se tuvieron algunas limitaciones en cuanto al hardware utilizado para la implementación del algoritmo de modulación y técnica de conmutación del CM.

La FPGA utilizada para las pruebas experimentales está limitada a trabajar con la técnica de conmutación de cuatro pasos. El diseño de la FPGA es una patente de la Universidad de Nottingham por lo cual no se tuvo acceso al código fuente. Una limitación más que se tuvo al utilizar esta FPGA, fue la necesidad de transformar los ciclos de trabajo obtenidos mediante la técnica de Sünter-Clare a su equivalente en ciclos de trabajo de modulación por vectores espaciales (SVM).

En todas las pruebas se utilizó un VARIAC trifásico como fuente de alimentación, por lo que no se pudo demostrar mediante pruebas de laboratorio que el algoritmo de Sünter-Clare es capaz de producir señales corriente y voltaje de frecuencia fija en la salida del CM a partir de señales de frecuencia variable en la entrada del convertidor.

### 1.6 Antecedentes

En 1930 los cicloconvertidores fueron utilizados en Alemania para convertir fuentes trifásicas de 50 Hz en fuentes monofásicas de  $16\frac{2}{3}$  Hz para aplicaciones de tracción eléctrica en trenes. En los años 30 también se reportó el primer convertidor de AC-AC de frecuencia variables para el control de un motor síncrono de 400 Hp [11].

Actualmente los cicloconvertidores tienen aplicación en molinos de cemento y aplicaciones de velocidad variable con frecuencia constante (aplicaciones para generación eléctrica), o bien para fuentes de alimentación en aviones donde se requieren frecuencias de 400 Hz [11].

El CM por las ventajas y desventajas ya mencionadas con anterioridad, no ha sido ampliamente utilizado en el control de motores a nivel industrial, sin embargo ha sido de gran interés en aplicaciones en la industria aeroespacial en donde la reducción del volumen y del peso en los equipos resulta de gran interés.

Aun así, este tipo de convertidor ha sido estudiado y se han desarrollado algunos artículos y tesis en los cuales se usa el CM como variador de velocidad para el control de motores. S. Sünter utilizó esta tecnología [13] para controlar un motor de inducción, utilizando un controlador PI, mostrándose únicamente resultados de simulación en Simulink.

El desarrollo del CM comienza en los años 80 con el trabajo de Venturini y Alesina quienes presentaron el primer diseño del convertidor electrónico realizado con interruptores bidireccionales de potencia, así mismo ellos introdujeron el nombre de "Convertidor Matricial". De igual manera Venturini y Alesina realizaron todo el análisis matemático sobre el comportamiento del convertidor, ellos propusieron una modulación directa en la cual se calcula una matriz que permite sintetizar los voltajes de salida deseados [14-15].

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Años más tarde J. Rodríguez y Huber propusieron formas de modulación indirectas en las cuales se supone que existe un enlace de corriente directa ficticio, posibilitando de esta forma el calculo de los tiempos que deben permanecer encendidos los interruptores de potencia[17-18].

El CM ha estado limitado tecnológicamente por los dispositivos electrónicos y sus pérdidas, además por las técnicas de conmutación seguras que se han tenido que desarrollar e investigar. En los años 90 algunas de estas técnicas seguras de conmutación fueron desarrolladas en la Universidad de Nottingham por L. Empringham y P. Wheeler [12][19]. A principios de esta misma década se realizaron los primeros trabajos sobre el uso del convertidor en los accionamientos electrónicos de motores.

Con la ayuda de las nuevas estrategias seguras de conmutación, se han logrado resultados satisfactorios en aplicaciones del CM en sistemas de generación de energía eléctrica usando fuentes alternativas de energía.[20].

Es en los años 2000 cuando aparecen los primeros módulos comerciales de Convertidores Matriciales y se incrementa el número de investigaciones sobre las aplicaciones de este tipo de tecnología [21].

Algunas otras aplicaciones orientadas a la generación de energía eléctrica han sido estudiadas y desarrolladas en trabajos como [4], en el cual se utilizan un motor de inducción del tipo jaula de ardilla para un sistema de generación. En este trabajo se toma en cuenta la caja de engranes que se tiene entre el generador y las aspas que se mueven debido a la fuerza del viento. Así mismo, el CM es del tipo indirecto y es utilizado para ayudar a captar la máxima potencia posible. Los resultados son analizados únicamente a partir de simulaciones.

El uso de los CM para generación eólica se reporta en [22], en donde se proponen modelos del CM con generadores como entrada, utilizándose una máquina asíncrona como generador.

En el 2009 se realizaron trabajos [23-25] con propuestas de control utilizando la teoría del control clásico y el control difuso aplicados a la tecnología del CM, con el objetivo de compensar y atenuar las variaciones de voltaje.

En trabajos más enfocados a la generación eólica, en el 2011 se reportan resultados de simulaciones del CM que es utilizado para producir un voltaje de salida constante en magnitud y frecuencia, alimentado con una fuente de entrada que varía en magnitud y frecuencia en el tiempo [28].

Uno de los artículos más interesantes sobre la aplicación del CM en sistemas de generación eléctrica, es el publicado por R. Cárdenas, R. Peña, P. Wheeler, J. Clare y C. Juri, en este artículo del año 2011 se realiza la simulación y emulación de un sistema de generación a base de una máquina diesel. Se utilizó un CM de 3 entradas y 4 salidas (3x4) y un generador de imanes permanentes como fuente de alimentación. La razón

por la cual se usó una configuración 3x4 en este trabajo es porque el sistema de generación es del tipo autónomo, esto es, no se inyecta potencia a la red por lo que se necesita de una cuarta pierna en el convertidor que funcione como un hilo neutro para que circulen las componentes de secuencia cero. En el trabajo es utilizado un control clásico del tipo PI y es usada la técnica de modulación por vectores espaciales. Un motor de diesel es el encargado de variar la velocidad del rotor del generador, se presentan muy buenos resultados en simulaciones y experimentales [29].

En resumen, el CM aun no ha sido ampliamente estudiado ni desarrollado, principalmente debido a algunas limitaciones de los elementos electrónicos de la actualidad. Además una desventaja más del CM es la complejidad de sus métodos de modulación y los métodos de conmutación con los que se cuenta actualmente.

A pesar de los inconvenientes que presenta el CM se tienen muchas ventajas para algunas aplicaciones, por ejemplo, para los sistemas de generación eléctrica. Como ya se ha descrito, existen algunos artículos que hablan del uso del CM para su aplicación en sistemas eólicos, en la mayoría de los cuales se reportan únicamente resultados obtenidos en simulaciones.

### 1.7 Aportaciones

Las principales aportaciones de este trabajo de tesis son las siguientes:

- Acondicionamiento del hardware del CM. Se ensambló un CM diseñado en la Universidad de Nottigham y se puso en funcionamiento, con ello se deja un prototipo operando adecuadamente en la sección de estudios de posgrado del IPN.
- Implementación de la técnica de modulación de Sünter-Clare, el cual es recomendable para aplicaciones donde la frecuencia de las señales de voltaje y corriente de entrada o salida cambian constantemente.
- Desarrollo del programa de simulación en Simulink del CM. Con este programa se dejan bases para futuros trabajos sobre aplicaciones con este tipo de convertidor electrónico.
- Simulación de un CM con una fuente de voltaje de frecuencia y magnitud variable, logrando en la salida del convertidor señales de voltaje de frecuencia y magnitud fijas. Con este programa de simulación se dejan las bases para aplicaciones del CM en sistemas de generación eléctrica.

## 1.8 Contenido de la Tesis

En el Capítulo 1 se realiza una breve introducción a la tecnología del CM, así mismo se describen las ventajas y desventajas generales que presenta frente a otros tipos de convertidores electrónicos de potencia. Se muestran algunos de los antecedentes más relevantes sobre el CM y sus aplicaciones así como los objetivos y el contenido de la tesis.

En el capítulo 2 se tratan los conceptos básicos del CM así como sus principios de operación, técnicas de modulación, técnicas conmutación y circuitos de protección.

El Capítulo 3 presenta el diseño del filtro de entrada necesario para evitar la inyección de armónicos de corriente a la fuente de alimentación. También se realiza el diseño del filtro de salida que ayuda a disminuir el THD y mantener los voltajes y corrientes de salida lo más sinusoidales posible.

En el Capítulo 4 se utilizó el diseño de los filtros de entrada y salida así como la programación de la técnica de modulación de Sünter-Clare para realizar simulaciones del CM de tres hilos de entrada y tres hilos de salida en MatLab/Simulink. Se realiza una verificación mediante pruebas experimentales con un CM de 7.5 kVA. Se realizan comparaciones de los resultados obtenidos en simulaciones y experimentalmente. Por último se realizan simulaciones del CM con una fuente de voltaje de frecuencia variable con el fin de probar que el algoritmo de modulación seleccionado es adecuado para aplicaciones de generación de energía eléctrica usando fuentes de voltaje de magnitud y frecuencia variable (como ocurre en la generación eólica).

En el Capítulo 5 se presentan algunas conclusiones en base a los resultados obtenidos y se hacen algunas recomendaciones para trabajos futuros con el CM.

En el Apéndice A se detalla el hardware del CM utilizado. Se explican: su diagrama de bloques, diagramas eléctricos de los circuitos de disparo y detección del sentido de la corriente del convertidor.

En el Apéndice B se detalla el hardware de la FPGA utilizada como parte de la plataforma de control para este trabajo. También se pueden estudiar los registros de la FPGA para su programación desde el DSP C6713.

En el Apéndice C se muestra el código en lenguaje "C" realizado para la modulación y control del CM.

En el Apéndice D, se presenta el código programado para las simulaciones en MatLab y Simulink.



## **Capítulo 2.**

### **Principios de Operación del Convertidor Matricial y sus Técnicas de Modulación.**

## 2.1 El Convertidor Matricial

El CM es un convertidor electrónico de potencia que sirve para convertir una señal de tensión de una determinada frecuencia en otra de frecuencia diferente, realizando dicha transformación de forma directa y sin restricciones en cuanto a los valores de frecuencias.

En la figura 2.1 se muestra un CM básico de 3 fases de entrada y 3 fases de salida (3X3), el cual consta de 9 interruptores de potencia bidireccionales que interconectan todas las líneas de entrada con todas las líneas de salida. Teóricamente esta idea puede extenderse a cualquier número de entradas y cualquier número de salidas.

El CM necesita de dos tipos de elementos básicos para su correcta operación y protección, siendo estos:

- Elementos que limitan la variación del de voltaje ( $dv/dt$ )
- Elementos que limitan la variación de la corriente ( $di/dt$ )

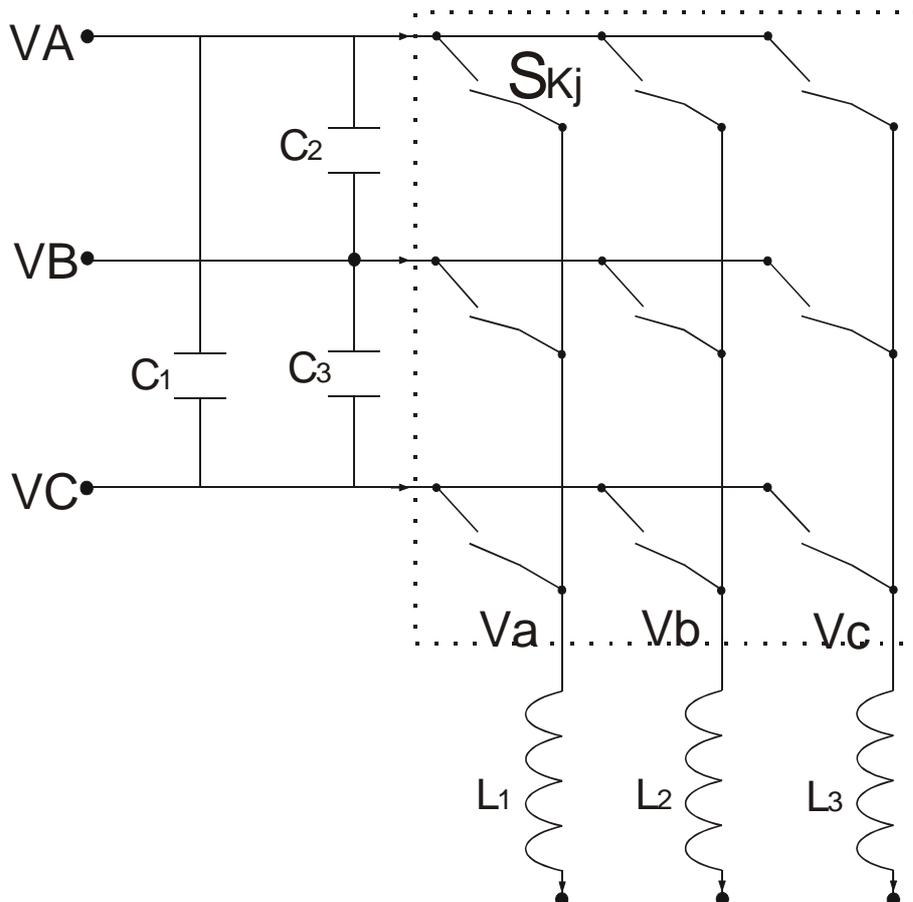


Figura 2. 1 Topología básica de un CM 3X3

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Con el fin de limitar cambios de voltaje, se conectan capacitores entre fase y fase de entrada ( $C_1, C_2$  y  $C_3$ ) y para limitar los cambios de corriente se colocan inductores a la salida de cada fase ( $L_1, L_2$  y  $L_3$ ). En general, la naturaleza inductiva de las cargas es suficiente para limitar la velocidad de variación de las corrientes [8].

Para una mejor comprensión de la topología del CM, se refiere a cada uno de los interruptores que lo conforman con una letra "S", mas un subíndice formado por dos letras "Kj", donde "K" sirve para identificar la fase de entrada (A, B y C) y "j" para identificar la fase de salida (a, b y c). En la figura 2.2 se puede tomar de ejemplo el interruptor  $S_{Aa}$ , lo que quiere decir que este interruptor conecta a la fase de entrada A y la fase de salida a. Además se denota con 1 el estado del interruptor  $S_{Kj}$  cuando este está cerrado (conduciendo) y 0 cuando el interruptor está abierto (no conduciendo).

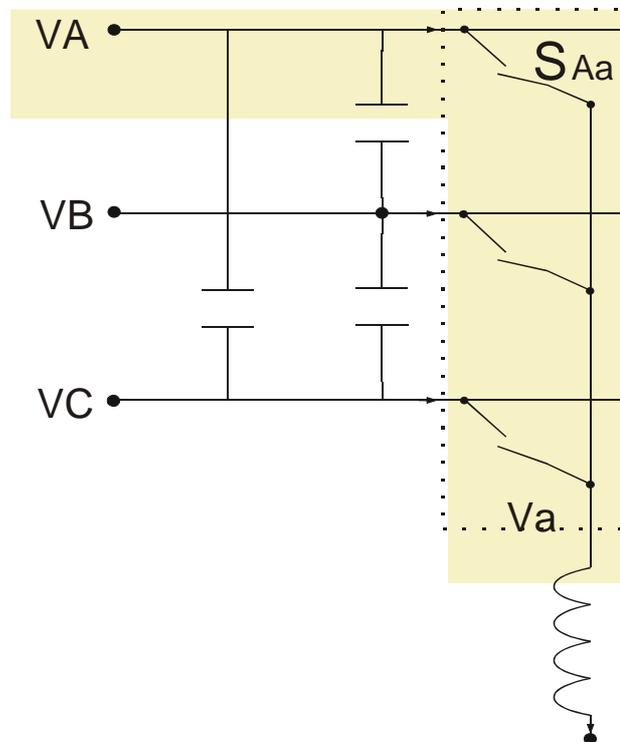


Figura 2.2 Ejemplo de nomenclatura de un CM

### 2.1.1 Principios de Operación

Existen dos principios básicos de operación para un CM:

- Evitar cortos circuitos entre fases.
- Evitar circuitos abiertos a la salida.

Si en algún momento determinado más de un interruptor  $S_{Kj}$  de un hilo del CM estuviera en estado 1, se tendría un corto circuito, lo cual elevaría de forma brusca la corriente que fluye por dicho hilo, provocando la destrucción del CM.

Por otro lado, si todos los interruptores de un hilo del CM se encontraran en estado 0, la inductancia de la carga ocasionaría sobretensiones entre las terminales del CM dañándolo. Ambas situaciones de falla son representadas en la figura 2.3 a) y b).

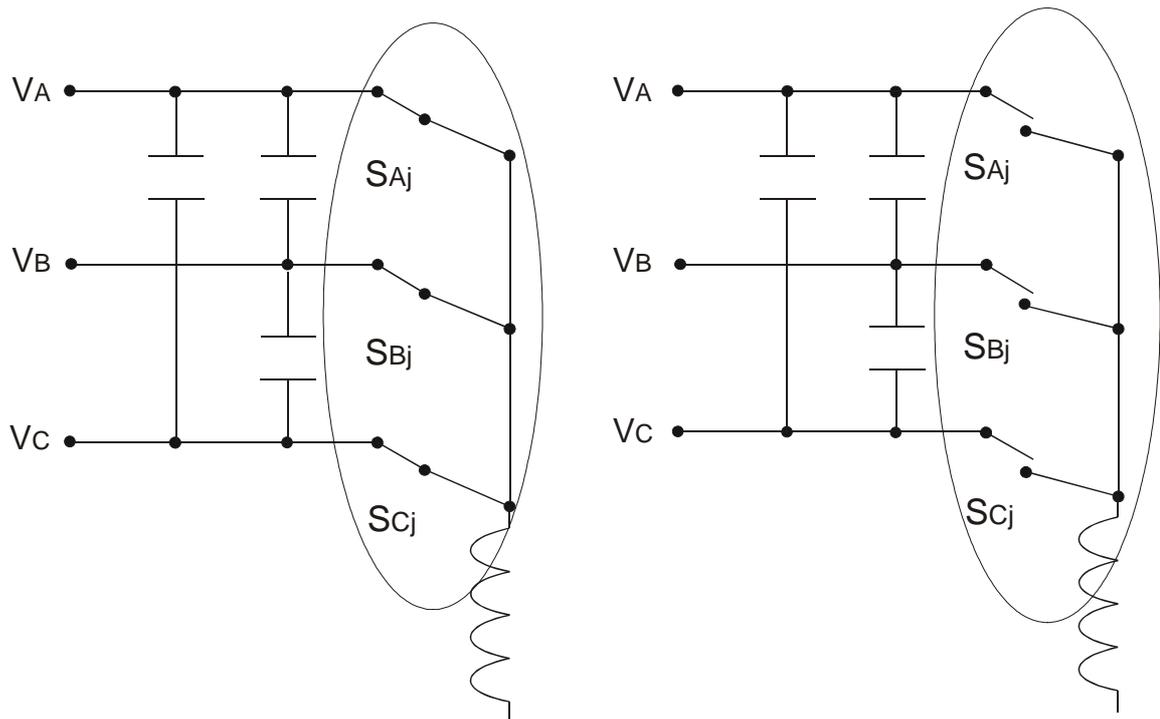


Figura 2.3 a) Evitar cortos circuitos entre líneas

b) Evitar circuitos abiertos entre líneas

Esto significa que sólo uno de los interruptores de cada fase de salida puede estar cerrado (con valor 1) en cada instante de tiempo. La ecuación (2.1) simboliza las condiciones de los interruptores necesarias para cumplir con las dos restricciones antes mencionadas [8-13].

$$\sum_{K=A,B,C} S_{Ka}(t) = \sum_{K=A,B,C} S_{Kb}(t) = \sum_{K=A,B,C} S_{Kc}(t) = 1 \quad (2.1)$$

para  $K = A, B, C$

Mientras que la ecuación (2.2) representan a las relaciones entre los voltajes de entrada y los voltajes de salida, asumiendo la condición establecida por la ecuación (2.1). La ecuación (2.3) muestra las relaciones entre las corrientes de entrada y de salida bajo las mismas condiciones de los interruptores [8, 12].

En (2.2) y (2.3) se puede notar que los 9 interruptores permiten producir el voltaje de salida deseado a partir del voltaje de entrada [8, 30]. Debido a esto, se deben buscar patrones en los cuales los interruptores conmuten un mínimo de veces para reducir pérdidas y contenido armónico. Un ejemplo de conmutación entre los interruptores en un determinado tiempo se muestra en la figura 2.4.



Figura 2.4 Patrón de conmutación entre interruptores

Así mismo se tiene que definir un tiempo en el cual se completa una secuencia de conmutación de los interruptores, este tiempo es denominado tiempo de secuencia y es el inverso de la frecuencia de conmutación del CM, la cual coincide con la frecuencia de muestreo. En la ecuación (2.4) se observa la relación que existe entre el tiempo de secuencia y la frecuencia de conmutación de los interruptores.

$$T_{seq} = \frac{1}{F_{sw}} = T_s \quad (2.4)$$

### 2.1.2 Técnicas de Modulación del ancho de los pulsos (PWM)

La modulación del ancho de los pulsos (PWM por sus siglas en ingles Pulse Width Modulation) en un convertidor electrónico de potencia es en esencia el cálculo de los tiempos en que cada interruptor debe permanecer activo en un periodo de tiempo  $T_{seq}$  definido. De esta forma se logra generar las señales de control de las compuertas de los interruptores (transistores, MOSFETs, IGBTs, etc.) y producir la magnitud del voltaje deseado a la salida del CM.

En un CM los ciclos de trabajo se calculan en base a la frecuencia de conmutación de los interruptores  $S_{Kj}$ . Entre más grande sea la frecuencia de conmutación, el contenido armónico estará más alejado de la frecuencia fundamental de la señal de salida, por lo que será más fácil la eliminación de estos armónicos mediante el uso de filtros [7, 31, 32], como consecuencia se tendrá un incremento de pérdidas debido a las estrategias de conmutación.

Los ciclos de trabajo son representados con la letra "m" y un par de letras "Kj" para identificar al interruptor al que pertenece. El ciclo de trabajo  $m_{Kj}$  de cada uno de los interruptores  $S_{Kj}$ , puede calcularse mediante la relación (2.5), la cual involucra al tiempo de secuencia  $T_{seq}$  y el tiempo que estará conduciendo dicho interruptor  $t_{Kj}$ .

$$m_{Kj} = \frac{t_{Kj}}{T_{seq}} \quad (2.5)$$

De acuerdo a la relación (2.5) se llega a (2.6), tomando en cuenta que  $t_{Kj} < T_{seq}$

$$\sum_{K=A,B,C} m_{Ka}(t) = \sum_{K=A,B,C} m_{Kb}(t) = \sum_{K=A,B,C} m_{Kc}(t) = 1 \quad (2.6)$$

para  $K = A, B, C$

Aplicando este principio a todos los interruptores, se define una relación similar a (2.2) y (2.3) que involucra los voltajes y las corrientes de entrada con los voltajes y las corrientes de salida, pero esta vez utilizando los ciclos de trabajo. Estas ecuaciones son:

$$\begin{bmatrix} V_a(t) \\ V_b(t) \\ V_c(t) \end{bmatrix} = \begin{bmatrix} m_{Aa} & m_{Ba} & m_{Ca} \\ m_{Ab} & m_{Bb} & m_{Cb} \\ m_{Ac} & m_{Bc} & m_{Cc} \end{bmatrix} \begin{bmatrix} V_A(t) \\ V_B(t) \\ V_C(t) \end{bmatrix} \quad (2.7)$$

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

$$\begin{bmatrix} i_A(t) \\ i_B(t) \\ i_C(t) \end{bmatrix} = \begin{bmatrix} m_{Aa} & m_{Ab} & m_{Ac} \\ m_{Ba} & m_{Bb} & m_{Bc} \\ m_{Ca} & m_{Cb} & m_{Cc} \end{bmatrix} \begin{bmatrix} i_a(t) \\ i_b(t) \\ i_c(t) \end{bmatrix} \quad (2.8)$$

Entonces el problema fundamental de la modulación del CM consiste en encontrar una matriz de modulación  $m(t)$  que satisfaga las condiciones mencionadas anteriormente. Las ecuaciones (2.7) y (2.8) se pueden escribir de la siguiente forma:

$$[V_o(t)] = [m(t)][V_i(t)] \quad (2.9)$$

ó

$$[I_o(t)] = [m(t)]^T [I_i(t)] \quad (2.10)$$

En la actualidad existen diversas formas de solucionar el problema de la modulación, una de las primeras fue la propuesta por Alesina y Venturini, quienes también propusieron la primer topología del CM [8, 14, 24, 33]. A continuación se analizan las técnicas PWM vinculadas con este trabajo.

### 2.1.2.1 Modulación por Vectores Espaciales

La modulación por vectores espaciales (SVM) es un tipo de modulación del ancho de los pulsos (PWM), este tipo de estrategias de conmutación generalmente son utilizadas para controlar convertidores electrónicos de potencia que cuentan con interruptores semiconductores controlados. Las técnicas de modulación por ancho de los pulsos (PWM) se pueden emplear para convertidores monofásicos y trifásicos, ya sea de dos o más niveles.

Un vector espacial o fasor espacial, sirve para representar cantidades físicas de distribución sinusoidal en el espacio, dicha representación se realiza con números complejos [34].

En base a esta definición, la técnica SVM se basa en la posibilidad de representar el sistema trifásico de voltajes de referencia mediante un vector, este vector contiene la información de la magnitud de los voltajes instantáneos de línea y frecuencia deseados [35].

La forma del vector espacial de los voltajes de salida puede analizarse en la ecuación (2.11).

$$\vec{V}_o = \frac{2}{3} \left( V_{ab}(t) + V_{bc} e^{j(2\pi/3)} + V_{ca} e^{j(4\pi/3)} \right) \quad (2.11)$$

Donde  $V_{ab}(t)$ ,  $V_{bc}(t)$  y  $V_{ca}(t)$  son funciones sinusoidales de los voltajes de línea de salida desfasadas 120 grados eléctricos entre ellas. Los números complejos  $e^{j(2\pi/3)}$  y  $e^{j(4\pi/3)}$  representan vectores unitarios por lo que  $\vec{V}_o$  se puede representar en la forma polar mediante una magnitud y un ángulo [36] de la forma siguiente:

$$\vec{V}_o = \bar{V}_o e^{j(\omega_o t)} \quad (2.12)$$

En la ecuación (2.12)  $\bar{V}_o$  es la amplitud del sistema trifásico del vector representado, mientras  $\omega_o$  es la velocidad angular del sistema con la que rota el vector.

Una analogía similar a la utilizada con los voltajes de salida puede efectuarse con las corrientes de entrada obteniéndose:

$$\vec{I}_i = \bar{I} e^{j(\omega_i t - \varphi)} \quad (2.13)$$

En (2.13) se introduce el término  $\varphi$ , que representa el desfaseamiento entre las corrientes y los voltajes de entrada.

El CM (de 3 x 3) tiene 9 interruptores bidireccionales por lo cual se tendrán  $2^9$  combinaciones, es decir 81 combinaciones diferentes. Recordando las dos restricciones en la operación del CM establecidas en la ecuación (2.1), se eliminan algunas de las combinaciones que no cumplen dichas reglas, reduciendo las combinaciones posibles a solo 27.

Las 27 combinaciones permitidas se muestran en la tabla 2.1, estas se dividen en tres grupos. En el primer grupo se tienen seis combinaciones [35], donde cada fase de salida es conectada a una fase de entrada diferente, debido a esto los voltajes de salida tienen la misma magnitud y frecuencia que la entrada, por lo que no pueden utilizarse para sintetizar un valor de voltaje deseado.

El segundo grupo esta conformado por las combinaciones que tienen dos fases de salida conectadas a una misma fase de entrada, estas combinaciones son llamadas vectores estacionarios y son las que se utilizan para formar las señales de salida deseadas [35].

Las últimas 3 combinaciones conforman el grupo 3 y son las que conectan a cada fase de salida con la misma fase de entrada. En estas combinaciones el voltaje y la corriente son cero, por lo que son llamados vectores cero [35].

En la técnica de modulación SVM se busca representar un conjunto de voltajes deseados en un intervalo definido de tiempo mediante un conjunto de vectores estacionarios (del grupo 2), al siguiente instante de tiempo existirá un nuevo sistema de voltajes de referencia con una nueva posición angular que será representado por un nuevo conjunto de vectores estacionarios.

Para una mejor comprensión se puede utilizar un hexágono en el cual se distribuyen los 18 vectores estacionarios utilizados para sintetizar los voltajes de salida deseados. En la figura 2.5 a) y b) se observan los hexágonos con los vectores estacionarios que representan el vector de voltajes de salida y el vector de corrientes de entrada, en

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

donde  $\alpha_o$  representa el ángulo del vector que representa el sistema trifásico de los voltajes de salida deseados,  $\bar{V}_o$  es la magnitud del voltaje de salida deseado,  $\beta_i$  es el ángulo del vector que representa al sistema de las corrientes de entrada y  $\varphi$  representa el desfase entre el vector de voltajes de salida y el vector de corrientes de entrada.

**Tabla 2. 1 Combinaciones permitidas de interruptores para SVM**

	Combinación de interruptores $S_{Kj}=1$	Voltajes de Salida			Corrientes de Entrada			Vector de Voltaje		
		$V_{ab}$	$V_{bc}$	$V_{ca}$	$I_A$	$I_B$	$I_C$		<	
Grupo 1	#									
	1	$S_{Aa}, S_{Bb}, S_{Cc}$	$V_{AB}$	$V_{BC}$	$V_{CA}$	$I_A$	$I_B$	$I_C$	$V_i$	$\omega_i t$
	2	$S_{Aa}, S_{Cb}, S_{Bc}$	$-V_{CA}$	$-V_{BC}$	$-V_{AB}$	$I_A$	$I_C$	$I_B$	$-V_i$	$-\omega_i t + 4\pi/3$
	3	$S_{Ba}, S_{Ab}, S_{Cc}$	$-V_{AB}$	$-V_{CA}$	$-V_{BC}$	$I_B$	$I_A$	$I_C$	$-V_i$	$-\omega_i t$
	4	$S_{Ba}, S_{Cb}, S_{Ac}$	$V_{BC}$	$V_{CA}$	$V_{AB}$	$I_C$	$I_A$	$I_B$	$V_i$	$\omega_i t + 4\pi/3$
	5	$S_{Ca}, S_{Ab}, S_{Bc}$	$V_{CA}$	$V_{AB}$	$V_{BC}$	$I_B$	$I_C$	$I_A$	$V_i$	$\omega_i t + 2\pi/3$
	6	$S_{Ca}, S_{Bb}, S_{Ac}$	$-V_{BC}$	$-V_{AB}$	$-V_{CA}$	$I_C$	$I_B$	$I_A$	$-V_i$	$-\omega_i t + 2\pi/3$
Grupo 2	+1	$S_{Aa}, S_{Bb}, S_{Bc}$	$V_{AB}$	0	$-V_{AB}$	$I_A$	$-I_A$	0	$kV_{AB}$	$\pi/6$
	-1	$S_{Ba}, S_{Ab}, S_{Ac}$	$-V_{AB}$	0	$V_{AB}$	$-I_A$	$I_A$	0	$-kV_{AB}$	$\pi/6$
	+2	$S_{Ba}, S_{Cb}, S_{Cc}$	$V_{BC}$	0	$-V_{BC}$	0	$I_A$	$-I_A$	$kV_{BC}$	$\pi/6$
	-2	$S_{Ca}, S_{Bb}, S_{Bc}$	$-V_{BC}$	0	$V_{BC}$	0	$-I_A$	$I_A$	$-kV_{BC}$	$\pi/6$
	+3	$S_{Ca}, S_{Ab}, S_{Ac}$	$V_{CA}$	0	$-V_{CA}$	$-I_A$	0	$I_A$	$kV_{CA}$	$\pi/6$
	-3	$S_{Aa}, S_{Cb}, S_{Cc}$	$-V_{CA}$	0	$V_{CA}$	$I_A$	0	$-I_A$	$-kV_{CA}$	$\pi/6$
	+4	$S_{Ba}, S_{Ab}, S_{Bc}$	$-V_{AB}$	$V_{AB}$	0	$I_B$	$-I_B$	0	$kV_{AB}$	$5\pi/6$
	-4	$S_{Aa}, S_{Bb}, S_{Ac}$	$V_{AB}$	$-V_{AB}$	0	$-I_B$	$I_B$	0	$-kV_{AB}$	$5\pi/6$
	+5	$S_{Ca}, S_{Bb}, S_{Cc}$	$-V_{BC}$	$V_{BC}$	0	0	$I_B$	$-I_B$	$kV_{BC}$	$5\pi/6$
	-5	$S_{Ba}, S_{Cb}, S_{Bc}$	$V_{BC}$	$-V_{BC}$	0	0	$-I_B$	$I_B$	$-kV_{BC}$	$5\pi/6$
	+6	$S_{Aa}, S_{Cb}, S_{Ac}$	$-V_{CA}$	$V_{CA}$	0	$-I_B$	0	$I_B$	$kV_{CA}$	$5\pi/6$
	-6	$S_{Ca}, S_{Ab}, S_{Ac}$	$V_{CA}$	$-V_{CA}$	0	$I_B$	0	$-I_B$	$-kV_{CA}$	$5\pi/6$
	+7	$S_{Ba}, S_{Bb}, S_{Ac}$	0	$-V_{AB}$	$V_{AB}$	$I_C$	$-I_C$	0	$kV_{AB}$	$3\pi/2$
	-7	$S_{Aa}, S_{Ab}, S_{Bc}$	0	$V_{AB}$	$-V_{AB}$	$-I_C$	$I_C$	0	$-kV_{AB}$	$3\pi/2$
	+8	$S_{Ca}, S_{Cb}, S_{Bc}$	0	$-V_{BC}$	$V_{BC}$	0	$I_C$	$-I_C$	$kV_{BC}$	$3\pi/2$
-8	$S_{Ba}, S_{Bb}, S_{Cc}$	0	$V_{BC}$	$-V_{BC}$	0	$-I_C$	$I_C$	$-kV_{BC}$	$3\pi/2$	
+9	$S_{Aa}, S_{Ab}, S_{Cc}$	0	$-V_{CA}$	$V_{CA}$	$-I_C$	0	$I_C$	$kV_{CA}$	$3\pi/2$	
-9	$S_{Ca}, S_{Cb}, S_{Ac}$	0	$V_{CA}$	$-V_{CA}$	$I_C$	0	$-I_C$	$-kV_{CA}$	$3\pi/2$	
Grupo 3	01	$S_{Aa}, S_{Ab}, S_{Ac}$	0	0	0	0	0	0	0	
	02	$S_{Ba}, S_{Bb}, S_{Bc}$	0	0	0	0	0	0	0	
	03	$S_{Ca}, S_{Cb}, S_{Cc}$	0	0	0	0	0	0	0	

Esta estrategia de modulación consiste en la selección de 4 de los 18 vectores estacionarios para sintetizar el voltaje de salida. Los mismos 4 vectores seleccionados deben ser capaces de representar la corriente de entrada.

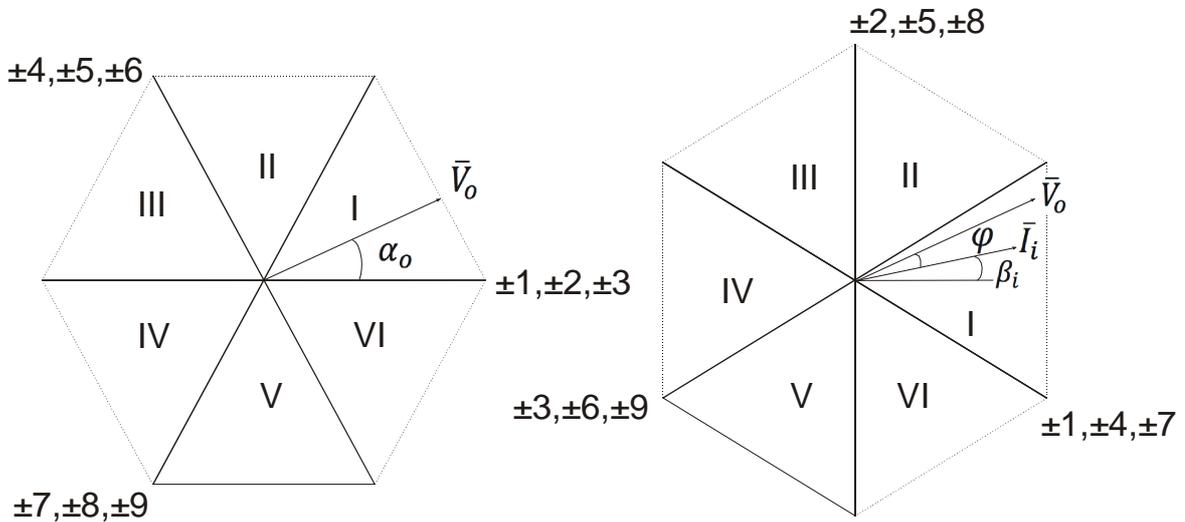


Figura 2.5 a) Hexágono de Voltajes de entrada

b) Hexágono de Corrientes de salida

Para ejemplificar la selección de los vectores en un ciclo de conmutación, se supone que los vectores de voltajes de salida y de corrientes de entrada están ubicados en el sector I como se muestra en la figura 2.6. Estos vectores se descomponen en su parte real y su parte imaginaria para poder proyectarlos en los vectores que conforman al hexágono de combinaciones del CM.

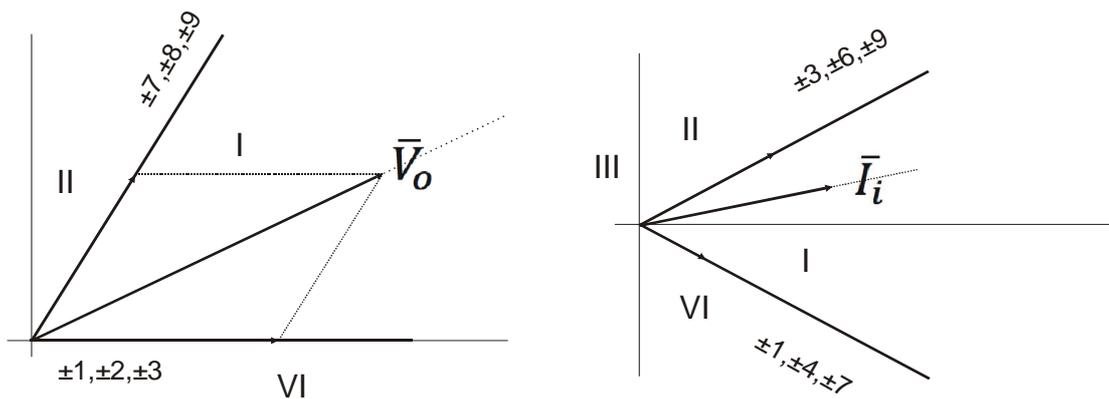


Figura 2.6 Ejemplo de selección de vectores para el sector 1 de voltaje (izquierda) y corriente (derecha)

Se puede observar que  $\bar{V}_o$  tiene componentes en los vectores representados con las combinaciones  $\pm 7, \pm 8$  y  $\pm 9$  y en  $\pm 1, \pm 2$  y  $\pm 3$ , mientras que el vector de corrientes de entrada tiene componentes en  $\pm 3, \pm 6$  y  $\pm 9$  y en  $\pm 1, \pm 4$  y  $\pm 7$ . Considerando estas

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

posibles combinaciones eliminan los vectores  $\vec{v}_1$ ,  $\vec{v}_2$  y  $\vec{v}_3$ , ya que los vectores seleccionados para formar el voltaje de salida deseada, también deben de formar al vector de la corriente. De esta forma se sintetiza el voltaje de frecuencia deseada y se mantiene un ángulo de desfase adecuado con la corriente. Los posibles vectores que pueden ser seleccionados son:  $\vec{v}_4$ ,  $\vec{v}_5$  y con ayuda de la figura 2.7 y 2.8 se pueden definir los 4 vectores que deben usarse.

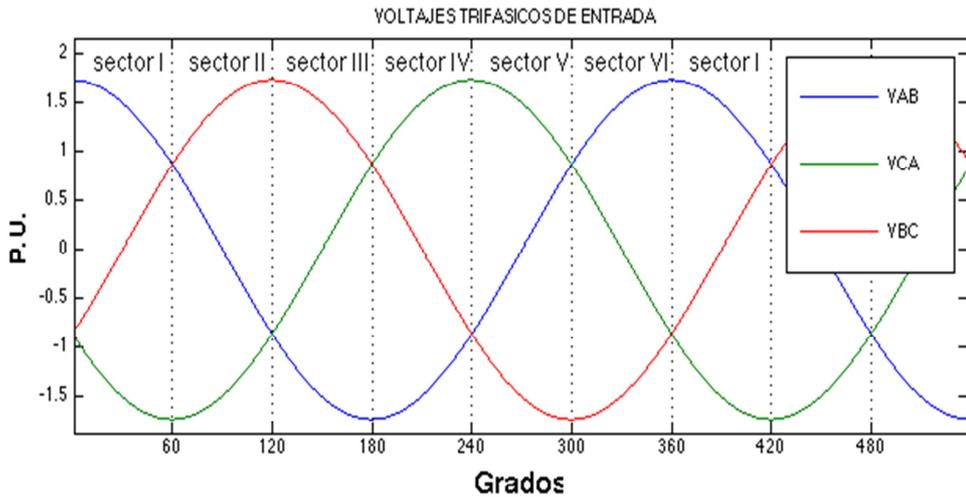


Figura 2.7 Sistema trifásico de entrada y los sectores correspondientes

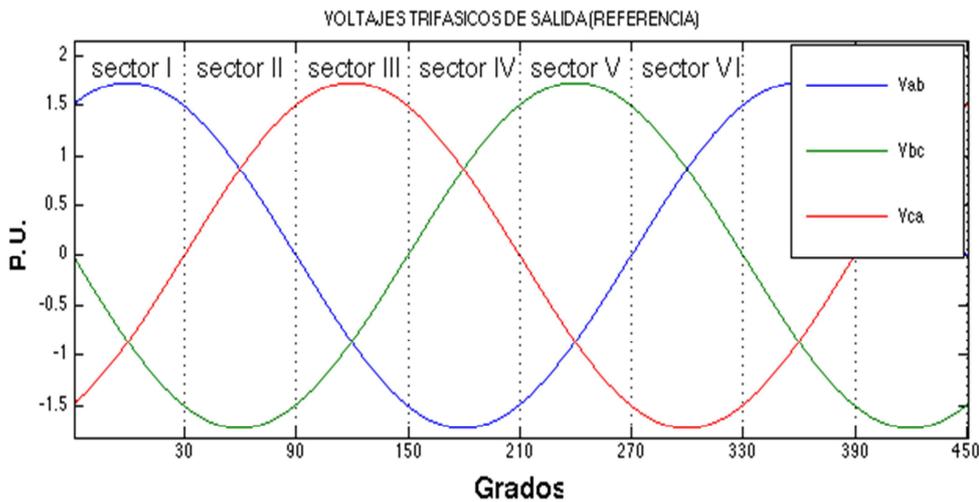


Figura 2.8 Sistema trifásico de salida y sus sectores

El voltaje de salida se encuentra en el sector I según la suposición hecha. En la figura 2.7 se puede ver que el máximo voltaje de entrada corresponde a  $\vec{v}_4$  y  $\vec{v}_5$ , lo mismo ocurre con los voltajes de salida. Por lo que en la tabla 2.1 se seleccionan los vectores que puedan sintetizar estos valores de voltajes. Finalmente se elijen los vectores +1, -3, -7 y +9.

Un análisis similar al realizado cuando los vectores se encuentran en el sector I se debe realizar para cada una de las combinaciones de los sectores de voltajes y

corriente. La tabla 2.2 muestra los vectores que deben seleccionarse para cada una de las combinaciones posibles de los sectores de entrada y salida.

Tabla 2.2 Selección de vectores para SVM

		Kv											
K		1				2				3			
		Ki	1	+9	-7	-3	+1	-6	+4	+9	-7	+3	-1
	2	-8	+9	+2	-3	+5	-6	-8	+9	-2	+3	+5	-6
	3	+7	-8	-1	+2	-4	+5	+7	-8	+1	-2	-4	+5
	4	-9	+7	+3	-1	+6	-4	-9	+7	-3	+1	+6	-4
	5	+8	-9	-2	+3	-5	+6	+8	-9	+2	-3	-5	+6
	6	-7	+8	+1	-2	+4	-5	-7	+8	-1	+2	+4	-5
		Kv											
K		4				5				6			
		Ki	1	-9	+7	+3	-1	+6	-4	-9	+7	-3	+1
	2	+8	-9	-2	+3	-5	+6	+8	-9	+2	-3	-5	+6
	3	-7	+8	+1	-2	+4	-5	-7	+8	-1	+2	+4	-5
	4	+9	-7	-3	+1	-6	+4	+9	-7	+3	-1	-6	+4
	5	-8	+9	+2	-3	+5	-6	-8	+9	-2	+3	+5	-6
	6	+7	-8	-1	+2	-4	+5	+7	-8	+1	-2	-4	+5

Una vez que se han seleccionado los 4 vectores que formaran los voltajes deseados en cada instante de tiempo, se requiere calcular los tiempos en que cada una de las combinaciones debe estar activa. Por lo cual resulta necesario calcular los ciclos de trabajo adecuados para obtener los voltajes de salida deseados.

Las ecuaciones utilizadas para el encontrar los ciclos de trabajo por SVM son [12, 37, 38]:

$$\delta_1 = \frac{2}{\sqrt{3}} q \frac{\cos\left(\alpha_o - \frac{\pi}{3}\right) \cos\left(\beta_i - \frac{\pi}{3}\right)}{\cos(\varphi)} \quad (2.14)$$

$$\delta_2 = \frac{2}{\sqrt{3}} q \frac{\cos\left(\alpha_o - \frac{\pi}{3}\right) \cos\left(\beta_i + \frac{\pi}{3}\right)}{\cos(\varphi)} \quad (2.15)$$

$$\delta_3 = \frac{2}{\sqrt{3}} q \frac{\cos\left(\alpha_o + \frac{\pi}{3}\right) \cos\left(\beta_i - \frac{\pi}{3}\right)}{\cos(\varphi)} \quad (2.16)$$

$$\delta_4 = \frac{2}{\sqrt{3}} q \frac{\cos\left(\alpha_o + \frac{\pi}{3}\right) \cos\left(\beta_i + \frac{\pi}{3}\right)}{\cos(\varphi)} \quad (2.17)$$

Donde  $\alpha_o$  es el ángulo del vector de voltajes de salida,  $\beta_i$  es el ángulo del vector de las corrientes de entrada,  $\varphi$  es el ángulo de desfase entre el vector de los voltajes

## Implementación de Algoritmos Sünther-Clare en un Convertidor Matricial

de salida y el vector de las corrientes de entrada, y  $q = V_o/V_i$  es el índice de modulación. Además se debe cumplir la relación:

$$\delta_1 + \delta_2 + \delta_3 + \delta_4 \leq 1 \quad (2.18)$$

Si la relación (2.18) resulta menor que la unidad, se requiere el uso de vectores cero (del grupo 3) para completar los patrones de conmutación, por lo cual el tiempo en que los vectores cero deben estar activos se puede calcular mediante la ecuación:

$$\delta_0 = 1 - (\delta_1 + \delta_2 + \delta_3 + \delta_4) \quad (2.19)$$

El uso del número de vectores cero ( $\delta_0$ ) en cada patrón de conmutación dependerá del tipo de aplicación del CM [12].

En la figura 2.9 se puede observar de forma simple los interruptores que están en estado activo en cada una de las combinaciones ya definidas anteriormente y que también se representan en la tabla 2.1.

La técnica de modulación por vectores espaciales permite controlar el ángulo entre el vector de corrientes de entrada y el vector de voltajes de salida. Por lo que se puede controlar el factor de potencia en el CM [36].

Otro aspecto importante al utilizar la técnica SVM para el CM, es el orden en que conmutarán los 4 vectores elegidos, debido a que un orden correcto reduce la cantidad de cambios en los interruptores activos, lo cual resulta en reducción de las pérdidas.

Existen dos formas en que los interruptores pueden conmutar: el simétrico y el asimétrico. La conmutación simétrica es también llamada "double sided", la cual se prefiere sobre la asimétrica debido a que disminuye el rizo de voltaje de la entrada y la salida. Una desventaja de la técnica simétrica es el aumento en el número de conmutaciones, lo cual es originado por un incremento en el número de cambios de estados activos, ya que se dobla el número de conmutaciones, esto último también incrementa las pérdidas.

La figura 2.4 puede ser considerada un ejemplo de conmutación asimétrica, mientras que en la figura 2.10 se puede analizar como un ejemplo de conmutación simétrica.

En la conmutación simétrica el tiempo de secuencia se divide en dos partes iguales, en ambas mitades todos los vectores activos seleccionados para el intervalo de tiempo deben ser aplicados incluyendo los vectores cero.

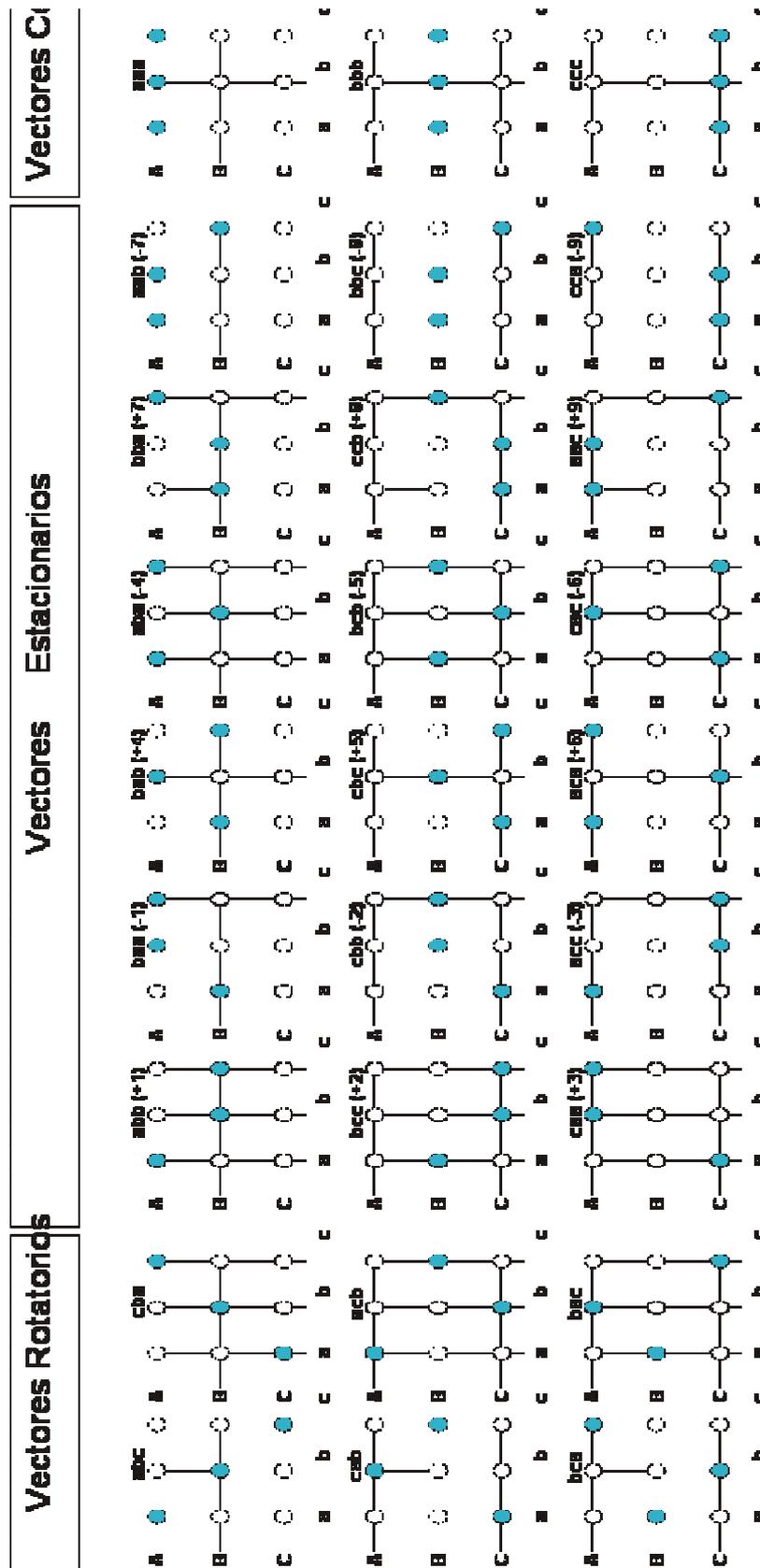


Figura 2.9 Combinaciones posibles del CM 3X3

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

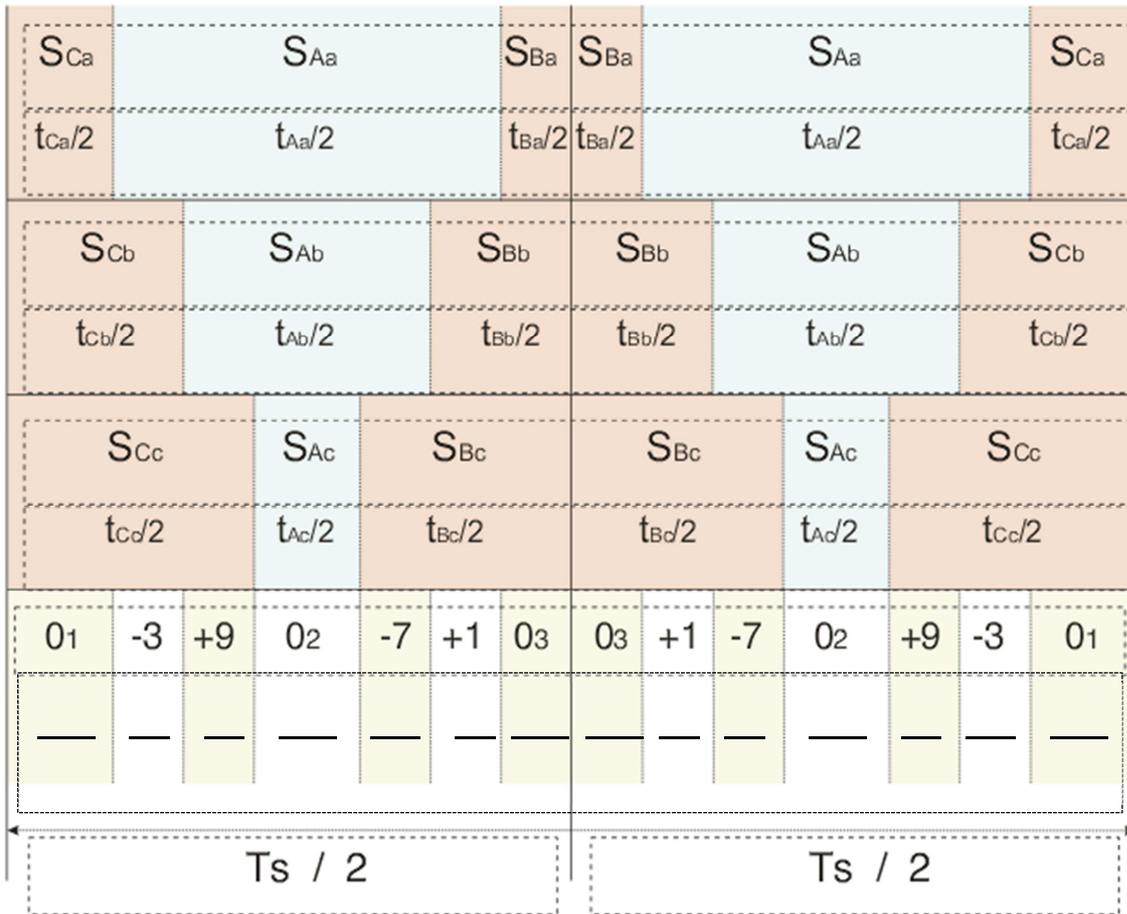


Figura 2. 10 Ejemplo de conmutación simétrica cuando el vector del voltaje de salida y la corriente de entrada están en el sector I

El orden de conmutación está determinado por la suma de los sectores del vector de entrada y el sector del vector de salida. Calculada la suma de ambos sectores, el patrón de conmutación se selecciona de acuerdo a la tabla 2.3.

Tabla 2. 3 Patrones de Conmutación SVM

Suma de los sectores ( $K_v + K_i$ )	Patrón de Conmutación.
Par	
Impar	

La selección de los vectores cero es también una parte importante para la técnica SVM, debido a que se puede utilizar uno, dos o los tres vectores cero. Si se escoge la alternativa de utilizar un solo vector cero, ocho conmutaciones ocurren en cada periodo de tiempo. Al utilizar dos vectores cero ocurren 10 cambios, mientras que si se selecciona el uso de los 3 vectores cero, el número de conmutaciones incrementa a 12. La atenuación del rizo de voltaje resulta de interés en la mayoría de las

aplicaciones, por ello es preferible el uso de tres vectores cero a pesar del incremento en las pérdidas.

Por lo tanto el problema en el uso de 3 vectores cero se limita a la asignación y orden de los vectores cero  $(S_{Aa}, S_{Ab}, S_{Ac})$ ,  $(S_{Ba}, S_{Bb}, S_{Bc})$  y  $(S_{Ca}, S_{Cb}, S_{Cc})$ . Para lograr el mínimo de conmutaciones al utilizar los 3 vectores cero (12 conmutaciones) se debe realizar la asignación de los vectores cero según la tabla 2.4.

Tabla 2.4 Asignación de vectores cero

CERO SECTOR	$\delta_{01}$	$\delta_{02}$	$\delta_{03}$
1 y 4	$S_{Ca}, S_{Cb}, S_{Cc}$	$S_{Aa}, S_{Ab}, S_{Ac}$	$S_{Ba}, S_{Bb}, S_{Bc}$
2 y 5	$S_{Ba}, S_{Bb}, S_{Bc}$	$S_{Ca}, S_{Cb}, S_{Cc}$	$S_{Aa}, S_{Ab}, S_{Ac}$
3 y 6	$S_{Aa}, S_{Ab}, S_{Ac}$	$S_{Ba}, S_{Bb}, S_{Bc}$	$S_{Ca}, S_{Cb}, S_{Cc}$

### 2.1.2.2 Modulación de Venturini

Esta técnica de modulación fue una de las primeras que surgió, fue propuesta por Alesina y Venturini y consiste en encontrar una matriz que contenga los ciclos de trabajo de cada uno de los interruptores que conforman el CM [14].

Para calcular estos ciclos de trabajo que ayudarán a sintetizar los voltajes de salida trifásicos, es necesario predefinir una señal de referencia de la cual se debe seguir su trayectoria cada tiempo de muestreo.

Este método permite calcular los ciclos de trabajo para conformar señales de salida no mayores al 50% de las señales de entrada. Resolviendo el sistema de ecuaciones mostrado en (2.7) se encuentra la matriz de modulación necesaria para formar los voltajes deseados.

En general la solución del sistema (2.7) está dada por la siguiente ecuación [14]:

$$m_{kj} = \frac{1}{3} \left( 1 + \frac{2V_K V_j}{V_i^2} \right) \quad (2.20)$$

Donde:

- $m_{kj}$  , son los ciclos de trabajo del interruptor  $S_{kj}$
- $V_K$  , valor instantáneo de la fase de entrada  $K$
- $V_j$  , valor instantáneo de la fase de salida  $j$
- $V_i$  , valor pico del sistema trifásico de entrada

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Esta técnica de modulación asegura un factor de potencia unitario a la entrada debido a la naturaleza de las ecuaciones.

La razón por la cual solo se puede tener una ganancia del 50% en el CM es debido a la ausencia de un enlace de corriente directa, pues la salida está formada por fragmentos de la señal de entrada. Esto último indica que las señales de los voltajes de salida deben estar contenidas dentro de las señales de los voltajes entrada. Dicha condición puede analizarse en la figura 2.11.

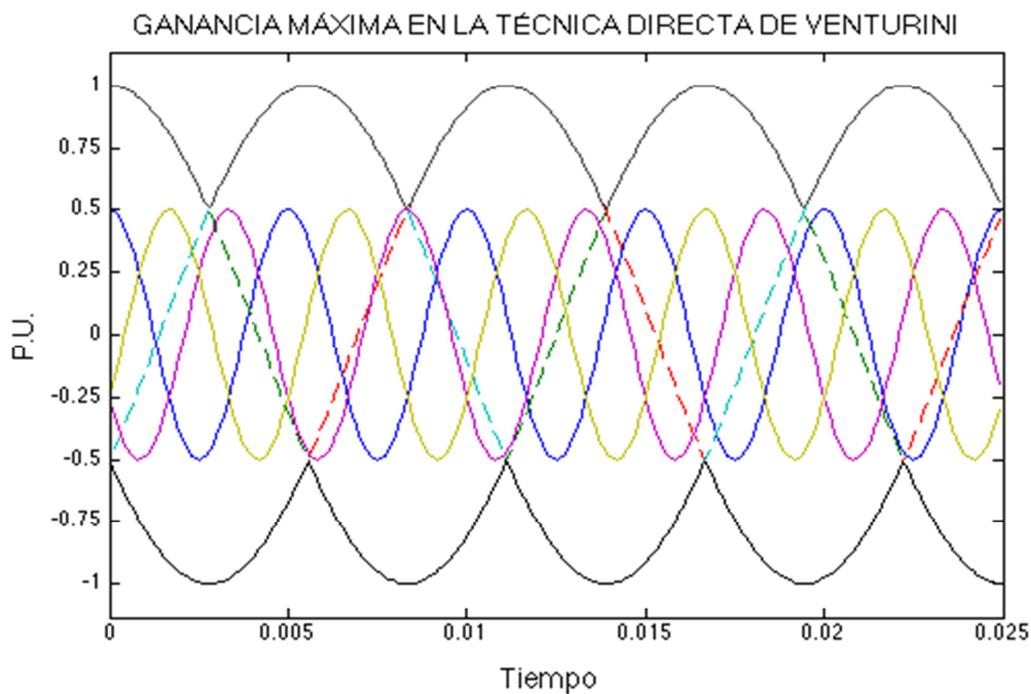


Figura 2. 11 Máxima ganancia de la técnica de modulación directa de Venturini

Finalmente el cálculo de los tiempos de cada uno de los interruptores puede despejarse de la ecuación (2.5), obteniéndose como resultado:

### 2.1.2.2.1 Modulación óptima de Venturini

La modulación de Venturini es poco utilizada debido a que está limitada a una ganancia del 50% de la fuente de alimentación. Sin embargo la modulación óptima de Venturini permite obtener una magnitud en los voltajes de salida de hasta un 87% de la entrada como salida mediante la adición de componentes de terceros armónicos de la señal de entrada y la señal de salida [14,33]. En la figura 2.12 se observa como la señal de salida aún con incorporación de los terceros armónicos se encuentra dentro

del área delimitada por las señales de entrada. La ecuación (2.22) expresa el voltaje de referencia con la inyección de terceros armónicos.

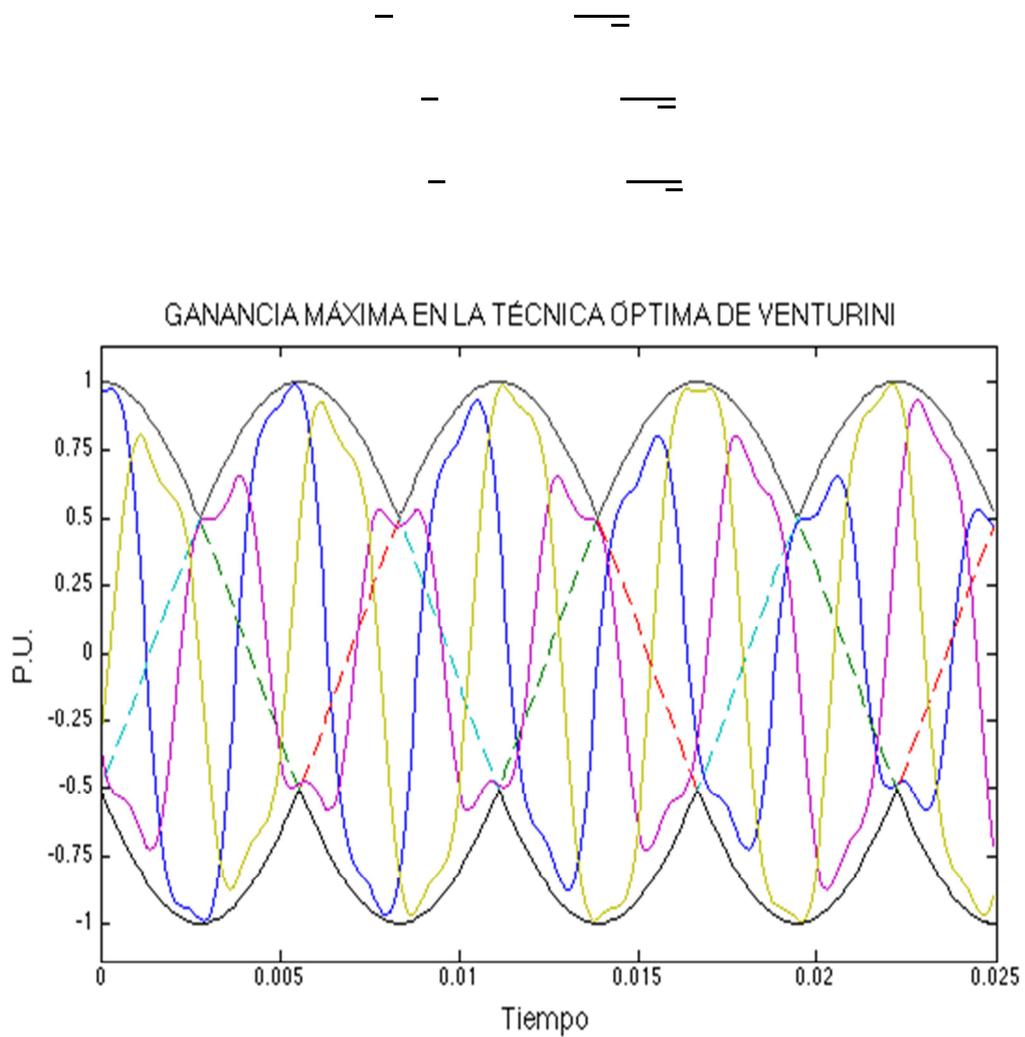


Figura 2.12 Máxima Ganancia en la técnica de modulación óptima de Venturini

En la ecuación (2.22) las constantes  $\alpha$  y  $\beta$  fueron encontradas mediante la solución de un problema de máximos y mínimos que se detalla en [40-41]. Por lo tanto la solución de la matriz de modulación está dada por la ecuación siguiente:

$$M = \begin{bmatrix} \cos(\omega t) & \sin(\omega t) \\ \cos(\omega t + \alpha) & \sin(\omega t + \alpha) \\ \cos(\omega t + \beta) & \sin(\omega t + \beta) \end{bmatrix}$$

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

donde:

$m_{kj}$  , son los ciclos de trabajo del interruptor  $S_{kj}$

$V_K$  , valor instantáneo de la fase de entrada  $K$

$V_j$  , valor instantáneo de la fase de salida  $j$

$V_i$  , valor pico del sistema trifásico de entrada

$q$  , índice de modulación  $V_o/V_i$

$V_o$  , valor pico del sistema trifásico de salida

Tanto la modulación directa de Venturini, como la modulación óptima de Venturini no han sido utilizadas debido al gran número de operaciones matemáticas que implica el cálculo de los ciclos de trabajo de cada uno de los interruptores de potencia, ya que su implementación estuvo limitada por la velocidad de los DSPs o bien por los microcontroladores utilizados para programar las ecuaciones de estas técnicas de modulación.

Actualmente los procesadores son de gran velocidad y permiten la implementación de estas técnicas de modulación. Con el fin de reducir aún más la cantidad de operaciones matemáticas Sünter y Clare realizaron una simplificación de las ecuaciones de la modulación óptima de Venturini [33].

### 2.1.2.2.2 Algoritmo de Sünter-Clare

Esta modificación de la modulación óptima de Venturini es ideal para aplicaciones en donde las frecuencias de las señales de entrada varían en función del tiempo. En cada tiempo de muestreo  $T_s$  son medidos los voltajes de entrada para formar un vector que contenga la información de la magnitud y velocidad angular del sistema trifásico de entrada.

Básicamente este método permite que la información de magnitud y velocidad angular de las señales de entrada y salida sean actualizadas cada tiempo de muestreo, lo que hace que este método sea satisfactorio para aplicaciones en donde se requieren controles en lazo cerrado [13].

Los ciclos de trabajo de cada interruptor de un hilo del CM pueden encontrarse mediante las siguientes tres ecuaciones [13]:

$$M_{Aa} = \frac{1}{3} + K_1 + \frac{2}{3V_i^2}(v_a + K_3) \left( \frac{2}{3}V_{AB} + \frac{1}{3}V_{BC} \right) \quad (2.24)$$

$$M_{Ba} = \frac{1}{3} + K_2 + \frac{2}{3V_i^2}(v_a + K_3) \left( \frac{1}{3}V_{BC} + \frac{1}{3}V_{AB} \right) \quad (2.25)$$

donde,

$$M_{Ca} = 1 - (M_{Aa} + M_{Ba}) \quad (2.26)$$

$$V_i^2 = \frac{4}{9}(V_{AB}^2 + V_{BC}^2 + V_{AB}V_{BC}) \quad (2.27)$$

$$\omega_i t = \arctan\left(\frac{V_{BC}}{\sqrt{3}\left(\frac{2}{3}V_{AB} + \frac{1}{3}V_{BC}\right)}\right) \quad (2.28)$$

$$V_o^2 = \frac{2}{3}(v_a^2 + v_b^2 + v_c^2) \quad (2.29)$$

$$\omega_o t = \arctan\left(\frac{v_b - v_c}{\sqrt{3}v_a}\right) \quad (2.30)$$

$$q = \sqrt{\frac{V_o^2}{V_i^2}} \quad (2.31)$$

$$K_1 = \frac{2q}{9q_m} \sin(\omega_i t) \sin(3\omega_i t) \quad (2.32)$$

$$K_2 = \frac{2q}{9q_m} \sin\left(\omega_i t - \frac{2\pi}{3}\right) \sin(3\omega_i t) \quad (2.33)$$

$$K_3 = -\sqrt{V_o^2} \left[ \frac{1}{6} \cos(3\omega_o t) - \frac{1}{4q_m} \cos(3\omega_i t) \right] \quad (2.34)$$

$$q_m = 0.8666$$

Sustituyendo  $V_a$  por  $V_b$  y  $V_c$  respectivamente, se pueden encontrar el resto de los ciclos de trabajo. Sustituyendo cada ciclo de trabajo calculado en (2.20) se pueden encontrar los tiempos activos de cada interruptor.

Para cualquiera de las tres variantes de la técnica de modulación de Venturini se tienen las mismas alternativas para conmutar los interruptores que en SVM, es decir de forma simétrica o asimétrica. Para la forma asimétrica el orden de conmutación de los interruptores está dado por la tabla 2.5.

**Tabla 2.5 Patrones de conmutación para la técnica de modulación de Venturini**

Sector de Entrada	Secuencia
1 y 4	$S_{Cj} - S_{Aj} - S_{Bj}$
2 y 5	$S_{Bj} - S_{Cj} - S_{Aj}$
3 y 6	$S_{Aj} - S_{Bj} - S_{Cj}$

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Si se elige una forma de conmutación simétrica, se debe realizar un procedimiento similar al realizado en la técnica SVM, es decir se divide en dos el tiempo de secuencia y se distribuyen los 3 ciclos de trabajo correspondientes a cada hilo del CM en ambas mitades del tiempo de secuencia. Este tipo de conmutación es conocida como conmutación cíclica de Venturini.

### 2.1.3 Estrategias de Conmutación

Actualmente no se tienen interruptores electrónicos bidireccionales, por lo que se recurre a arreglos de diversos interruptores unidireccionales y otros dispositivos electrónicos que en conjunto permitan un flujo de potencia en ambas direcciones.

La selección del tipo de interruptor depende de la aplicación para la cual sea utilizado el CM. Por ejemplo el MOSFET es el interruptor controlado que puede conmutar a frecuencias más altas (MHz), sin embargo los niveles de corrientes y voltajes que soportan dichos dispositivos son relativamente bajos comparados con otros transistores de potencia. Actualmente los IGBT son utilizados para la mayoría de las aplicaciones con CMs debido a que soportan una potencia mayor que los MOSFET, aunque el IGBT no es capaz de conmutar a tan altas frecuencias. Otro tipo de dispositivos tales como el GTO soportan potencias más altas pero sus frecuencias de operación son bajas por lo que no son una buena opción para aplicaciones con CMs.

Diversos tipos de arreglos con IGBTs han sido propuestos para conformar interruptores bidireccionales, algunos de ellos pueden observarse en la figura 2.13.

En 2.13 a) se muestra un interruptor bidireccional con puente de diodos. La gran ventaja de esta configuración es que un solo IGBT permite el flujo bidireccional de la corriente, por lo que la conmutación es sencilla, no obstante se tienen 3 dispositivos conectados en serie en todo momento, por lo que las pérdidas son elevadas.

En b) y b') se observa otra topología llamada interruptor bidireccional con emisor común. Este es un arreglo de dos IGBTs en antiparalelo con sus respectivos diodos, los cuales evitan la polarización inversa de los IGBTs. Dicho arreglo presenta la ventaja de disminución de las pérdidas debido a que solo dos dispositivos semiconductores están conectados en serie en cada sentido de conducción. Además de esto la dirección del flujo de potencia puede ser controlada, sin embargo la conmutación es más compleja.

Por último en c) y c') se muestra una configuración de interruptor bidireccional con colector común, las pérdidas son las mismas que en la configuración b) y b'), con la desventaja de un aumento en el número de fuentes aisladas para el control de la conducción de los IGBTs.

La diferencia entre b) y b') es la misma que existe entre c) y c'), siendo esta la eliminación de una conexión central entre los IGBTs. La eliminación del punto central en la topología b') y c') tiene como ventaja una mejor respuesta transitoria del

interruptor bidireccional y como desventaja la necesidad de una fuente de voltaje aislada para el control de la conducción de cada uno de los IGBTs del interruptor [12].

La configuración b) es la más utilizada pues permite el uso de una sola fuente aislada para cada uno de los arreglos bidireccionales.

Considerando que los interruptores de un CM no son ideales y que los IGBTs tienen un tiempo de encendido "turn on" y un tiempo de apagado "turn off", se requiere tener en consideración algunos aspectos para una operación segura del CM durante la conmutación.

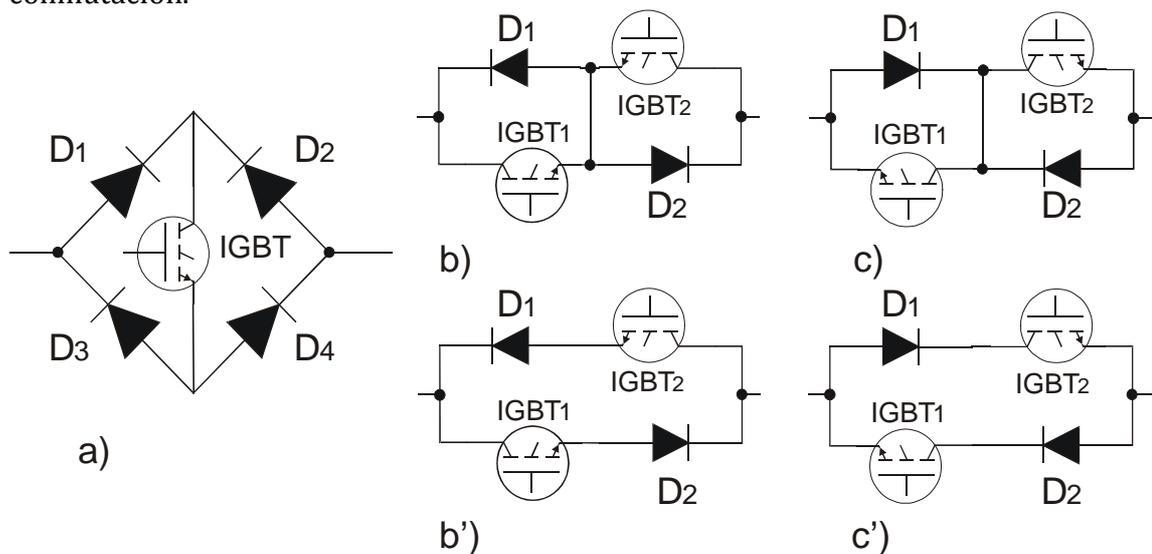


Figura 2.13 Topologías de algunos interruptores bidireccionales

Las técnicas de conmutación en un CM son más difíciles de implementar que en otros convertidores electrónicos de potencia, debido que no existen trayectorias de libre camino para la corriente.

Existen dos formas de realizar la conmutación de los interruptores semiconductores de potencia en un CM. Una de ellas es conocida como "current commutation" en la cual es necesario conocer el signo de la corriente de salida. La otra es conocida como "voltage commutation", la cual se basa en el conocimiento de las magnitudes de los voltajes de entrada [12].

Otro grupo de técnicas de conmutación menos usados es conocido como técnicas "soft" o suaves, estas técnicas requieren un incremento del hardware en la topología del CM. Las técnicas suaves permiten una conmutación con menos pérdidas, pero presenta desventajas como un importante incremento en el número de dispositivos electrónicos, por lo cual se incrementa el costo, peso y complejidad del CM. Algunas de los arreglos más usados pueden analizarse en [12].

Para explicar brevemente algunas de las técnicas de conmutación que son utilizadas en el CM, se puede considerar una forma sencilla del CM como la mostrada en la figura

2.14, en la cual se tienen dos fases de entrada y una fase de salida en el CM. Los principios básicos de operación de los convertidores matriciales también aplican para esta topología.

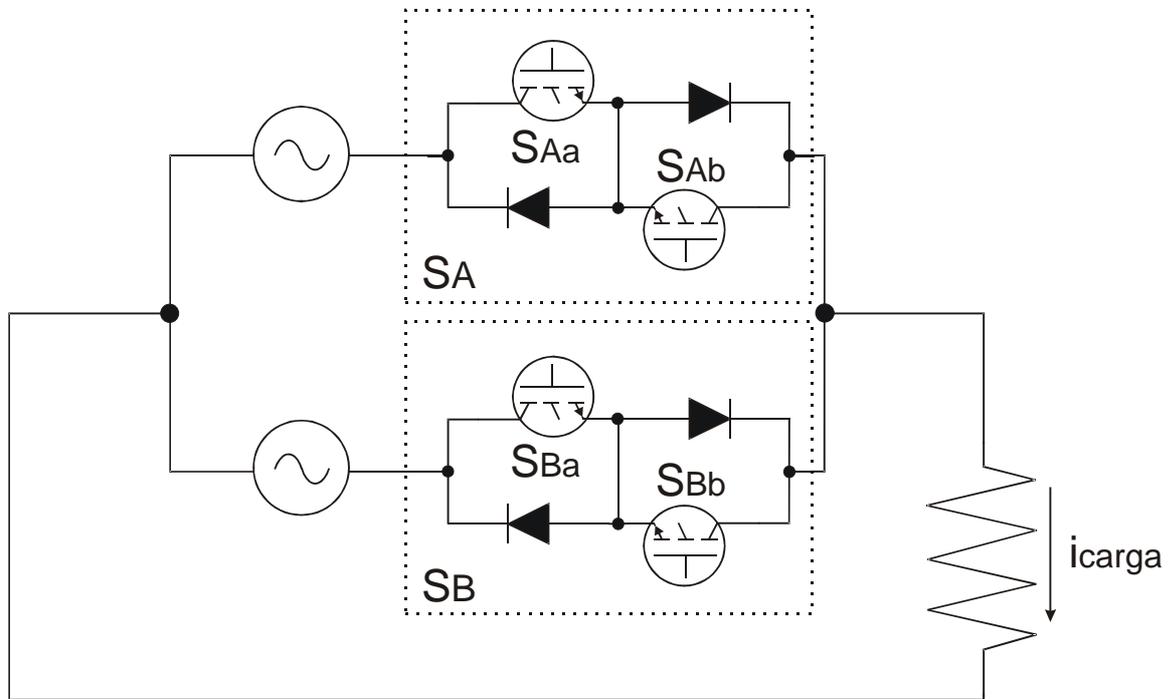


Figura 2. 14 CM 2X1 (2 fases de entrada y 1 fase de salida)

### 2.1.3.1 Estrategias Basadas en el sentido de la corriente

Las técnicas de conmutación que se presentan a continuación se basan en el conocimiento del signo de la corriente y se pueden aplicar a cualquier CM sin importar el número de entradas y salidas, así como la potencia del mismo. Dichas técnicas han sido desarrolladas principalmente para el interruptor con IGBTs en configuración de emisor común.

#### 2.1.3.1.1 Conmutación de corriente de cuatro pasos

Las técnicas de traslape y de tiempo muerto, no deben ser utilizadas en aplicaciones con CM, ya que no podrían ser aprovechadas las ventajas que ofrece este tipo de convertidor electrónico

Existen otro tipo de técnicas de conmutación que son utilizadas para una conmutación segura de los interruptores bidireccionales de potencia en el CM. Una de las más utilizadas es la técnica de conmutación de cuatro pasos o bien “four step commutation”. Para implementar esta técnica de conmutación se requiere de la elección de un interruptor electrónico en el cual se pueda controlar el flujo de la

potencia. Para ello se requiere de un arreglo como el mostrado en la figura 2.13 b). La técnica de conmutación de cuatro pasos reduce las pérdidas originadas por la conmutación en un 50% con respecto a las técnicas de traslape y tiempo muerto[12].

La técnica consiste en el conocimiento del sentido de la corriente de cada una de las fases de salida. Durante la transición del estado activo de un interruptor bidireccional a otro, únicamente uno de los dos IGBTs que conforman al interruptor debe estar activo.

En la figura 2.15, el interruptor que se encuentra activo es el  $S_A$ . Cuando se requiere encender el interruptor  $S_B$ , como primer paso se debe apagar el IGBT del interruptor  $S_A$  que no esta conduciendo, como segundo paso se enciende el IGBT del interruptor  $S_B$  que no va a conducir, como tercer paso se apaga el IGBT del interruptor  $S_A$  que quedó activo, y como cuarto y último paso debe entrar en conducción el último IGBT del interruptor  $S_B$ . De esta forma se completa la conmutación. Los cuatro pasos a seguir dependen del signo de la corriente como se puede apreciar en el diagrama de flujo de la figura 2.15.

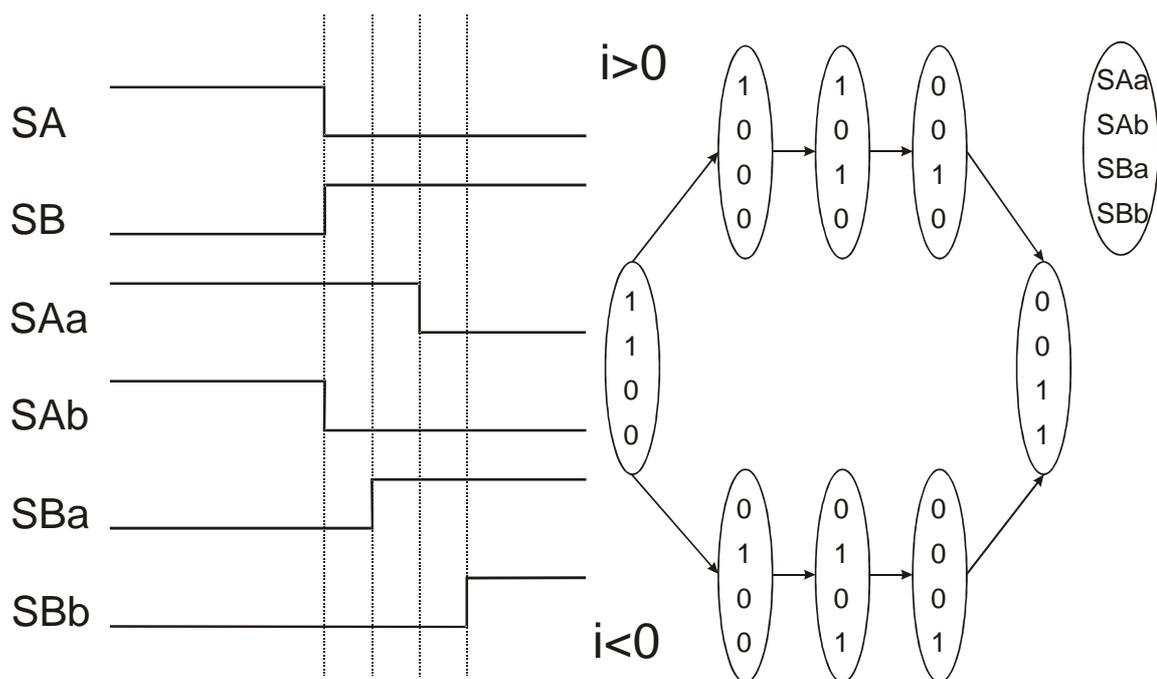


Figura 2.15 Técnica de conmutación de cuatro pasos

### 2.1.3.1.2 Conmutación de corriente de dos pasos

Una variante de la técnica de conmutación de cuatro pasos, es la técnica de conmutación de dos pasos, o también conocida como "two step current commutation". En esta técnica se requiere del conocimiento del signo de la corriente de cada fase, pues solo se dispara el IGBT de cada interruptor bidireccional que debe conducir. Debido a esto que, una mala medición de la polaridad de la corriente se traduce en circuitos abiertos, lo cual se debe evitar [42-43]. Al entrar en conducción únicamente

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

el IGBT que debe conducir, la conmutación se simplifica aún más, teniéndose una reducción en el número de conmutaciones.

La descripción de este tipo de conmutación se observa en la figura 2.16. Cuando la corriente tiende a ser cero es difícil disparar los interruptores adecuados, debido a los circuitos utilizados para la detección del sentido de la corriente, por lo que es necesario utilizar un umbral, en el cual se encienden ambos IGBTs del interruptor que se encuentra activo hasta que se establezca nuevamente la información de la polaridad de la corriente.

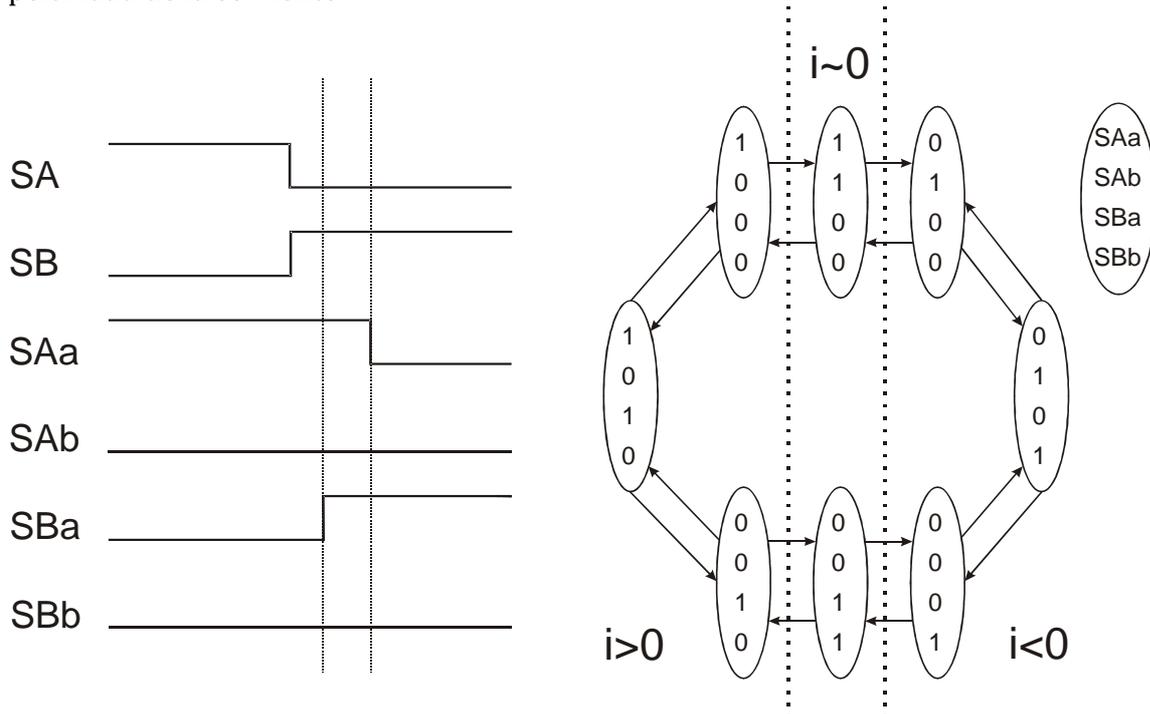


Figura 2.16 Técnica de conmutación de dos pasos

### 2.1.4 Circuito de Protección

El CM es un convertidor muy susceptible a los disturbios debido a su topología. Uno de los principales aspectos que afectan al CM es la ausencia del enlace de corriente directa, el cual tiene un capacitor con la posibilidad de absorber las sobretensiones que se puedan presentar.

Debido a lo anterior, es necesario proteger al CM contra sobrecorrientes y sobrevoltajes. El circuito que se observa en la figura 2.17 es el más utilizado para la protección del CM, este arreglo es conocido como circuito de fijación de voltaje o "Clamp Voltage Circuit". El circuito está conformado por un puente de diodos de recuperación rápida, el cual está interconectado a cada fase de entrada y salida. En la figura 2.17 se observa la conexión del circuito de fijación de voltaje a un CM 3X3.

En el centro del puente de diodos se conecta un capacitor y un resistor en paralelo. Dicho capacitor tiene la función de absorber las sobretensiones causadas cuando se

desconecta y conecta la carga. También puede proteger de las tensiones indeseadas causadas por el pico de resonancia del filtro de entrada del CM.

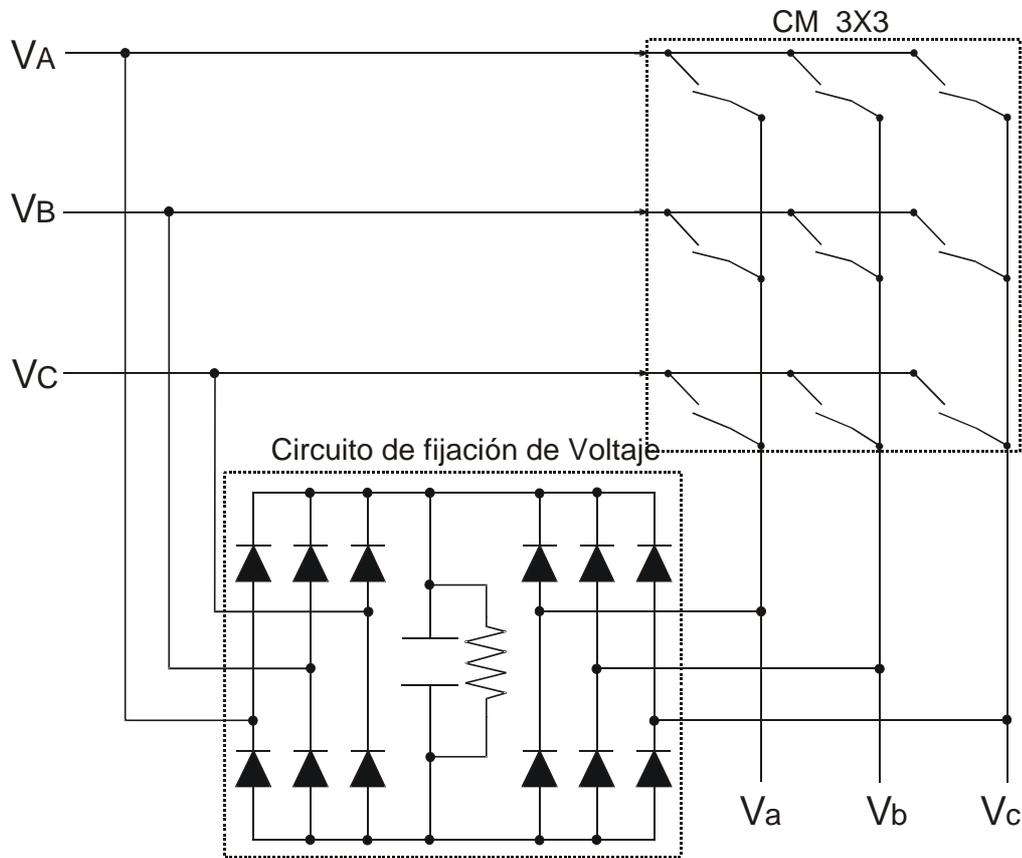


Figura 2. 17 Circuito de protección para fijación de voltaje

Cuando son utilizadas las técnicas de conmutación basadas en el sentido de la corriente, una falla en la lectura del sentido de la corriente se refleja en una incorrecta conmutación y en circuitos abiertos, lo que se traduce en tensiones elevadas. El circuito de fijación de voltaje está diseñado para mitigar conmutaciones erróneas durante breves instantes de tiempo, pues la resistencia colocada en paralelo ayuda al capacitor a liberar parte de la energía que absorbe, aunque si las fallas en la conmutación son durante un tiempo prolongado, el circuito de protección podría no ser suficiente para mitigar la falla [9].

Si es utilizado un método de conmutación basado en el conocimiento de la magnitud de los voltajes de entrada, una conmutación errónea se traduce en cortos circuitos entre líneas, y el circuito de fijación de voltaje no está diseñado para proteger al CM.

El problema del diseño del circuito de protección de fijación de voltaje se basa en el cálculo de la capacitancia de "Clamp". Suponiendo que existe una sobre corriente en alguna de las fases del CM, cuando esta supere el valor máximo permisible y se dispare la protección, debe ocurrir la desconexión de la carga y del sistema de control. Debido a la inductancia de la carga existirá un remanente de energía que debe ser

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

absorbido para evitar daños en el CM. El capacitor de Clamp debe estar diseñado para absorber la energía reactiva de la inductancia.

El cálculo del capacitor de Clamp se basa en el conocimiento de la máxima corriente que puede fluir a través del CM y de la inductancia de la carga. La ecuación (2.35) muestra la forma en que debe ser calculado el capacitor [9, 21].

$$\frac{3}{4} i_{max}^2(L) = \frac{1}{2} C_{clamp} (V_{max}^2 - 2V_{linea}^2) \quad (2.35)$$

donde,

$i_{max}$  , corriente Máxima

$L$  , inductancia de la Carga

$C_{clamp}$  , capacitancia de Clamp

$V_{max}$  , máximo sobrevoltaje

$V_{linea}$  , voltaje de línea de entrada

Otras topologías del circuito de fijación de voltaje con 6 diodos son reportadas en [47], tiene la ventaja de disminuir el número de componentes que conforman el circuito de protección, sin embargo es indispensable la combinación de diversos tipos de conductores bidireccionales lo cual es indeseado.

### 2.1.5 Filtro de Entrada

En general los convertidores electrónicos de potencia generan armónicos debido a las conmutaciones de los interruptores que conforman al convertidor, aunque presentan los armónicos son de orden alto en comparación con la frecuencia fundamental de las señales de salida de los convertidores y pueden ser filtrados de forma relativamente sencilla [31-32].

Un CM produce armónicos de corriente hacia la fuente de alimentación debido a la entrada discontinua de corriente, causada por la conmutación de los interruptores de potencia y los picos de voltaje que se producen debido a los tiempos de conducción. Estos armónicos de corriente causan distorsiones en los voltajes de la fuente que a su vez alimentan al CM. Las distorsiones de voltaje a la entrada del CM causan un mal funcionamiento del convertidor ya que su operación se basa en la medición de los voltajes instantáneos de línea [51].

Se recomienda el uso de un filtro a la entrada del CM con el fin de atenuar los armónicos de corriente producidos por el convertidor. Los armónicos y la conmutación de los interruptores de los convertidores electrónicos de potencia afectan el comportamiento de otros equipos eléctricos y electrónicos. Diversas topologías de filtro de entrada han sido propuestas con el fin de atenuar los armónicos de corriente hacia la fuente de alimentación [51].

El diseño de los filtros de entrada ya sean activos o pasivos debe cumplir con los requerimientos de la norma IEEE 519. Debido que el orden de los armónicos es mucho más alto que la frecuencia fundamental de la señal de salida, los filtros pasa bajas son ampliamente utilizados con los convertidores electrónicos de potencia.

El diseño del filtro de entrada debe cumplir con los siguientes requerimientos [16, 21]:

- Tener una frecuencia de corte menor que la frecuencia de conmutación del CM.
- Minimizar el ángulo de desplazamiento de la corriente y el voltaje de la fuente de alimentación  $\varphi_{min}$ .

$$\frac{C}{P_n} = K_{min} \tan \varphi_{min} \frac{1}{3\omega_i V_i^2} \quad (2.36)$$

$$K_{min} = \frac{P_{min}}{P_n} \quad (2.37)$$

donde,

- $C$  , capacitor del filtro
- $\varphi_{min}$  , ángulo de desplazamiento entre voltaje y corriente de entrada
- $\omega_i$  , velocidad angular de la fuente de voltaje de alimentación
- $V_i$  , voltaje RMS nominal de la fuente de alimentación
- $P_n$  , potencia activa nominal de entrada
- $P_{min}$  , mínimo nivel de potencia

- Minimizar el volumen y peso del filtro, lo cual se traduce en la disminución en el tamaño de los capacitores e inductores.
- Minimizar la caída de potencial en el inductor del filtro de entrada.

$$\frac{\Delta V}{V_i} = 1 - \sqrt{1 - (\omega_i L_i)^2 \left(\frac{i_i}{V_i}\right)^2} \quad (2.38)$$

Donde,

- $\Delta V$  , caída de voltaje debido al filtro de entrada
- $\omega_i$  , velocidad angular de la fuente de voltaje de alimentación
- $V_i$  , voltaje RMS nominal de la fuente de alimentación
- $L_i$  , inductancia del filtro de entrada
- $i_i$  , corriente RMS nominal de la fuente de alimentación

Generalmente uno de los criterios anteriores es utilizado para el cálculo de uno de los parámetros del filtro, ya sea  $C$  ó  $L$  . Una vez que se cuenta con uno de los dos valores

se utiliza el criterio de la frecuencia de resonancia  $\omega_n$  para encontrar el valor del otro parámetro [21].

$$LC = \frac{1}{\omega_n^2} \quad (2.39)$$

Los filtros  $LC$  diseñados con alguno de los criterios anteriores tienen un pico grande en la frecuencia de resonancia, lo cual es indeseado para el convertidor y debe ser amortiguado. Generalmente una resistencia de amortiguamiento en paralelo con el inductor es utilizada con tal fin. En el Capítulo 3 se describen algunas formas de amortiguar el filtro y se selecciona la más adecuada para el CM de este trabajo.

La selección de la resistencia de amortiguamiento influye en el comportamiento del sistema. Una resistencia de amortiguamiento alta reduce las pérdidas en el sistema pero aumenta el THD. Por el contrario una resistencia de amortiguamiento baja tendrá un THD bajo con pérdidas relativamente altas [52].

### 2.1.6 Filtro de Salida

El filtro de salida se utiliza para eliminar el mayor contenido armónico posible en las señales de salida del CM debido a la conmutación de los interruptores.

La función de transferencia del CM puede ser considerada como la función de transferencia del filtro de salida, debido a que la frecuencia de conmutación es significativamente más alta que la frecuencia fundamental de la señal de salida [25]. Debido a esto, el diseño del filtro de salida es muy importante ya que el sistema de control se diseña en base a la función de transferencia del filtro.

Al ser la frecuencia fundamental mucho más pequeña que la frecuencia de conmutación del CM, un filtro pasa bajas puede atenuar la mayoría de los armónicos producidos por el convertidor.

En este trabajo el CM es utilizado como una fuente de voltaje. Para aproximar la salida del CM a la de una fuente de voltaje ideal, la impedancia de la salida del convertidor debe ser muy baja, lo cual implica una reducción del elemento capacitivo que forma parte del filtro. La elección de los valores de  $C$  y  $L$  se complica ya que al disminuir el valor de  $C$ , la inductancia del filtro aumenta por lo que aumenta el volumen, costo y peso del filtro [53].

En la literatura se han propuesto diversas topologías para el filtro de salida de los convertidores electrónicos de potencia los cuales se muestran en la figura 2.18.

La regulación de inyección de armónicos a la red, debe cumplir con los requisitos de la norma IEEE 519 o de la IEC 61000-3-2, por lo que el diseño del filtro de salida debe cumplir con tales requerimientos [54]. Algunos de los requerimientos de la norma

IEEE-519 pueden ser analizados en la tabla 2.6, en donde  $I_L$  es la corriente en la carga e  $I_{SC}$  es la corriente de corto circuito.

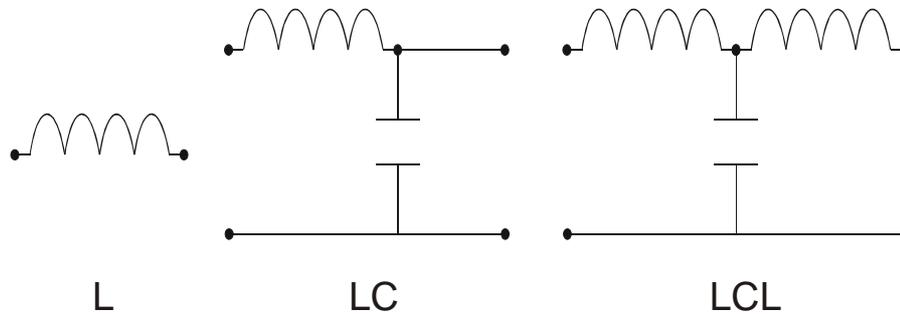


Figura 2.18 Topologías posibles para el filtro de salida.

Tabla 2.6 Límites de distorsión armónica individual para armónicos impares, los armónicos pares están limitados a un 25% de los armónicos impares. Los valores de esta tabla son para sistemas de 120-69000 V

Máxima Distorsión Armónica de la Corriente en Porcentaje de la Corriente de la Carga $I_L/I_{SC}$ (Armónicos Impares)						
$I_L/I_{SC}$	<11	11<h<17	17<h<23	33<h<35	35<h	THD
<20	4.0	2.0	1.5	0.6	0.3	5.0
20<50	7.0	3.5	2.5	1.0	0.5	8.0
50<100	10.0	4.5	4.5	1.5	0.7	12.0
100<1000	12.0	5.5	5.0	2.0	1.0	15.0
>1000	15.0	7.0	6.0	2.5	1.4	20.0

## 2.2 Sumario del Capítulo

En este capítulo se describieron los principios básicos de operación del Convertidor Matricial. De la misma forma se describieron las técnicas de modulación y conmutación que han sido desarrolladas para este tipo de convertidor. Por último se discutió de forma breve los circuitos necesarios para la protección del CM. Se describió de forma general la función de los filtros de entrada y salida en este tipo de convertidor electrónico y algunas de las topologías más utilizadas así como algunos criterios de diseño.

## **Capítulo 3.**

### **Acondicionamiento e Implementación del prototipo del Convertidor Matricial.**

### 3.1 Acondicionamiento del Convertidor Matricial

Las pruebas experimentales realizadas en este trabajo fueron hechas con un CM de 3 fases de entrada y 4 fases de salida (3X4). El CM utilizado es un diseño de N. Mason y N. Campbell realizado en la Universidad de Nottingham. Al ser un CM 3X4 se tuvo que deshabilitar uno de los hilos del convertidor desde la plataforma de control (DSP y FPGA) para que este pueda trabajar como un CM 3X3, que es la topología requerida para este trabajo de tesis.

En la figura 3.1 se observa el CM 3X4 utilizado en este trabajo. Se puede notar que está conformado por 12 módulos idénticos, cada uno de ellos es un circuito de control para cada interruptor bidireccional. También se muestran en esta figura los diferentes módulos y circuitos que se encuentran integrados en la PCB del CM. El diagrama de bloques este CM puede analizarse en el Apéndice A.

En la tabla 3.1 aparecen los parámetros más importantes del CM utilizado en este trabajo.

**Tabla 3. 1 Parámetros del CM 3x4 utilizado**

<b>Parámetro</b>	<b>Valor</b>	<b>Unidad</b>
Potencia del CM	7500	kVA
Frecuencia de Conmutación		KHz
Corriente Máxima	32	A
Voltaje Máximo	1200	V

El trabajo con la PCB del CM fue realizado en colaboración con I. H. Hernández González y E. López, estudiantes de la Sección de Estudios de Posgrado e Investigación del Instituto Politécnico Nacional. Se realizó el ensamble y soldadura de los interruptores bidireccionales del CM, así como de los componentes que conforman los circuitos de control de cada uno de los interruptores.

También se realizó el montaje de los dispositivos electrónicos que conforman los circuitos detectores del signo de la corriente, circuito de fijación de voltaje, transductores de corriente y voltaje, así como otros conectores necesarios para el funcionamiento del CM.

Una vez que se soldaron todos los componentes del CM, se realizaron pruebas para comprobar que cada parte del convertidor operara adecuadamente. Las pruebas se realizaron en siguiente orden:

- 1) Se corroboró que las señales producidas por los transductores de corriente y voltaje llegaran correctamente a la plataforma de control.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

- 2) Se enviaron pulsos aleatorios a los circuitos de control de los interruptores bidireccionales y se comprobó que dichos pulsos llegan de forma adecuada hasta la compuerta de los interruptores.
- 3) Se comprobó que cada uno de los interruptores conduce una vez que se les haya activado mediante la aplicación de la señal de control (15 ) en su compuerta. En el apéndice A se puede analizar el funcionamiento de los circuitos de control de los interruptores bidireccionales.
- 4) Se aplicó una corriente a través de cada hilo del CM y se comprobó a la salida de los circuitos de detección del signo de la corriente que estos operen adecuadamente. En el apéndice A se puede analizar el funcionamiento de los circuitos detectores del signo de la corriente.

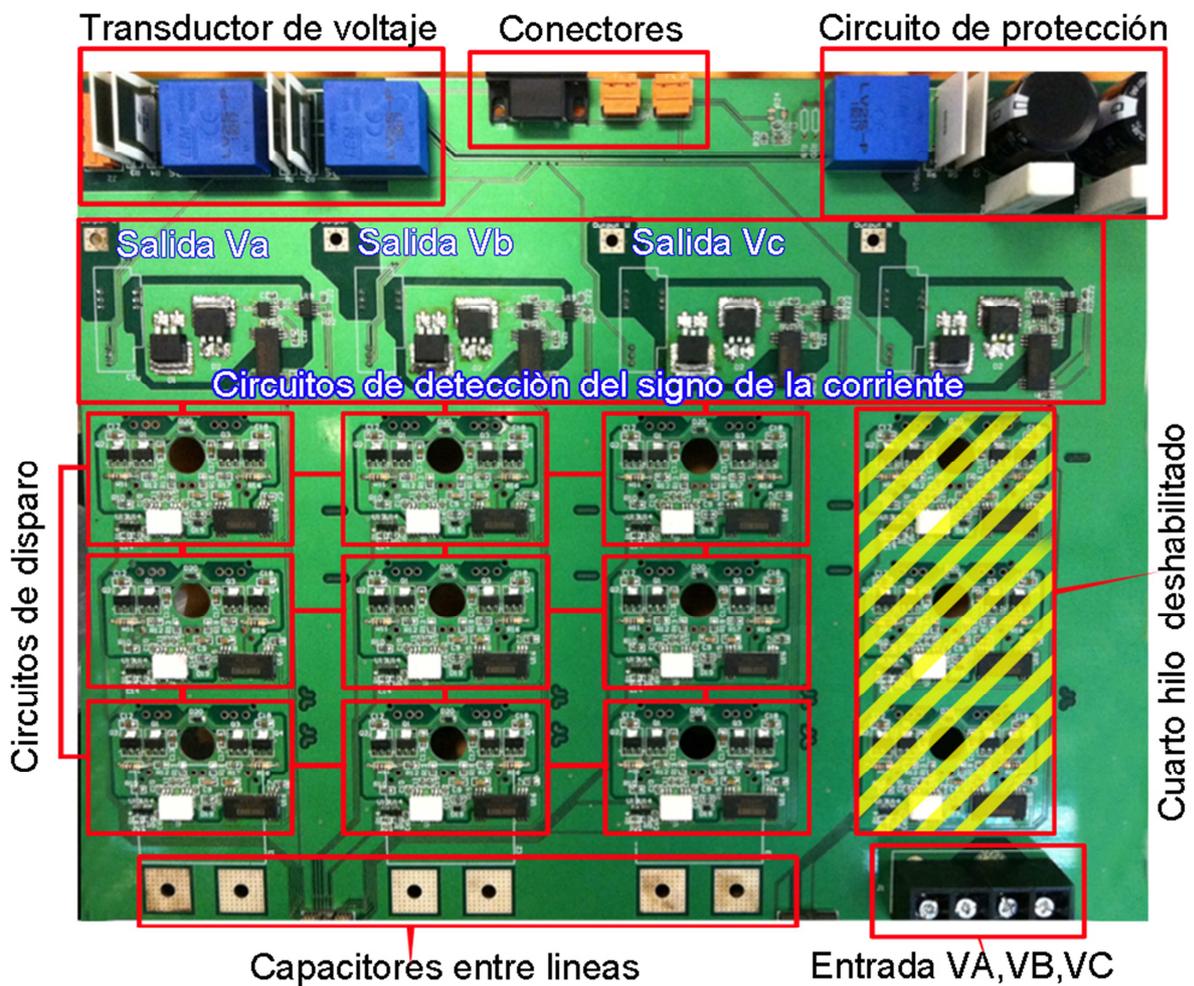


Figura 3.1 Fotografía del CM 3x4 utilizado

Como ya se ha referido anteriormente el algoritmo de modulación de Sünter-Clare se basa en la medición de los voltajes de entrada en cada tiempo de muestreo , en base a ellos se calcula una matriz de modulación que sea capaz de conformar los

voltajes de salida deseados. Por lo tanto el uso de transductores de voltajes es indispensable para un correcto funcionamiento del CM.

En la PCB del CM se soldaron transductores de voltaje LEM LV25-P y corriente LEM LAH 25-NP. De acuerdo a la hoja de especificaciones de los transductores de voltaje es necesaria la adición de resistores a la entrada y la salida del transductor para que estos operen de forma adecuada. En la figura 3.2 observa el diagrama a bloques del transductor de voltaje utilizado y las resistencias que se requieren para su funcionamiento.

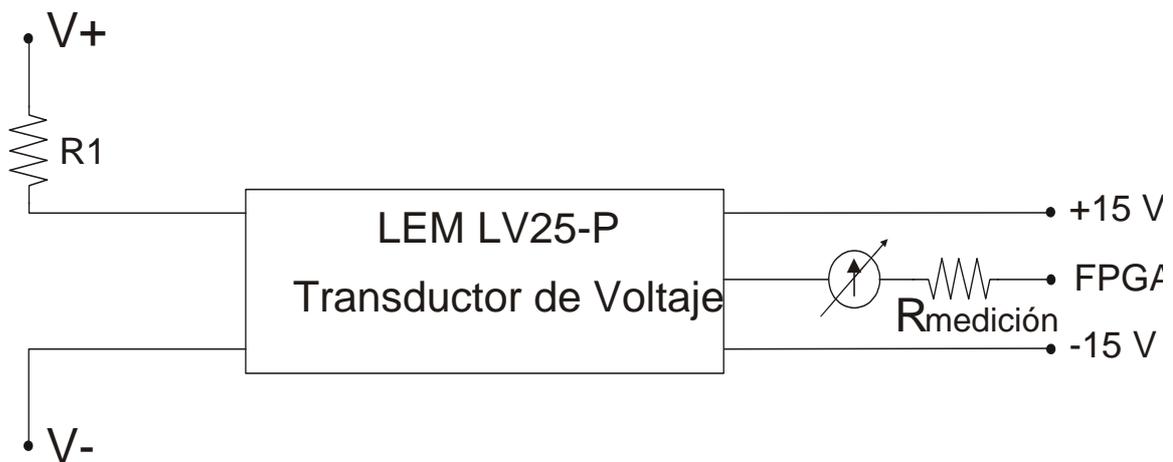


Figura 3.2 Diagrama a bloques del Transductor de voltaje utilizado

La resistencia R1 que se observa en la figura 3.2 debe ser calculada de tal forma que al voltaje nominal que se desea medir con el transductor se garantice a la salida una corriente de 10 mA.

La PCB del CM cuenta con 3 transductores de voltaje, dos de ellos se utilizan para medir dos voltajes de línea, en este caso  $V_{AB}$  y  $V_{BC}$ . Para el cálculo de los voltajes de fase se utilizan las ecuaciones siguientes[34]:

$$V_A = \frac{1}{3}(2 * V_{AB} + V_{BC}) \quad (3.1)$$

$$V_B = V_A - V_{AB} \quad (3.2)$$

$$V_C = V_B - V_{BC} \quad (3.3)$$

El tercer transductor de voltaje sirve para medir el voltaje en el capacitor del circuito de fijación de voltaje, utilizado para proteger al CM de las sobretensiones ocasionadas por la conmutación de los interruptores.

En la red trifásica del laboratorio se tienen voltajes de  $220 V_{RMS}$  entre líneas, por ello se tomó  $220 V_{RMS}$  como el voltaje nominal y se calculó la R1 de los dos transductores utilizados para la medición de los voltajes de línea de entrada.

Por lo tanto de acuerdo a la ley de ohm se tiene (3.4):

$$R1 = \frac{220 V}{0.01 A} = 22000 \Omega = 22 k\Omega \quad (3.4)$$

En el caso de la R1 utilizada para el transductor que mide el voltaje del circuito de protección, se toma como voltaje nominal 500 V, que es el máximo voltaje que soporta el transductor LEM LV25-P, además es el valor que soportan los capacitores del circuito de fijación de voltaje con los que cuenta el CM. Por lo tanto, la R1 de este transductor se calcula como sigue:

$$R1_{clamp} = \frac{500 V}{0.01 A} = 50000 \Omega = 50 k\Omega \quad (3.5)$$

Por otro lado se debe calcular la resistencia de medición  $R_{medición}$ . A la salida del transductor de voltaje se tendrá una señal máxima de corriente de 10 mA, según el valor calculado de R1. El valor de  $R_{medición}$  sirve para garantizar que a la entrada de la FPGA no se tenga una señal mayor a 3.3 V que pueda dañarla.

Por lo tanto el cálculo de la  $R_{medición}$  se realiza de acuerdo a la ecuación (3.6)

$$R_{medición} = \frac{3.3 V}{0.01 A} = 330 \Omega \quad (3.6)$$

Como siguiente paso se realizó el trabajo de acondicionamiento de la plataforma de control, específicamente se trabajó con la tarjeta de desarrollo FPGA, quien es la encargada de leer los ADCs externos y producir los pulsos PWM que controlan al CM.

### 3.2 Acondicionamiento de la plataforma de control (FPGA-DSP)

La técnica modulación implementada en este trabajo fue la técnica óptima de Venturini, en su variante de Sünter-Clare. Para este fin fue utilizado un DSP de Texas Instruments C6713. Este DSP tiene una longitud de palabra de 32 bits y posee un reloj de 225 MHz, así como la utilización de un procesador de punto flotante. El DSP es el encargado de realizar el cálculo de los ciclos de trabajo de los interruptores del CM.

Con el fin de tener una plataforma de control más rápida, se añadió una tarjeta FPGA que trabajó en conjunto con el DSP, ambos se comunican mediante puertos EMIF (External Memory Interface) del DSP. Básicamente estos puertos EMIF permiten que la FPGA se comporte como una extensión de memoria del DSP.

En la figura 3.3 se puede observar la fotografía del DSP C6713 de Texas Instruments que se utilizó en conjunto con la FPGA ProASIC3 A3P400 de ACTEL.

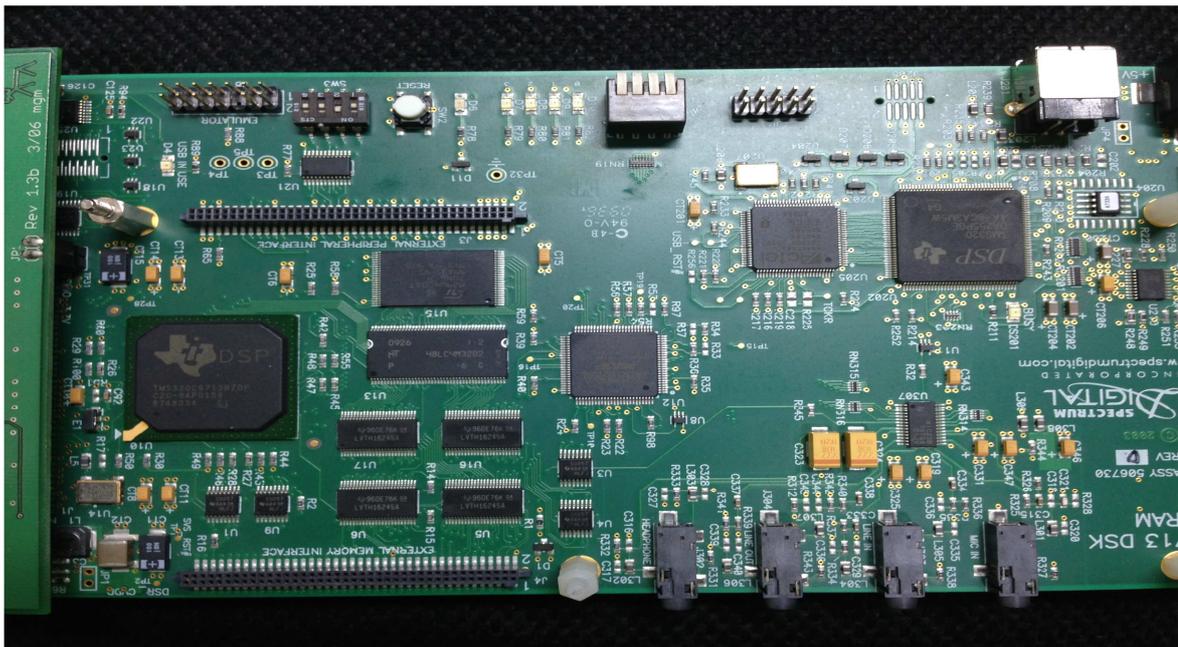


Figura 3.3 DSP C6713 de Texas Instruments

La FPGA genera pulsos de 3.3 volts, dichos pulsos son de la frecuencia de conmutación de los interruptores del CM. Estos pulsos son detectados por el DSP y son utilizados para determinar el inicio de una función por interrupción en el programa.

La FPGA utilizada tiene la función de leer los valores de los ADCs que provienen de las mediciones de los voltajes de línea de entrada y las corrientes de salida. En cada interrupción la información es extraída de los registros de la FPGA y enviada al DSP para que este pueda realizar los cálculos necesarios para el correcto funcionamiento del convertidor. Los valores leídos de las corrientes de salida únicamente sirven para programar una protección que se active si la corriente tiene valores que excedan los límites de operación del CM establecidos en la tabla 3.1. Finalmente los ciclos de trabajo son procesados y enviados a registros específicos de la FPGA para que esta última los transforme en pulsos PWM.

El trabajo realizado con la FPGA correspondió a la soldadura y montaje de conectores y resistencias de medición calculadas anteriormente. Esta tarjeta es un diseño de L. Empringham y fue realizada en la Universidad de Nottingham, por lo que no se tuvo acceso al código fuente de la FPGA, sin embargo se sabe que en ella se encuentra programada la técnica de conmutación de cuatro pasos. Además se cuenta con los registros necesarios para su configuración desde el DSP C6713 de Texas Instruments.

En la figura 3.4 se puede observar una fotografía de la tarjeta FPGA utilizada, en esta imagen se pueden observar las resistencias de medición que fueron soldadas en la tarjeta, así como la FPGA ProASIC3 A3P400 de ACTEL. De igual forma se pueden

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

observar los ADCs externos y los conectores utilizados para el envío de los pulsos PWM. La FPGA ProASIC3 A3P400 posee un reloj de 50 MHz, el resto de la información sobre la FPGA incluyendo sus registros, aparecen en el Apéndice B.

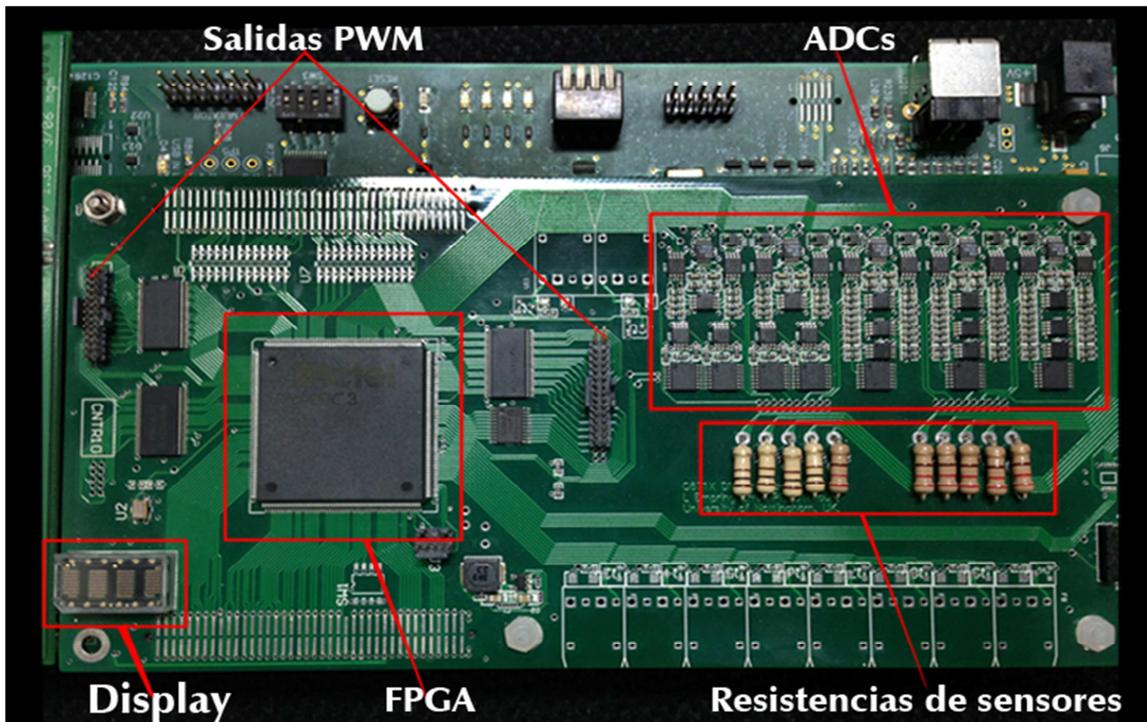


Figura 3.4 Tarjeta de desarrollo de la FPGA

### 3.3 Comprobación del Convertidor Matricial y de la Plataforma de Control

Antes de realizar pruebas experimentales se comprobó que la plataforma de control operara de forma adecuada. Se utilizó una interfaz gráfica para verificar los cálculos realizados por el DSP. La interfaz gráfica fue desarrollada en la Universidad de Nottingham por M. Tomasini y permite visualizar las variables que son usadas en el DSP. En la figura 3.5 se observa la captura de pantalla de la interfaz gráfica utilizada.

La interfaz gráfica está programada en MatLab, por lo tanto se requiere de una comunicación entre la plataforma de control y la computadora desde la cual se puedan visualizar los datos y variables. Para este fin se utilizó una tarjeta de comunicaciones llamada "Daughter Card" (DC). Al igual que la FPGA esta tarjeta de comunicaciones se comporta como una extensión del DSP pues también se comunica mediante puertos EMIF. La tarjeta de comunicaciones "Daughter Card" (DC) es de la marca EDUCATIONAL y ofrece la posibilidad de establecer comunicación con un equipo de cómputo mediante puerto paralelo, serial o USB. La interfaz gráfica usada en este trabajo esta programada para comunicarse mediante el puerto USB.

En la figura 3.6 se puede observar la tarjeta "Daughter Card" (DC) de comunicaciones.

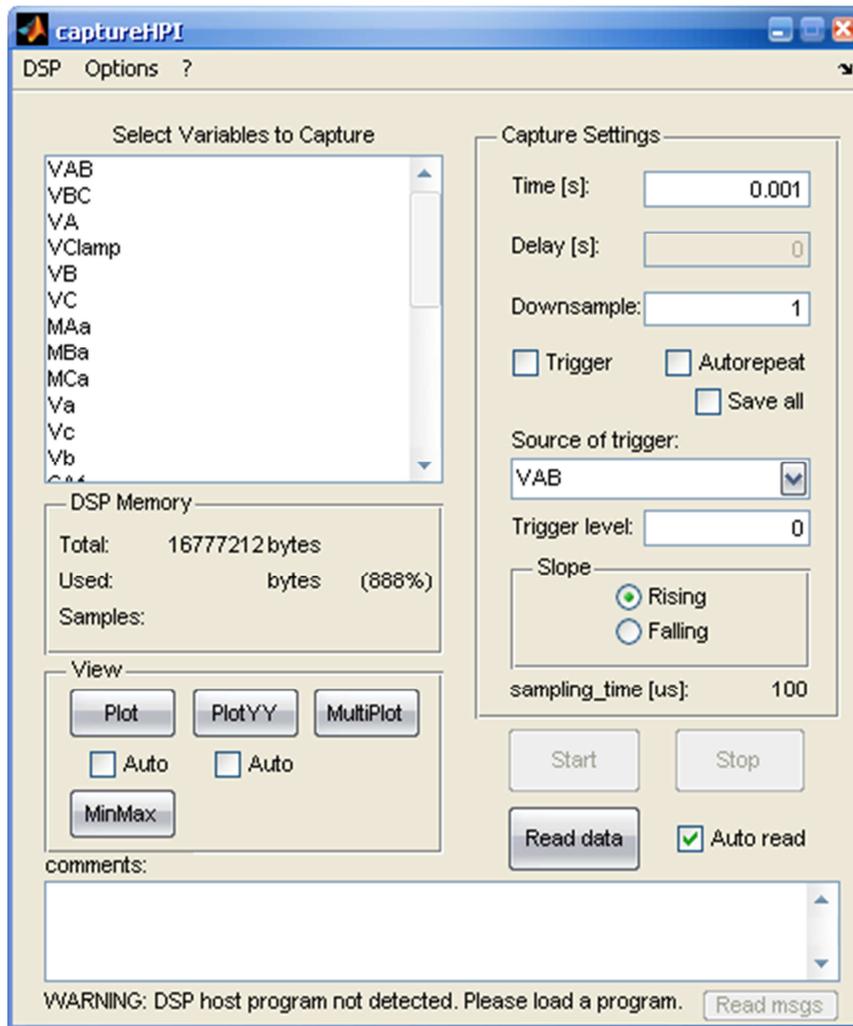


Figura 3. 5 Interfaz gráfica utilizada

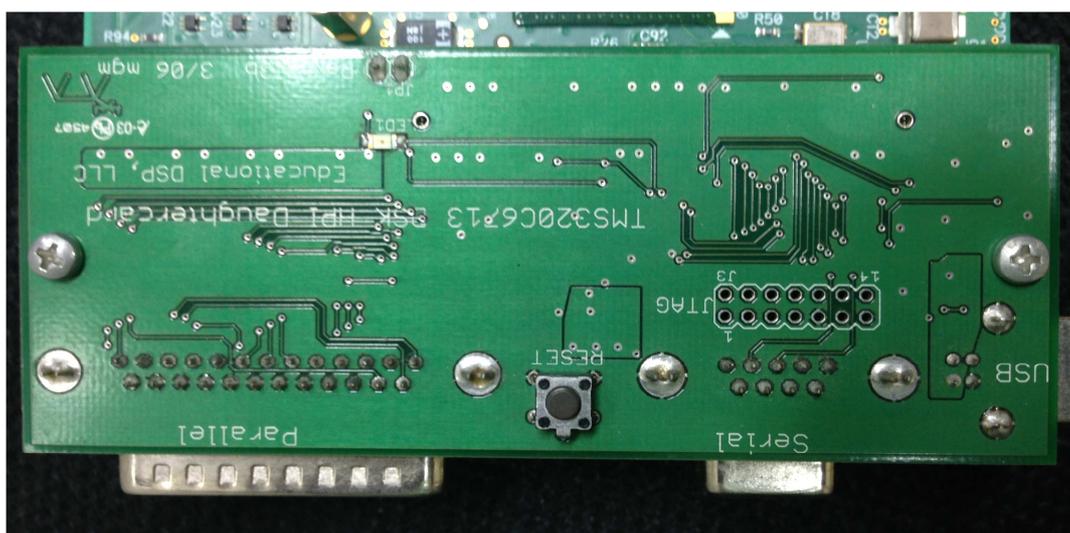


Figura 3. 6 Tarjeta de comunicaciones "Daughter Card" (DC)

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

El funcionamiento de la plataforma de control del sistema se realizó siguiendo los siguientes pasos:

- 1) Programar el sistema trifásico de voltajes de referencia en el DSP, en el Apéndice D se muestra a detalle la forma en la cual se realizó dicha programación.
- 2) Visualizar desde la interfaz gráfica, que las señales de los voltajes de referencia coincidan con la amplitud y frecuencia programada. En la figura 3.7 se observa la comprobación de las señales programadas de referencia en este caso , de amplitud 50 y de 60 Hz.

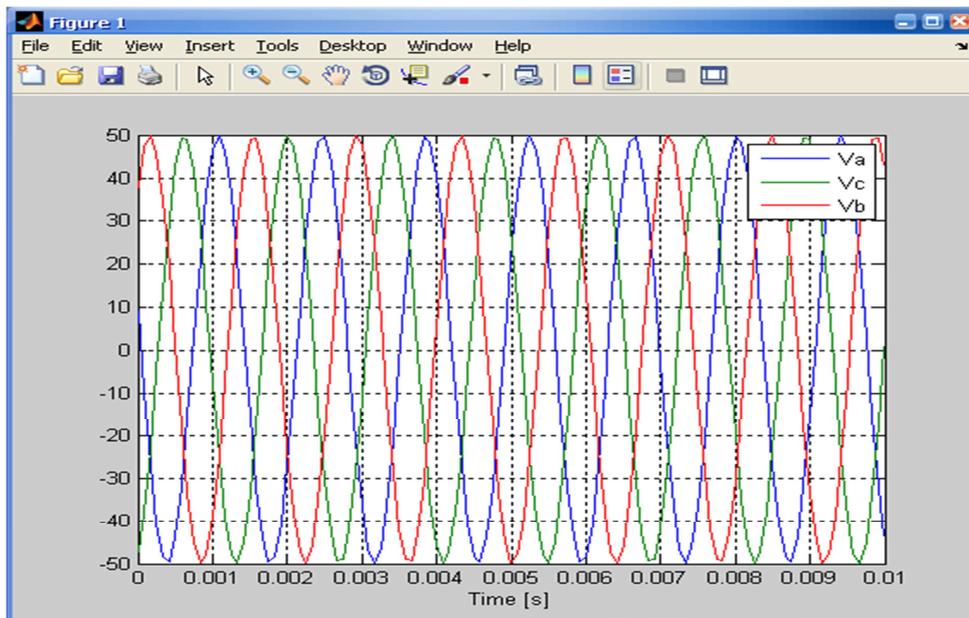


Figura 3.7 Señales de referencia programadas

- 3) El siguiente paso es calibrar los ADCs que miden las señales que provienen de los transductores de voltaje y corriente.
  - En el caso de los ADCs utilizados para medir voltajes, se debe aplicar una señal de 0 V entre las terminales V+ y V- (figura 3.2) de transductor. Al acceder al registro de la FPGA correspondiente a la lectura de los ADCs se tendrá un valor del tipo entero no signado denominado , este valor es el correspondiente al “offset” o desplazamiento.

Posteriormente se deberá aplicar un voltaje conocido entre las terminales V+ y V- del transductor de voltaje. Es recomendable que este valor sea cercano al voltaje nominal que se desea medir. Al acceder a los registros de la FPGA se tendrá un nuevo número del tipo entero no signado de 16 bits . Con los valores de y se puede encontrar el valor real del voltaje medido. Mediante la ecuación (3.7) se calibra el ADC:

- 
- En el caso de los ADCs utilizados para medir corrientes, se debe aplicar una señal de 0 A. a través de las terminales del transductor. Al acceder al registro de la FPGA correspondiente a la lectura de los ADCs se tendrá un valor del tipo entero no signado denotado como  $offset$ , este valor es el correspondiente al “offset” o desplazamiento.

Posteriormente se deberá aplicar una corriente conocida a través del transductor de corriente. Es recomendable que este valor sea cercano a la corriente nominal que se desea medir. Al acceder a los registros de la FPGA se tendrá un nuevo número del tipo entero no signado de 16 bits. Con los valores de  $offset$  y  $valor\_medido$  se puede encontrar el valor real de la corriente medida. Mediante la ecuación (3.9) se calibra el ADC:

- 
- 4) El siguiente paso consiste en la conexión del sistema trifásico de alimentación a la entrada del CM, con lo cual se comprueba que se estén midiendo los valores reales de las tres fases de entrada. En la figura 3.8 se observan los tres voltajes de entrada medidos con una frecuencia de 60 Hz y con una amplitud de 150 Vp.

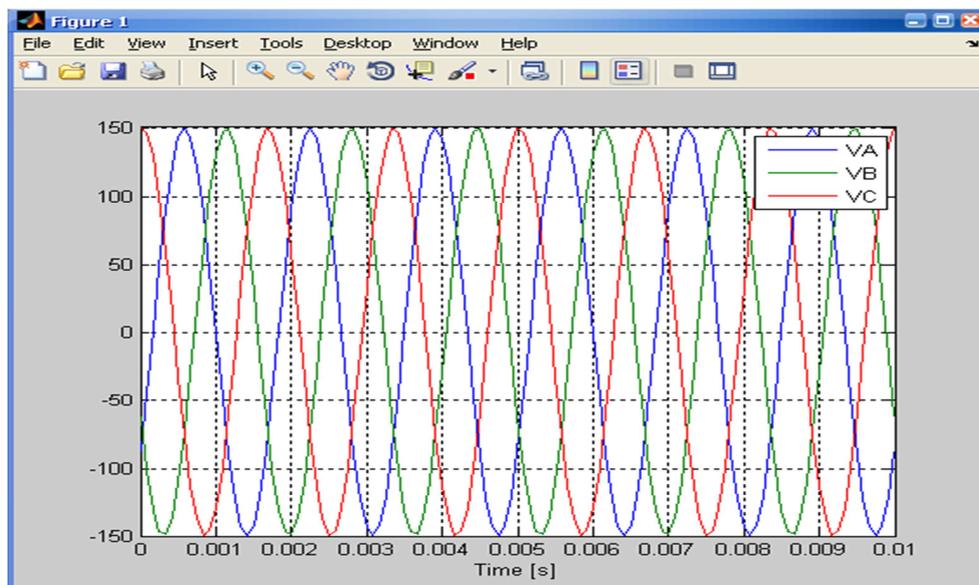


Figura 3.8 Voltajes de fase de entrada medidos

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

- 5) Como se explicó en el capítulo 2, el cálculo del sector del vector de los voltajes de entrada y salida resulta indispensable para establecer el orden del patrón de conmutación y reducir el contenido armónico de las señales de voltaje y corriente de salida. En la figura 3.9 se puede observar mediante la interfaz gráfica que el sector de los vectores que representan los sistemas trifásicos de entrada y salida es calculado de forma adecuada.

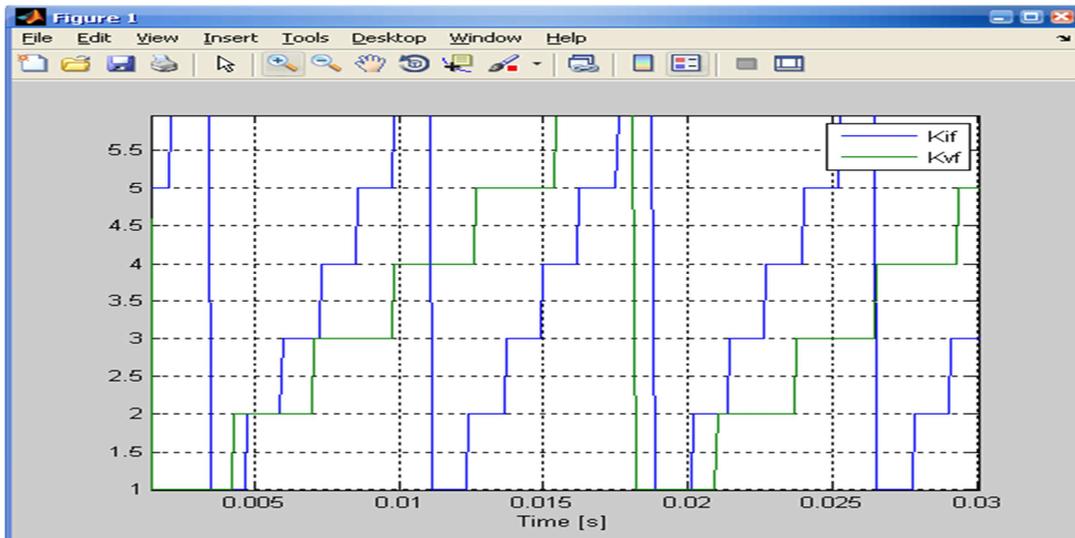


Figura 3.9 Sectores de los sistemas trifásicos de entrada y salida

- 6) Una vez que se comprobó que las señales eléctricas de entrada y la de referencia son las correctas, se comprueba que los ciclos de trabajo calculados sean los adecuados, es decir que no sean mayores a 1, ni menores a 0. En la figura 3.10 se pueden observar los ciclos de trabajo de un hilo de CM los cuales son adecuados pues cumplen con la ecuación (2.6).

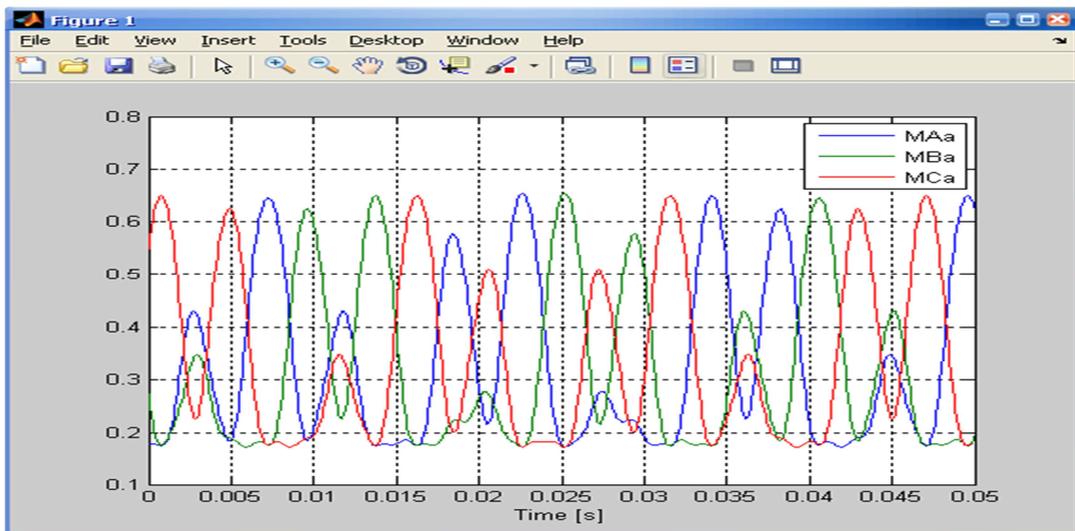


Figura 3.10 Ciclos de trabajo de un hilo del CM

- 7) Finalmente se puede comprobar con un osciloscopio que las señales PWM enviadas por la FPGA sean correctas.

En la figura 3.11 se puede observar la captura de pantalla del osciloscopio que se utilizó para comprobar las señales PWM. En esta imagen se pueden analizar los pulsos que entrega la FPGA para una fase de salida. Se puede observar que los pulsos son simétricos, es decir la conmutación es del tipo “double sided”, como se explicó en la sección 2.1.2. En la misma imagen es fácil comprobar que las ecuaciones (2.1) y (2.3) se cumplen y que la técnica de conmutación de cuatro pasos está operando correctamente. Las señales que se visualizan en la figura 3.11 son:

, señal del signo de la corriente de la fase de salida .

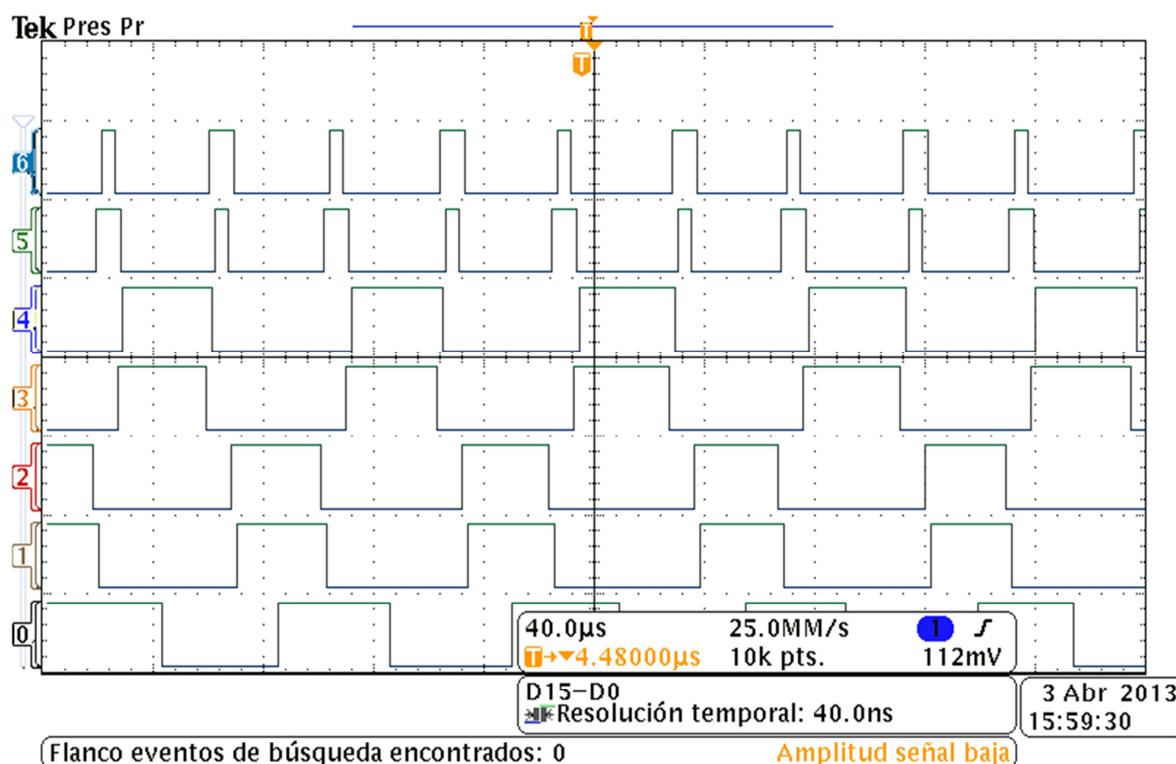


Figura 3.11 Pulsos logicos de 0 a 3.3 V. enviados por la FPGA

Con los pasos detallados anteriormente se tiene el prototipo del CM y sus plataforma de control (DSP y FPGA) listos para realizar pruebas experimentales. Como siguientes pasos para obtener las señales de voltaje deseadas en la salida del CM se requiere del diseño de filtros de entrada y salida. El diseño de los filtros se limitó al cálculo de los parámetros de L y C de los filtros pasivos de segundo orden. En base al valor de la capacitancia y la inductancia calculadas de los filtros se compraron los componentes para la implementación de los mismos.

### 3.4 Diseño de los Filtros

Los filtros son arreglos de dispositivos que sirven para atenuar ciertas frecuencias del espectro de una determinada señal y permitir el paso del resto. Los filtros eléctricos pueden ser clasificados de la siguiente manera:

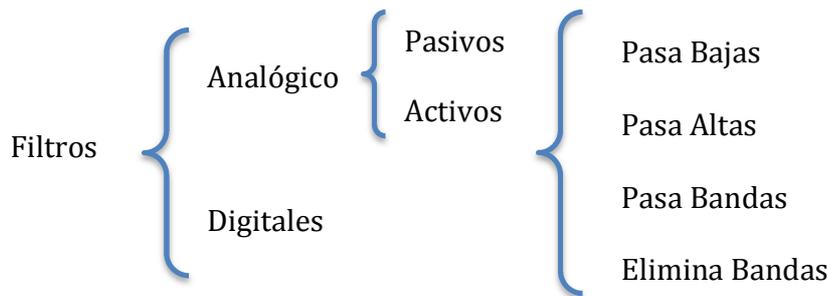


Diagrama 1, Clasificación de los filtros.

Otro tipo de clasificación puede hacerse según el tipo de respuesta, sin embargo se utilizó la descrita en el diagrama 3.1.

Los filtros pasivos están conformados por arreglos de elementos eléctricos, tales como: resistores, inductores y capacitores que en conjunto dejan pasar o detienen un rango de frecuencia deseado. Mientras que los filtros activos utilizan elementos como transistores y amplificadores operacionales para brindar un efecto similar al de los filtros pasivos.

Los filtros activos suelen ser más ligeros y menos voluminosos que los pasivos, pero también son más costosos y complejos. Se recomienda el uso de filtros activos en aplicaciones de potencias bajas o bien en frecuencias muy altas [62].

Es mejor utilizar filtros pasivos con la topología del CM debido a que los filtros activos son costosos, además de que actualmente los CM son de potencia media-alta. Al ser el CM un convertidor electrónico de potencia, el diseño de los filtros es relativamente sencillo, debido a que los armónicos que aparecen lo hacen en forma de “paquetes” o grupos múltiplos de la frecuencia de conmutación [32].

Los filtros de segundo orden son los más adecuados para el CM, ya que ofrece una respuesta satisfactoria sin incrementar el peso y el volumen del convertidor, lo cual ocurre con el incremento del orden de los filtros.

Se reportan investigaciones con filtros pasivos de dos niveles, estos filtros han demostrado tener un excelente comportamiento con el CM y otros convertidores electrónicos, con la desventaja de que son más costosos y complejos [64]. Se diseñaron filtros de un solo nivel (segundo orden), ya que estos han demostrado

tener un comportamiento similar a los de dos niveles, siempre que su inductancia y capacitancia totales sean iguales [63].

El filtro utilizado fue del tipo pasa bajas, debido a que la frecuencia de conmutación es mucho más grande que la frecuencia fundamental a la salida del CM, por lo tanto los armónicos serán de una frecuencia mucho mayor y relativamente fáciles de filtrar.

### 3.4.1 Diseño del Filtro de Entrada.

El filtro de entrada, como ya se describió en el capítulo 2, sirve para evitar la inyección de armónicos de corriente a la fuente de alimentación, en este caso se utilizó un VARIAC trifásico.

Se tienen diversas topologías de filtros aplicables para el CM. Para aprovechar lo mejor posible las ventajas de este tipo de convertidor, la topología más simple que atenúe lo suficiente las frecuencias indeseadas es la más adecuada, permitiendo de esta forma reducir peso, volumen y el costo total del convertidor.

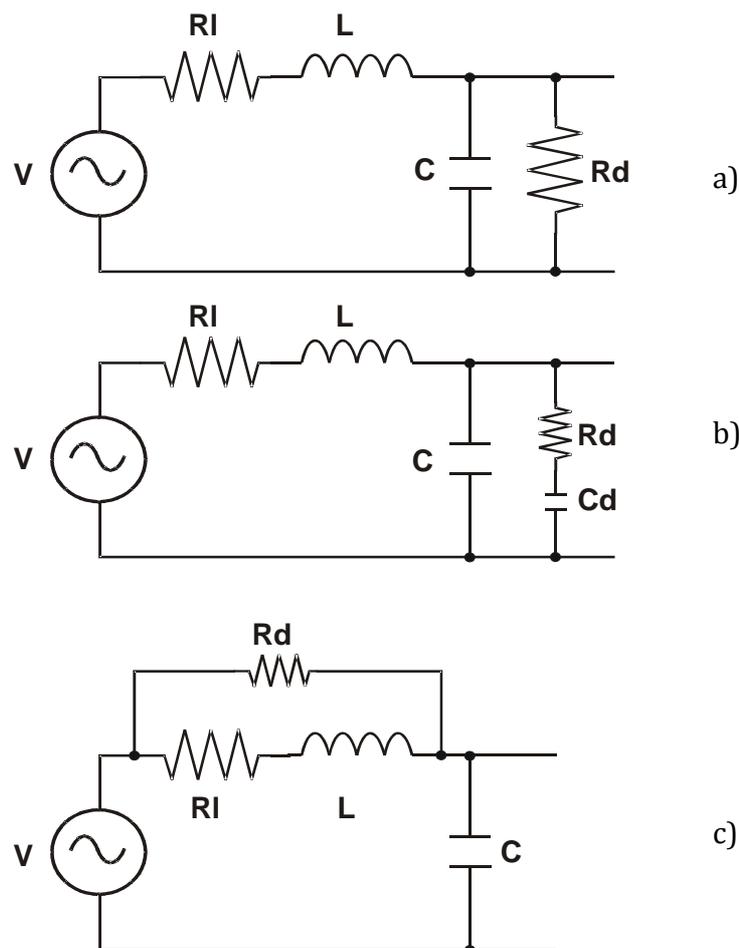


Figura 3.12 Topologías del filtro de entrada amortiguado

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Se utilizó un filtro  $LC$  de segundo orden para el CM, sin embargo algunos de los armónicos pueden poner en riesgo al convertidor debido a la frecuencia de resonancia que causan los parámetros de  $L$  y  $C$ . Es por esto que se busca la forma de amortiguar la respuesta del filtro, en la figura 3.12 se tienen algunas topologías que contemplan dicho amortiguamiento.

En 3.12 a) se coloca un resistor de amortiguamiento en paralelo con el capacitor del filtro, en esta topología se tiene una gran pérdida de potencia en el resistor, en b) se soluciona el problema de las pérdidas colocando un capacitor en serie con el resistor de amortiguamiento, sin embargo, al añadir otro capacitor aumenta el volumen del filtro y el costo, lo cual se desea evitar [63]. En c) se muestra la topología que se usó en este trabajo, se coloca el resistor de amortiguamiento en paralelo con el inductor del filtro. La topología en c) es ampliamente utilizada con convertidores electrónicos debido al buen amortiguamiento que ofrece y las bajas pérdidas.

Resulta importante realizar un diseño adecuado del filtro de entrada del convertidor, el cual puede alterar el comportamiento del CM debido a los picos de voltaje que se tienen en la frecuencia de resonancia, pudiendo entrar el sistema en inestabilidad [51].

Analizando el diagrama eléctrico de la figura 3.12 c) correspondiente al filtro de entrada, se determinó la función de transferencia del mismo de la siguiente manera:

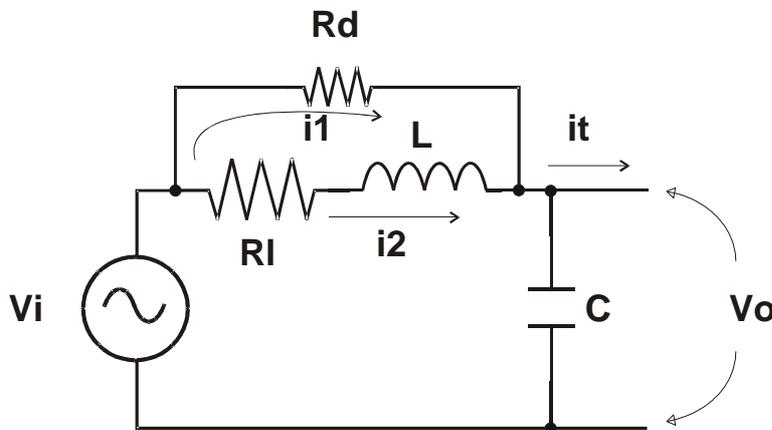


Figura 3.13 Análisis del filtro de entrada

$$V_i = V_{Ri} + V_L + V_C \quad (3.11)$$

$$V_o = V_C \quad (3.12)$$

Desarrollando (3.11) y (3.12) se tiene:

$$V_i = R i_2 + L \frac{di_2}{dt} + \frac{1}{C} \int i_t dt \quad (3.13)$$

$$V_o = \frac{1}{C} \int i_t dt \quad (3.14)$$

Además se debe considerar que

$$i_t = i_1 + i_2 \quad (3.15)$$

$$V_{Rd} = V_{Rl} + V_L \quad (3.16)$$

Sustituyendo por ley de Ohm valores de corriente y resistencia en (3.16) se tiene:

$$Rdi_1 = Rli_2 + L \frac{di_2}{dt} \quad (3.17)$$

Despejando  $i_1$  de (3.17)

$$i_1 = \frac{Rli_2}{Rd} + \frac{L}{Rd} \frac{di_2}{dt} \quad (3.18)$$

Sustituyendo (3.17) en (3.15) se tiene

$$i_t = \frac{Rli_2}{Rd} + \frac{L}{Rd} \frac{di_2}{dt} + i_2 \quad (3.19)$$

Finalmente se sustituye (3.19) en (3.13) y (3.14)

$$V_i = Rli_2 + L \frac{di_2}{dt} + \frac{1}{C} \int \left( \frac{Rli_2}{Rd} + \frac{L}{Rd} \frac{di_2}{dt} + i_2 \right) dt \quad (3.20)$$

$$V_o = \frac{1}{C} \int \left( \frac{Rli_2}{Rd} + \frac{L}{Rd} \frac{di_2}{dt} + i_2 \right) dt \quad (3.21)$$

Transformando (3.20) y (3.21) al dominio de la frecuencia se obtienen:

$$V_i(s) = i_2(s) \left( Rl + sL + \frac{1}{sC} \left( \frac{sL}{Rd} + \frac{Rl}{Rd} + 1 \right) \right) \quad (3.22)$$

$$V_o(s) = i_2(s) \left( \frac{1}{sC} \left( \frac{sL}{Rd} + \frac{Rl}{Rd} + 1 \right) \right) \quad (3.23)$$

Desarrollando (3.22) y (3.23)

$$V_i(s) = i_2(s) \left( Rl + sL + \frac{sL + Rl + Rd}{sCRd} \right) \quad (3.24)$$

$$V_o(s) = i_2(s) \left( \frac{sL + Rl + Rd}{sCRd} \right) \quad (3.25)$$

Por último se obtiene la función de transferencia mediante el cociente de (3.25) entre (3.24)

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{i_2(s) \left( \frac{sL + Rl + Rd}{sCRd} \right)}{i_2(s) \left( Rl + sL + \frac{sL + Rl + Rd}{sCRd} \right)} \quad (3.26)$$

Simplificando (3.26) obtenemos la función de transferencia del filtro con amortiguamiento.

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{sL + Rl + Rd}{s^2(RdLC) + s(RlRdC + L) + Rd} \quad (3.27)$$

### 3.4.1.1 Selección de la frecuencia de resonancia.

La frecuencia de resonancia debe de estar al menos a una década (en el diagrama de bode) de la frecuencia principal de operación (frecuencia de salida) del CM, teniendo cuidado de que la frecuencia de corte esté también al menos a una década por debajo de la frecuencia de conmutación del convertidor. Si no se toma en cuenta este último criterio la atenuación de los armónicos no será la adecuada [16].

En este trabajo se utilizó como fuente de alimentación la red eléctrica nacional, por lo tanto la frecuencia de la fuente de voltaje de alimentación es de 60 Hz y tiene una magnitud de 220  $V_p$  entre líneas. Sin embargo el filtro se diseñó en base a los parámetros de un Generador Síncrono de Imanes Permanentes (GSIP) con el que se cuenta el laboratorio de electrónica de potencia de la Sección de Estudios de Posgrado e Investigación del IPN, con el fin de probar un sistema de generación eléctrico en trabajos futuros. El GSIP con que se cuenta es de la marca EMERSON y su hoja de especificaciones se puede estudiar en [].

En la tabla 3.1 se pueden estudiar los parámetros más importantes del generador síncrono, se puede observar que su velocidad nominal es de 2000 rpm. A la velocidad de 2000 rpm se tendrá la máxima frecuencia que este generador puede aportar, por lo que la frecuencia de corte se seleccionó en base a dicha frecuencia.

Tabla 3. 2 Parámetros del Generador Síncrono de Imanes Permanentes

Parámetro	Valor	Unidades
pares de polos	4	-
Inductancia Ld, Lq	0.00125	H
Resistencia del estator	0.075	$\Omega$
Flujo magnético de imanes permanentes	0.16666	W
Velocidad Nominal	2000	rpm
Velocidad Máxima	2800	rpm

Transformando la velocidad de 2000 rpm a su equivalente en  $\frac{rad}{s}$  se tiene:

$$\omega_s = \frac{(\pi)(rpm)}{30} \quad (3.28)$$

$$\omega_{s\_max} = \frac{(\pi)(2000rpm)}{30} = 209.439 \frac{rad}{s}$$

La frecuencia máxima que aporta dicho generador es cuando se tiene una velocidad en el rotor de  $209.439 \frac{rad}{s}$  (2000 rpm), se diseñó el filtro pasa bajas en base a la frecuencia que se obtuvo con la máxima velocidad definida. Para calcular la frecuencia de las señales de voltaje se sustituye en (3.29) la velocidad angular calculada en (3.28) y el número de polos de la máquina síncrona definido en la tabla 3.2.

$$f_{in} = \frac{p\omega_s}{4\pi} \quad (3.29)$$

Donde,

- $p$  , Número de polos
- $\omega_s$  , Velocidad angular del rotor
- $f_{in}$  , Frecuencia de las señales generadas

$$f_{in} = \frac{(8)(209.439)}{4\pi}$$

$$f_{in} = 133.333 \text{ Hz}$$

Con lo cual se consideró a 133.333 Hz como la frecuencia máxima que se obtiene de la fuente de alimentación.

Tomando en cuenta algunas reglas prácticas como [63]:

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

- La frecuencia de resonancia  $f_n$  debe ser considerablemente más grande que la frecuencia de la fuente de alimentación  $f_{in}$ .

$$f_n > f_{in} \quad (3.30)$$

- La frecuencia de resonancia debe ser al menos  $1/3$  de la frecuencia conmutación  $f_{sw}$  de los interruptores electrónicos de potencia del CM.

$$f_n < \frac{1}{3} f_{sw} \quad (3.31)$$

Donde  $f_{in}$  es la frecuencia que suministra el GSIP, la cual ya fue seleccionada como 133.33 Hz.

Retomando (3.30) y (3.31), se tiene:

$$f_n > f_{in}$$

$$f_n > 133.333$$

y por otro lado,

$$f_n < \frac{1}{3} f_{sw}$$

$$f_n < \frac{1}{3} (12000 \text{ Hz})$$

$$f_n < 4266.66 \text{ Hz}$$

Para satisfacer ambas relaciones se seleccionó la frecuencia de resonancia  $f_n$  como:

$$f_n = 2000 \text{ Hz} = 2 \text{ kHz}$$

### 3.4.1.2 Selección de los valores de $C$ y $L$ .

Seleccionada la frecuencia de resonancia se pueden elegir los valores adecuados para los componentes pasivos del filtro. Uno de los criterios más usados es precisamente el de la frecuencia de resonancia, es decir, se calcula el valor del capacitor o del inductor, después en base a la frecuencia de resonancia seleccionada se puede obtener fácilmente el valor del otro componente.

Se decidió seleccionar primero el capacitor debido a que [16, 65]:

- El capacitor es el principal responsable de que las corrientes de entrada sean lo más sinusoidales posible.

- Es responsable del desfase entre los voltajes y las corrientes de entrada.
- El costo de los componentes inductivos es tomado en cuenta como 2 veces en promedio el costo de los componentes capacitivos

Se toma 30 grados o bien  $\pi/6$  como el máximo desfase permitido. Aunque una de las principales ventajas del CM es asegurar un factor de potencia unitario a la entrada, un desfase de  $\pi/6$  en la entrada garantiza la conformación de los valores de salida deseados. Recordando que la máxima ganancia posible del 86% se obtiene cuando el factor de potencia a la entrada es unitario [16].

De tal forma que para asegurar ese desfase entre voltaje y corriente en la entrada se tomó el siguiente criterio para cálculo del capacitor [16]:

$$C_{max} < \frac{I_m}{\omega * V_m} \tan(\cos^{-1}(IDF)) \quad (3.32)$$

Dónde:

$I_m$  , Corriente RMS de entrada  
 $V_m$  , Voltaje RMS de entrada  
 $\omega$  , Frecuencia angular de entrada  
 $\cos^{-1}(IDF)$  , Factor máximo de desplazamiento

Sustituyendo los valores de la tabla 3.2 en (3.32) y el desfase máximo seleccionado (30 grados) se tiene:

$$C_{max} < \frac{34}{(2 * \pi * 160) * (170)} \tan(\cos^{-1}(.8666))$$

$$C_{max} < 114.87 \mu F$$

Para calcular los inductores del filtro de entrada se tomó como base el ya calculado capacitor y a la frecuencia de resonancia también seleccionada con anterioridad. Mediante la relación (3.33) se puede despejar  $L$  y así calcular la inductancia necesaria para el filtro.

$$\omega = \frac{1}{\sqrt{L_f C_f}} \quad (3.33)$$

$$L_f = \frac{1}{(2 * \pi * 2000)^2 (114.87 \mu F)}$$

$$L_f = 55.128 \mu H$$

Una vez que se seleccionaron los valores de  $\omega_c$  y  $\omega_r$  del filtro pasivo, se realizó una gráfica de Bode para así corroborar que las frecuencias de corte y de resonancia sean las adecuadas para el CM y para esta aplicación. En la figura 3.14 se puede observar el gráfico de Bode del filtro de entrada sin amortiguamiento y se observa que la frecuencia de resonancia es la propuesta y que la frecuencia de corte esta suficientemente alejada de la frecuencia de conmutación.

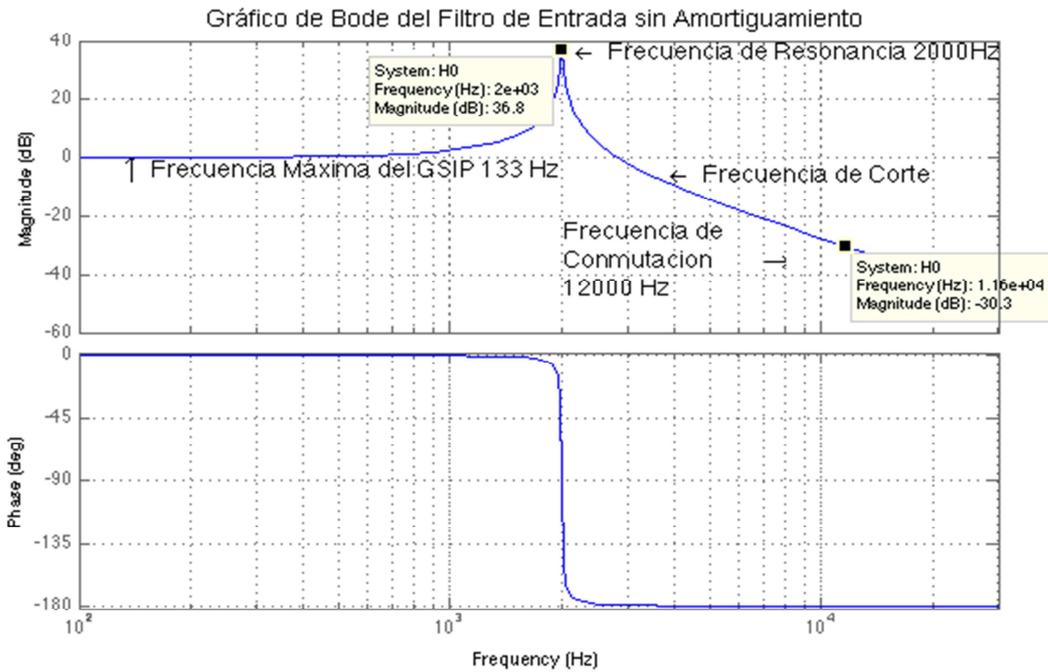


Figura 3.14 Gráfico de Bode del filtro de salida sin amortiguamiento

### 3.4.1.3 Selección de la resistencia de amortiguamiento.

En la figura 3.14 se puede observar un pico que se forma en la frecuencia de resonancia, dicho pico es indeseado puesto podría conducir a la inestabilidad del sistema por lo que se optó por amortiguar el filtro con un resistor.

Se recomienda proponer diversos valores para el índice de amortiguamiento y realizar sus gráficos de Bode, después realizar un despeje de los valores de los resistores que le corresponde a cada uno de los índices de amortiguamiento según la función de transferencia del filtro y elegir el que mejor atenué el pico de resonancia sin afectar el comportamiento del filtro, esto es, sin mover los niveles de atenuación de los armónicos [63].

En la figura 3.15 se pueden observar los gráficos de Bode para los valores de  $\zeta$  y  $\omega_c$ , calculados anteriormente, pero esta vez con el resistor de amortiguamiento colocado en paralelo con el inductor y para diversos valores de amortiguamiento propuestos.

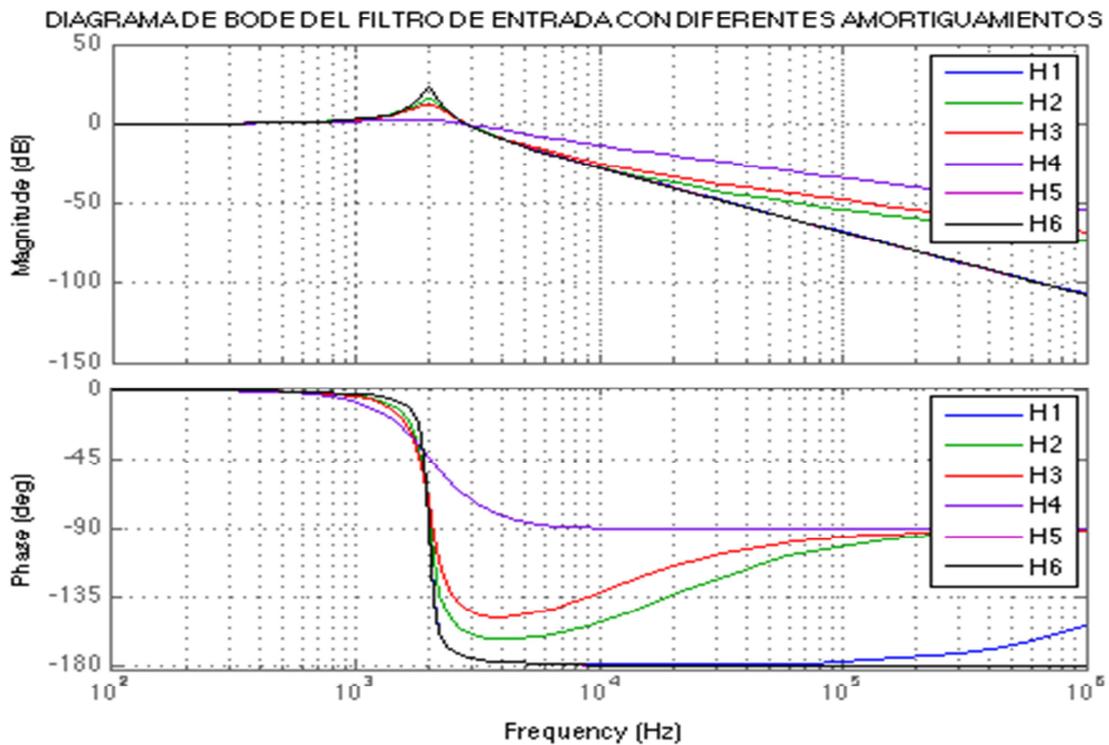


Figura 3.15 Gráficos de Bode del filtro de entrada con diversos índices de amortiguamiento

Los valores de los índices de amortiguamiento propuestos para cada función de transferencia del filtro de la figura 3.15 son:

En la figura 3.15 se observa que la función de transferencia que tiene mejor respuesta es  $H_3$ , debido a que disminuye significativamente la magnitud del pico de resonancia, sin afectar la frecuencia de corte. Por ejemplo,  $H_6$  atenúa mejor el pico de resonancia a casi cero, pero en cambio desplaza la frecuencia de corte, por lo cual el filtro no dará buenos resultados.

Tomado a  $H_3$ , correspondiente a H3, se puede calcular el valor de la resistencia de amortiguamiento mediante el siguiente procedimiento.

Partiendo de la función de transferencia del filtro dada en la ecuación (3.27) y normalizándola se tiene:

$$H(s) = \frac{\frac{sL + Rl + Rd}{RdLC}}{s^2 + \left(\frac{Rl}{L} + \frac{1}{RdC}\right)s + \left(\frac{Rl}{RdLC} + \frac{1}{LC}\right)} \quad (3.34)$$

La ecuación (3.34) ahora tiene la forma

$$H(s) = \frac{\omega_n}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (3.35)$$

Por lo tanto se deduce que

$$\omega_n = \sqrt{\frac{Rl}{RdLC} + \frac{1}{LC}} \quad (3.36)$$

De (3.34) y (3.35) se dedujo el valor de  $\xi$

$$2\xi\omega_n = \frac{Rl}{L} + \frac{1}{RdC} \quad (3.37)$$

$$2\xi \sqrt{\frac{Rl}{RdLC} + \frac{1}{LC}} = \frac{Rl}{L} + \frac{1}{RdC}$$

$$\xi = \frac{RdRlC + L}{2\sqrt{RdLC(Rd + Lf)}} \quad (3.38)$$

De la ecuación (3.38) es muy complicado encontrar el valor de  $Rd$ , es por ello que se analiza el circuito del filtro de la figura 3.16. Se puede notar que cuando la resistencia de amortiguamiento tiende a infinito ( $Rd \rightarrow \infty$ ), se comporta similar a un circuito abierto, por lo que el comportamiento del filtro es parecido a uno que no contiene dicha resistencia. Por lo tanto, se realizó un análisis similar al realizado para el filtro con resistencia de amortiguamiento, pero esta vez cuando la resistencia de amortiguamiento tiende a infinito (figura 3.16).

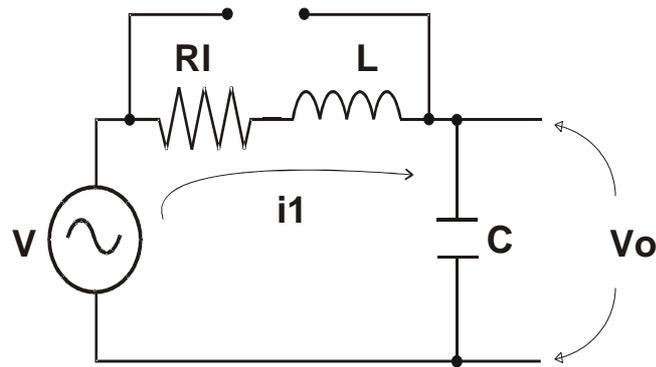


Figura 3.16 Circuito del filtro de entrada cuando  $Rd$  tiende a infinito

La función de transferencia del circuito de la figura 3.16 está dada por (3.39)

$$H(s) = \frac{1}{s^2(LC) + s(RlC) + 1} \quad (3.39)$$

Que normalizada se expresa como:

$$H(s) = \frac{\frac{1}{LC}}{s^2 + s\left(\frac{Rl}{L}\right) + \frac{1}{LC}} \quad (3.40)$$

Se simplificó el cálculo del valor de  $Rd$ , ya que el nuevo valor de  $\omega_n$  es:

$$\omega_n = \frac{1}{\sqrt{LC}} \quad (3.41)$$

Retomando (3.41) y sustituyendo en (3.37) se tiene:

$$\xi \frac{2}{\sqrt{LC}} = \frac{Rl}{L} + \frac{1}{RdC} \quad (3.42)$$

Tomando en cuenta que la  $Rl$  es muy pequeña y simplificando algebraicamente términos se calcula  $Rd$  mediante (3.43)

$$Rd = \frac{1}{2\xi} \sqrt{\frac{L}{C}} \quad (3.43)$$

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Como paso final se sustituyen los valores de L y C calculados así como el valor de  $\xi$  propuesto en los gráficos de Bode en (3.43)

$$Rd = \frac{1}{2(.1)} \sqrt{\frac{55.128 \times 10^{-6}}{114.87 \times 10^{-6}}}$$

$$Rd = 3.46\Omega$$

Por lo tanto los parámetros finales del filtro de entrada son:

Tabla 3. 3 Parámetros Calculados del Filtro de Entrada

Parámetro	Valor
Inductor	$55.128 \times 10^{-6} H$
Capacitor	$114.87 \times 10^{-6} F$
Resistencia de Amortiguamiento	$3.46\Omega$

### 3.4.2 Diseño del Filtro de Salida.

El filtro de salida es muy importante para obtener la señal de salida deseada lo más sinusoidal posible y cumplir con los requerimientos de la norma IEEE 519 así como limitar el rizo de voltaje y de corriente de las señales de salida del CM.

El filtro de salida se diseñó para limitar el contenido armónico de señales de salida de frecuencia 60 Hz con el fin de probar un sistema de generación eléctrica con CM en trabajos futuros. La topología utilizada para este trabajo es la que se visualiza en la figura 3.17. Mediante un análisis del circuito eléctrico se encontró su función de transferencia.

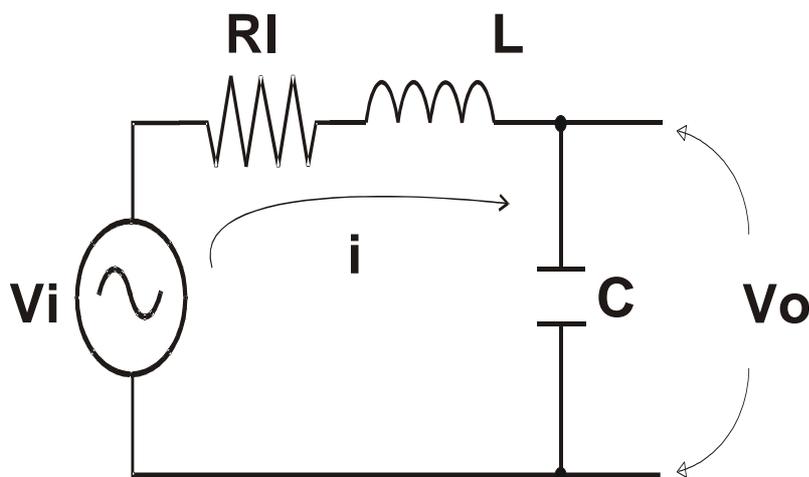


Figura 3. 17 Topología del Filtro de Salida

$$V_i = V_{Rl} + V_L + V_C \quad (3.44)$$

$$V_o = V_C \quad (3.45)$$

Desarrollando (3.44) y (3.45) se tiene:

$$V_i = Rli + L \frac{di}{dt} + \frac{1}{C} \int idt \quad (3.46)$$

$$V_o = \frac{1}{C} \int idt \quad (3.47)$$

Transformando (3.46) y (3.47) al dominio de la frecuencia se obtienen:

$$V_i(s) = i(s) \left( Rl + sL + \frac{1}{sC} \right) \quad (3.48)$$

$$V_o(s) = i(s) \left( \frac{1}{sC} \right) \quad (3.49)$$

Por último se obtiene la función de transferencia mediante la división de (3.49) entre (3.48)

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{i(s) \left( \frac{1}{sC} \right)}{i(s) \left( Rl + sL + \frac{1}{sC} \right)} \quad (3.50)$$

Simplificando (3.51) se obtiene la función de transferencia del filtro de salida.

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{s^2(LC) + s(RlC) + 1} \quad (3.51)$$

Nuevamente se calculó primero el valor del capacitor, debido a que se pretende utilizar el valor máximo de capacitancia posible para de esta forma minimizar el tamaño del inductor ya que en relación de costo los inductores son tomados como el doble de costosos que los elementos capacitivos [65].

### 3.4.2.1 Selección de la Frecuencia de Resonancia.

La frecuencia de corte debe ser suficientemente grande (alejada de la frecuencia fundamental de la señal de salida) para evitar atrasos en la señal.

Un criterio similar al tomado para la selección de la frecuencia de resonancia del filtro de entrada es tomado para seleccionar la frecuencia de resonancia del filtro de salida.

Si la  $f_{sw}$  es de 12000 Hz, y la frecuencia de salida es de 60 Hz, la frecuencia de resonancia  $f_n$  está dada por la relación:

$$f_o < f_n < \frac{1}{3} f_{sw} \quad (3.52)$$

$$60 \text{ Hz} < f_n < 4000 \text{ Hz} \quad (3.53)$$

Con el fin de eliminar la mayor cantidad de contenido armónico de la señal de salida, la frecuencia de resonancia es escogida como

$$f_n = 1800 \text{ Hz.}$$

### 3.4.2.2 Selección de los valores de C y L.

Para la selección del valor de C se retomaron los parámetros eléctricos del CM ya presentados en la tabla 3.2. Ahora, el criterio de selección se basó en la potencia máxima que puede fluir a través del CM y del valor RMS del voltaje de salida.

El criterio está dado por la ecuación (3.54) [66]:

$$C \leq 15\% \frac{P}{3(\omega_{line} V_{RMS}^2)} \quad (3.54)$$

Dónde:

$P$  , Potencia del CM  
 $V_{RMS}$  , Voltaje RMS de entrada  
 $\omega_{line}$  , Frecuencia angular de las señales de salida

Sustituyendo los valores de la tabla 3.1 en (3.54) se tiene:

Calculado el valor de capacitancia del filtro y elegida una frecuencia de resonancia, mediante (3.41) se puede despejar  $\omega$  y deducir su valor.

Por lo tanto los parámetros finales del filtro de salida quedan como en la tabla 3.4.

Tabla 3. 4 Parámetros del filtro de salida

Parámetro	Valor
Inductor	
Capacitor	

Finalmente para corroborar que la frecuencia de resonancia fue la seleccionada y que la frecuencia de corte se encuentra en rango aceptable se realizó el gráfico de bode de la respuesta del filtro, la cual se puede analizar en la figura 3.18.

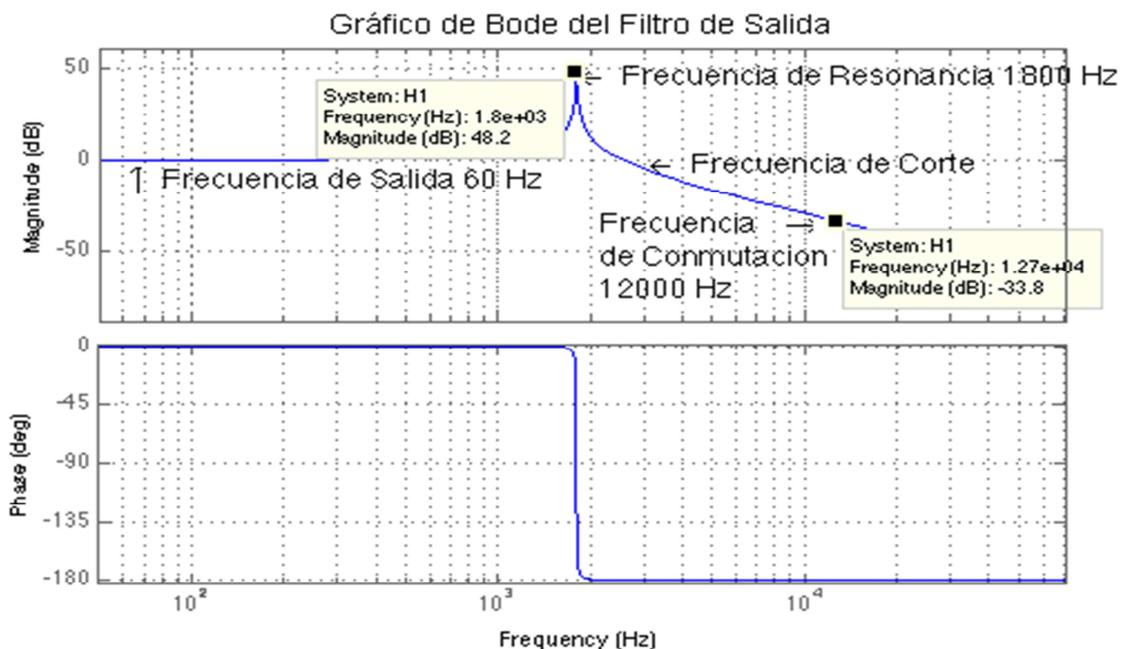


Figura 3. 18 Gráfico de Bode del filtro de salida

### 3.5 Sumario del Capítulo

En este capítulo se realizó una breve descripción del hardware del CM utilizado. Se indicaron las tareas que se realizaron para acondicionar el CM de 7.5 kVAs de la Universidad de Nottingham para posteriormente realizar pruebas de laboratorio.

Se propuso una metodología para comprobar el funcionamiento de la plataforma de control antes de realizar pruebas experimentales para evitar daños al hardware del convertidor.

También se presentó el diseño de los filtros de entrada y salida. Para ambos filtros se seleccionó una topología LC, por que en el presente capítulo también se abordaron los criterios de cálculo y selección de la capacitancia e inductancia de los componentes que conforman los filtros.

Comprobado que la plataforma de control opera de forma adecuada y comprobando mediante gráficos de Bode que el diseño de los filtros es adecuado, se pueden realizar las simulaciones y posteriormente pruebas experimentales con el CM.



## **Capítulo 4.**

### **Simulaciones y Pruebas experimentales**

## 4.1 Simulaciones del Convertidor Matricial

Se realizaron simulaciones en MatLab/Simulink con el fin de analizar el comportamiento del CM antes de realizar pruebas experimentales. El sistema completo de simulación programado se puede observar en la figura 4.1.

Para facilitar la simulación y su análisis, se desarrollaron diversos subsistemas que en conjunto actúan como el sistema propuesto en la figura 1.3. Los subsistemas programados son:

- Convertidor Matricial 3x3
- Sistema de alimentación (fuente de voltaje)
- Filtro Pasivo de entrada
- Filtro Pasivo de salida
- Circuito de Protección
- Señal de Referencia
- Sistema de Modulación (Modulación de Venturini)
- Sistema de Pulsos y Conmutación

Se colocaron puntos de medición de los sistemas de alimentación y de la señal de referencia así como de la señal de salida, los cuales están conformados únicamente por transductores de voltaje para que los bloques de control y modulación operen correctamente.

Las simulaciones se realizaron en lazo abierto con y sin los filtros diseñados. Así mismo se realizaron simulaciones con dos tipos de carga: Carga  $R$  y carga  $RL$ .

En la tabla 4.1 observan los parámetros utilizados en las simulaciones del CM. También se pueden observar los parámetros de la carga, los cuales se seleccionaron en base a los parámetros de los componentes con los que se cuenta en el laboratorio de electrónica de potencia de la sección de posgrado del IPN, de esta forma se tuvo la posibilidad de realizar comparaciones con los resultados obtenidos en las pruebas experimentales.

En todas las simulaciones, la fuente de voltaje del sistema de alimentación fue establecida con una amplitud de  $150 V_p$  y una frecuencia de 60 Hz. Como referencia de voltaje se programó una señal de amplitud  $70 V_p$ . Se realizaron diferentes simulaciones con 20 Hz, 60Hz y 180 Hz como frecuencia de las señales de los voltajes de referencia.

# Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

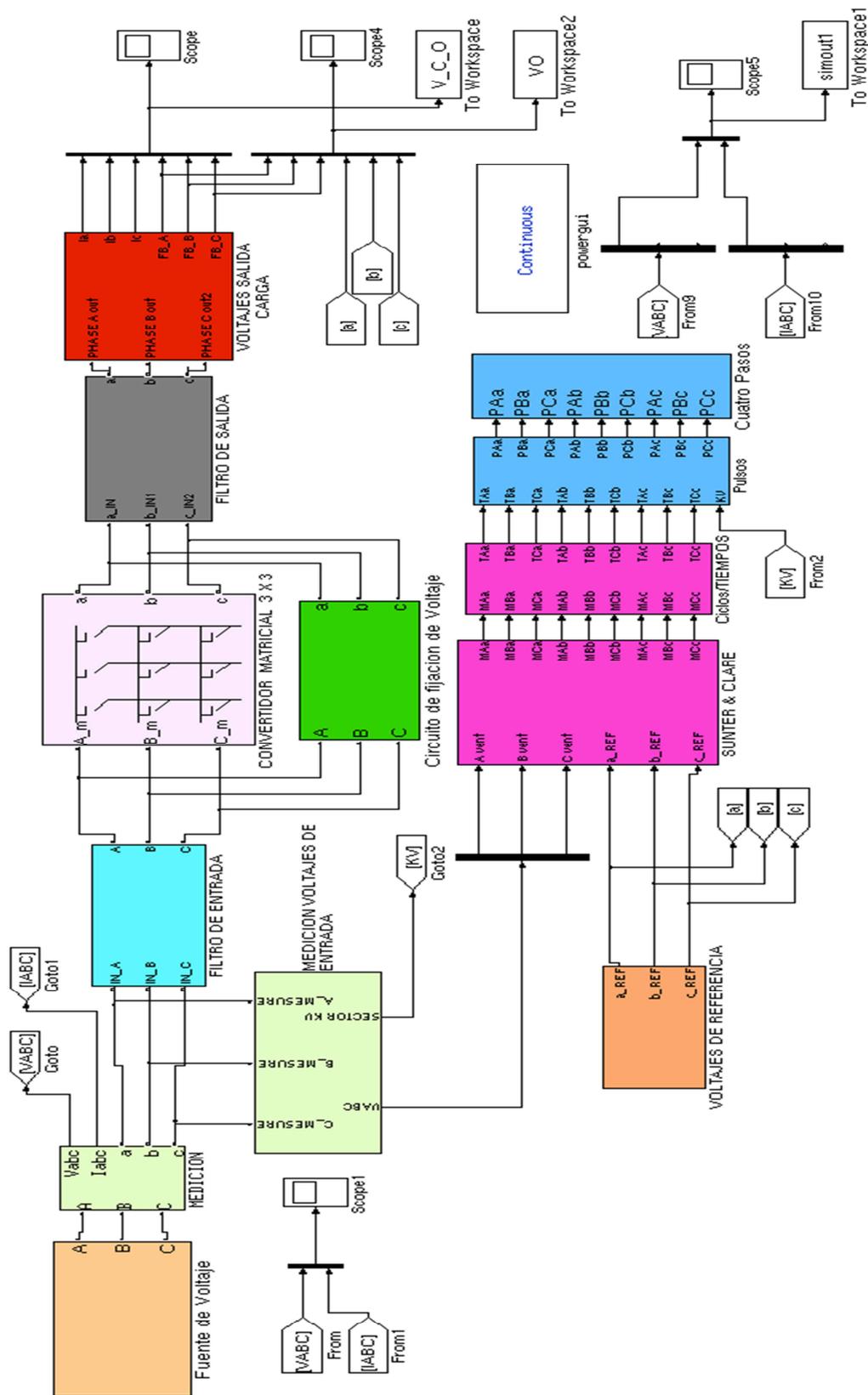


Figura 4. 1 Sistema Completo de Simulación en Simulink

Tabla 4.1 Parámetros de las simulaciones en Simulink

	CM	Carga
<b>R</b>	-	4 $\Omega$
<b>L</b>	-	1.3 mH
<b>Frecuencia de Conmutación</b>	12000 Hz	-
<b>Tiempo de simulación</b>	0 a 0.5 s	-

Para calcular los ciclos de trabajo se programó el algoritmo de modulación de Sünter-Clare y como estrategia de conmutación se utilizó la técnica de conmutación de cuatro pasos.

El funcionamiento de cada uno de los bloques programados para la simulación del CM puede analizarse en el apéndice D.

## 4.2 Pruebas experimentales con el Convertidor Matricial

Con el fin de validar las simulaciones realizadas, se llevaron a cabo pruebas experimentales con un CM de 7.5 kVA, diseño de la Universidad de Nottingham. Como fuente de alimentación se utilizó un VARIAC trifásico, en todas las pruebas se utilizó como voltaje de alimentación 150  $V_p$ . Al igual que en las simulaciones, las pruebas de laboratorio se realizaron en lazo abierto con y sin el uso de los filtros diseñados. Se realizaron pruebas con carga  $R$  y con carga  $RL$ .

Se programó como amplitud de las señales de voltaje de referencia 70  $V_p$ . De igual forma que en simulación, se realizaron pruebas con 20 Hz, 60 Hz y 180 Hz como frecuencia de las señales de referencia.

En la tabla 4.2 se pueden observar los parámetros utilizados en las pruebas experimentales con el CM.

Tabla 4.2 Parámetros de las pruebas experimentales

	CM	Carga
<b>R</b>	-	4 $\Omega$
<b>L</b>	-	1.3 mH
<b>Frecuencia de Conmutación</b>	12000 Hz	-

Como plataforma de control se utilizó un DSP C6713 de Texas Instruments en conjunto con una FPGA ProASIC3 A3P400. El DSP es el encargado de realizar el cálculo

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

de los ciclos de trabajo y la FPGA es la encargada del muestreo de las señales de voltajes de entrada y salida así como de la generación y el envío de las señales PWM.

La técnica de modulación programada en el DSP, al igual que en las simulaciones fue el algoritmo de Sünter-Clare, en la FPGA se encuentra programada la estrategia de conmutación de cuatro pasos.

En la figura 4.2 se presenta el diagrama a bloques utilizado para las pruebas con carga  $R$  y  $RL$ .

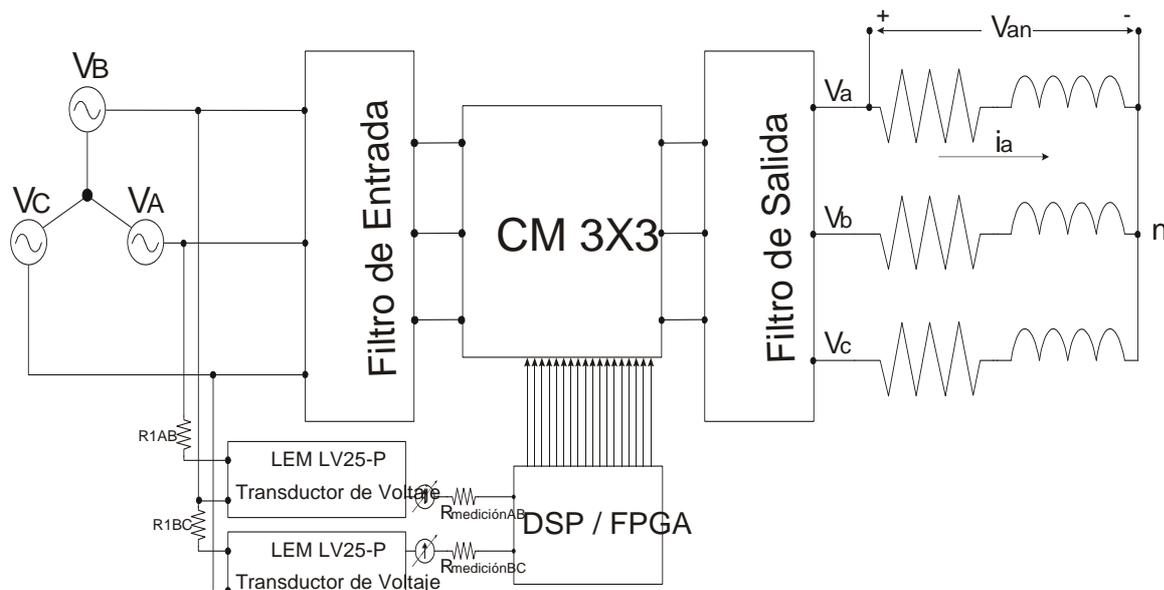


Figura 4. 2 Diagrama a bloques del sistema de prueba con carga.

En la figura 4.3 se muestra el sistema utilizado para realizar pruebas experimentales con el CM, se observa:

- El filtro de entrada
- El filtro de salida
- La plataforma de control (DSP + FPGA)
- El CM 3X3
- La carga
- El osciloscopio utilizado para el análisis de las señales obtenidas

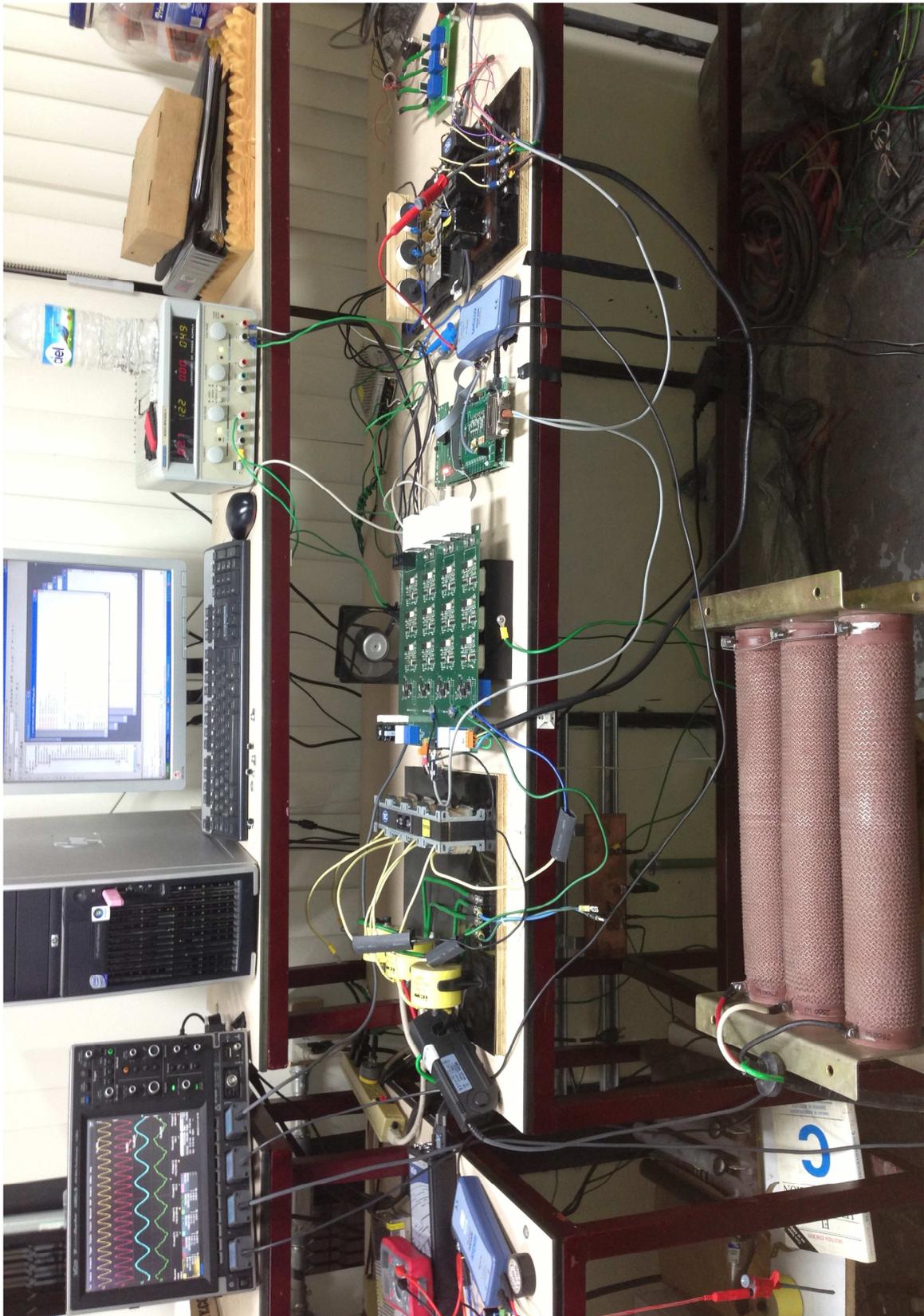


Figura 4.3 Sistema de prueba con el CM

### 4.2.1 Programación de la plataforma de control

El DSP C6713 no cuenta con ADCs, por lo que fue necesario utilizar los ADC externos de la tarjeta FPGA. La FPGA es un diseño de la Universidad de Nottingham, por ello no se tuvo la posibilidad de modificar el código que corresponde a la técnica de conmutación de cuatro pasos.

En el Apéndice B se pueden analizar los registros de la FPGA. Los registros más importantes debido a su función son:

- DPR0: En este registro se indica la frecuencia de conmutación  $F_{sw}$  de los interruptores del CM.
- DPR1: En este registro se habilita cada uno de los hilos del CM, así mismo sirve para determinar la combinación de interruptores que debe estar activa y el tiempo en que debe estarlo.
- DPR2: En este registro se programa el tiempo de conmutación de cuatro pasos.
- DPR3: Este registro contiene dos ADCs, utilizados para la medición del voltaje de línea de entrada  $V_{AB}$  y  $V_{BC}$ .
- DPR4: Este registro contiene dos ADCs, utilizados para la medición de los voltajes de fase de salida  $V_a$  y  $V_b$ .
- DPR5: Este registro contiene dos ADCs, utilizados para la medición del voltaje de fase de salida  $V_c$  y el voltaje del circuito de fijación de voltaje  $V_{Clamp}$ .
- DPR6: Este registro contiene dos ADCs, utilizados para la medición de las corrientes de salida  $i_a$  e  $i_b$ .
- DPR7: Este registro contiene dos ADCs, utilizado para la medición de la corriente de salida  $i_c$ , el segundo ADC no se utiliza en esta aplicación.

El primer paso en la programación del DSP consistió en la declaración de las variables que fueron utilizadas, incluyendo los parámetros de la señal de voltaje de referencia. Como siguiente paso se definió un arreglo (VCT) que contiene las 21 combinaciones de los interruptores permitidas, estas serán colocadas en el registro DPR1 según se requieran para la obtención de los voltajes deseados a la salida.

Después se configuran los contadores, estos se configuran para contar a la velocidad máxima del reloj del DSP y únicamente tienen la función de permitir esperas activas, ya que la configuración de algunos de los registros del DSP y la FPGA requieren de pausas para su correcto funcionamiento.

El siguiente paso consiste en la configuración de los puertos EMIF para la comunicación entre el DSP, FPGA y la DC. En el manual del DSP C6713 se indica la forma en la cual se deben configurar estos puertos.

Finalmente se habilita una interrupción externa, la cual detecta los fillos de subida de los pulsos que genera la FPGA. Esta interrupción sirve para determinar el inicio del cálculo de los ciclos de trabajo cada  $T_{seq}$ . El resto del programa principal consiste en un ciclo infinito, en el cual se revisa si existe algún error, de ser así, se identifica el error (sobrecorriente o sobrevoltaje). Dentro del ciclo infinito se lee constantemente el registro de la FPGA DPR8, este registro es el encargado de la detección de fallas.

En la figura 4.4 se observa el diagrama de flujo del programa principal del DSP.

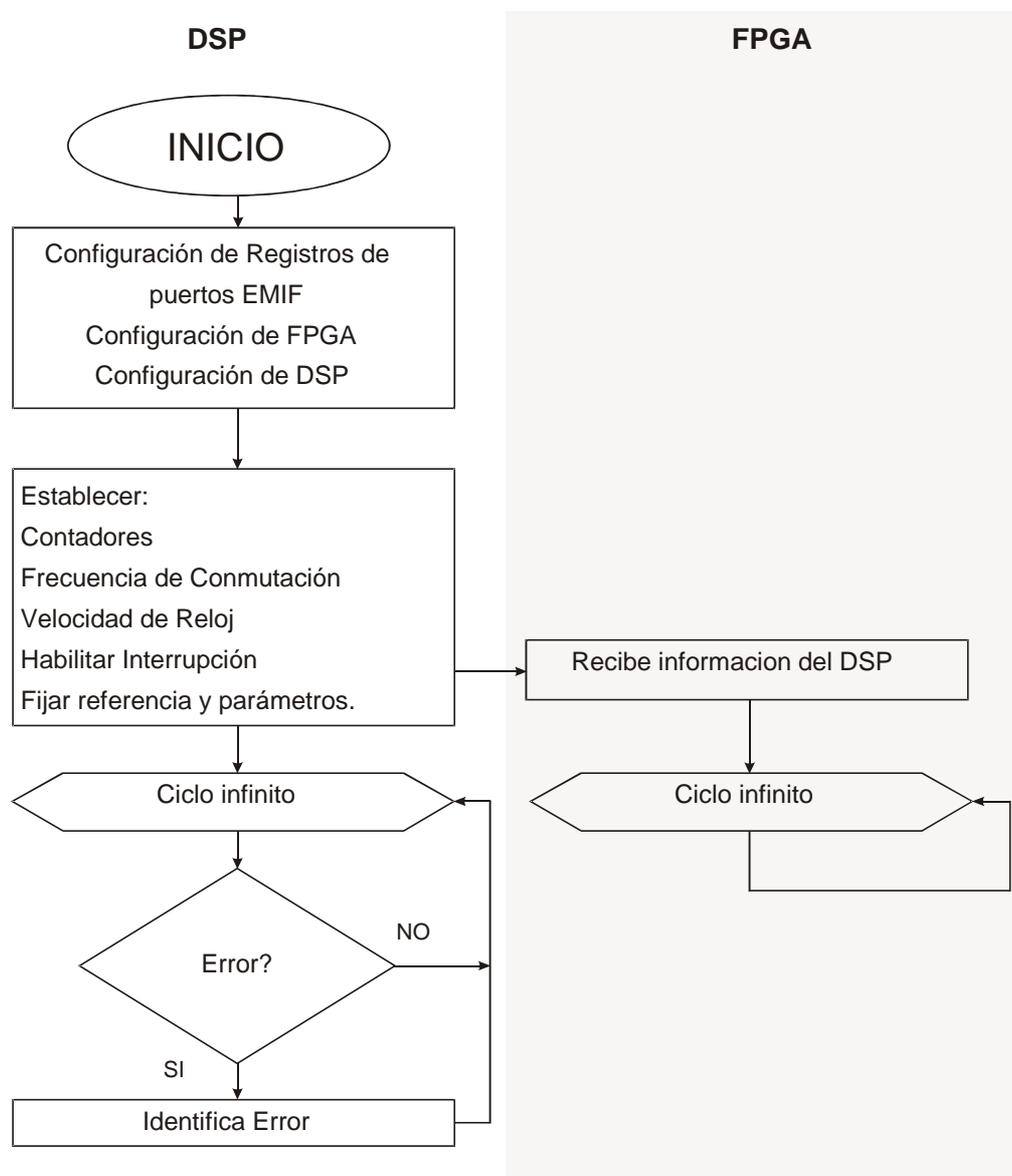


Figura 4. 4 Diagrama de flujo del programa principal en el DSP

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

En el diagrama de la figura 4.5 se analiza la secuencia de las tareas entre una interrupción y otra.

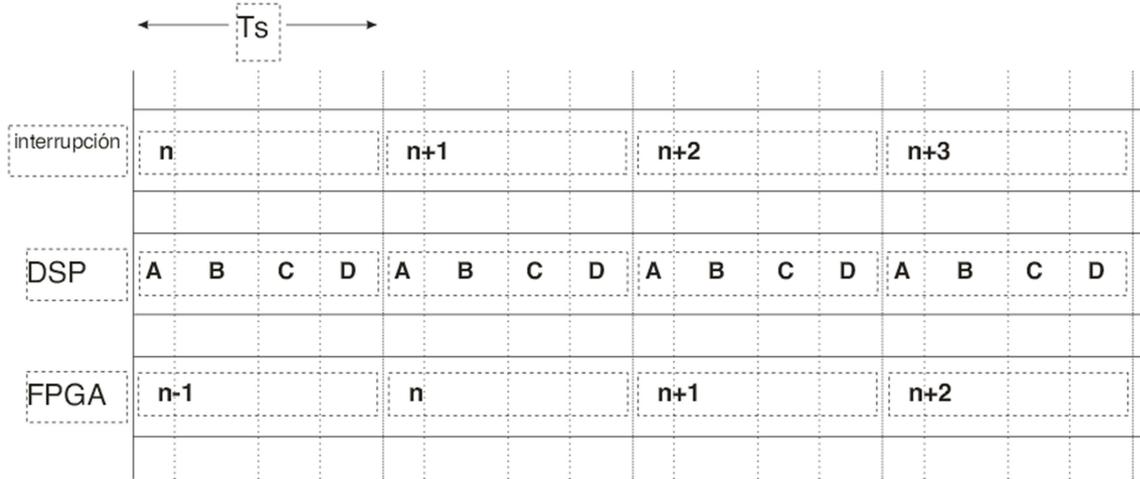


Figura 4.5 Secuencia de tareas en la plataforma de control

Durante A, la información es extraída de los registros de la FPGA. En B se ejecutan los cálculos correspondientes a la estrategia de modulación, conmutación y control. En C los registros de la FPGA reciben los cálculos de los ciclos de trabajo. El tiempo restante D es utilizado para la comunicación con otros periféricos de salida.

La interrupción originada por la FPGA ocurre cada  $T_s$ . Como primer paso en la interrupción se le debe indicar a la FPGA mediante el registro DPR0 que tome la información de los ADCs (DPR3-7). Una vez que se cuenta con los valores de los ADCs se deben escalar con el procedimiento detallado en la sección 3.3 para obtener los valores reales de los voltajes de fase de entrada y las corrientes de salida de cada fase. Con los valores reales de los sistemas trifásicos se puede identificar el sector de cada vector que representa dichos sistemas, también se calculan los ciclos de trabajo mediante el algoritmo de Sünter-Clare.

El registro DPR1 es encargado de recibir los ciclos de trabajo, requiere del tiempo en que cada combinación permitida (de la tabla 2.1) debe estar activa, de la misma forma requiere que se le indiquen las combinaciones deben actuar durante la interrupción.

Por lo tanto se programó la tabla 2.2 correspondiente a todas las combinaciones posibles de los interruptores según los vectores de los sistemas trifásicos de entrada y salida. Al conocer el sector y los ciclos de trabajo, se apunta a la localidad de la tabla que contiene el patrón de conmutación para la conformación de los voltajes deseados según sea necesario en cada interrupción.

El diagrama de flujo correspondiente a la interrupción programada en el DSP se puede observar en la figura 4.6. El código correspondiente a la interrupción programada en el DSP y a la tabla de conmutaciones programada se puede analizar a fondo en el apéndice C.

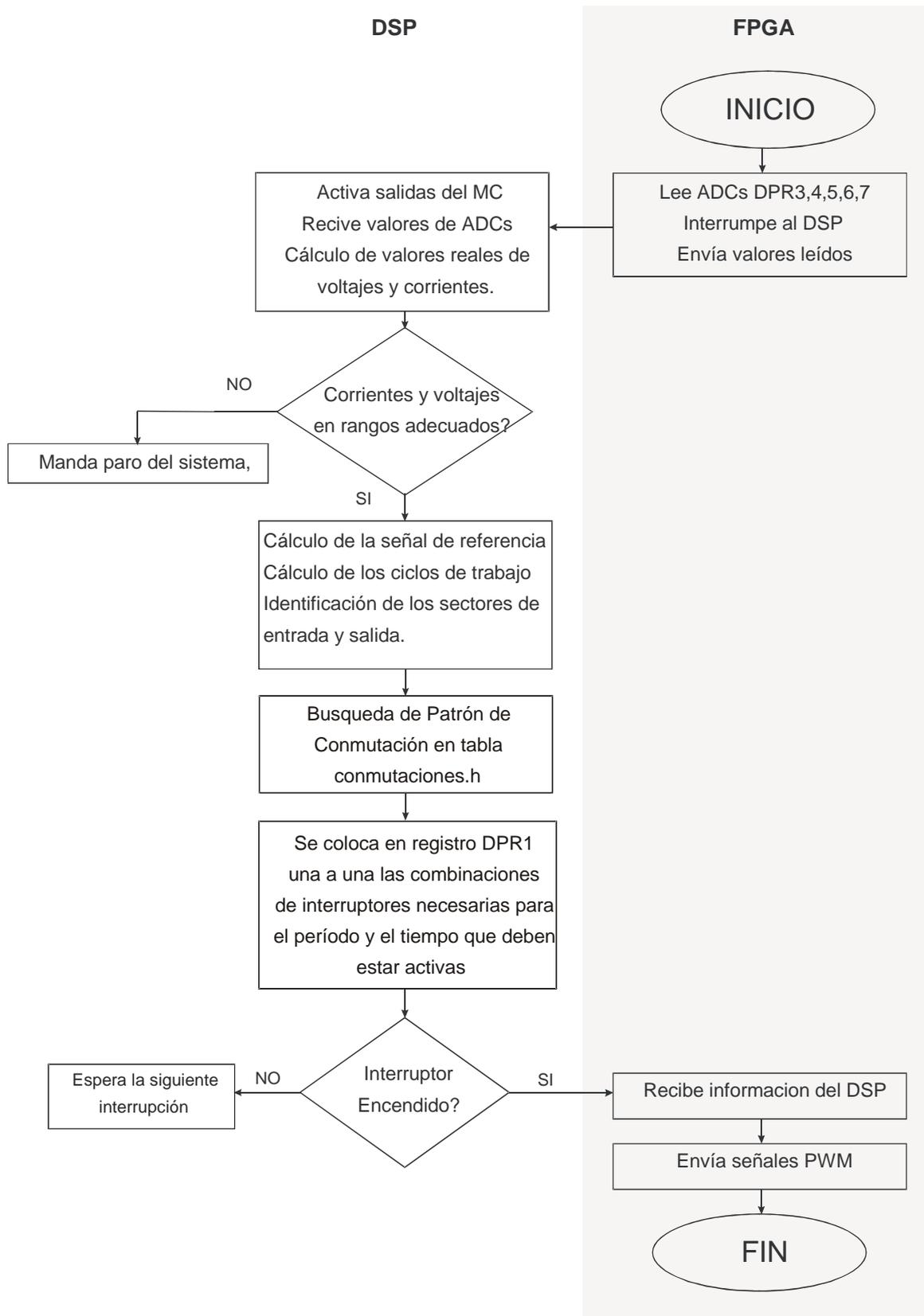


Figura 4. 6 Diagrama de flujo de la interrupción programada en el DSP C6713

### 4.3 Resultados sin carga

Se realizaron pruebas sin carga con el fin de probar el comportamiento del CM sin corriente fluyendo a través del convertidor, de esta forma se comprobó que el algoritmo de modulación de Sünter-Clare calcula los ciclos de trabajo de forma adecuada y que los interruptores entre y salan de conducción de forma adecuada.

En la figura 4.7 se observa el voltaje de salida de la fase ( ) a la salida del CM sin carga conectada obtenido en simulación. En la figura 4.8 se muestra el voltaje de salida de la fase ( ) obtenido experimentalmente, la medición se realizó entre el puerto de salida de la fase del CM y tierra física.

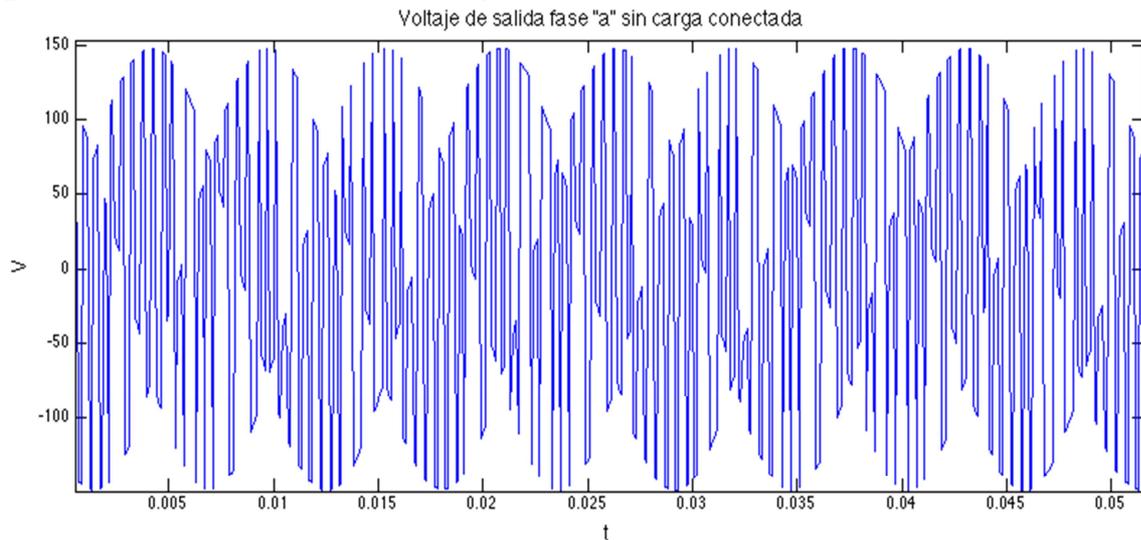


Figura 4.7 Voltaje de fase de salida Va sin carga (Simulación)

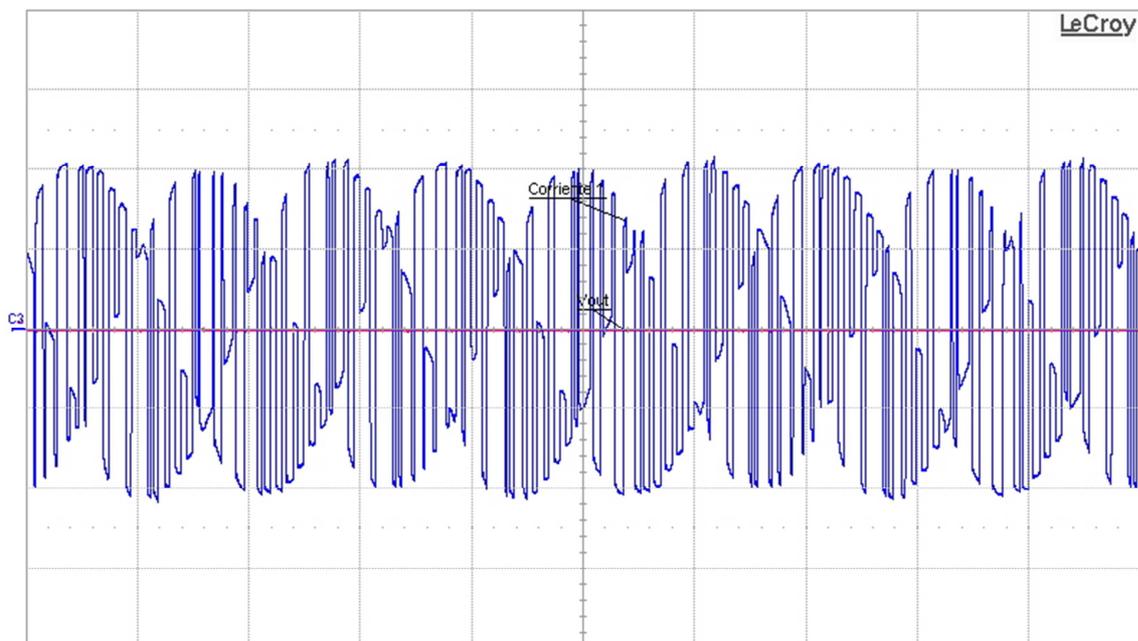


Figura 4.8 Voltaje de fase de salida Va sin carga (Experimental)

En las figuras 4.7 y 4.8 se puede observar que los voltajes de fase de salida están formados por fragmentos de los voltajes de entrada. En estas figuras también se comprueba que los interruptores conmutan de forma adecuada, por lo que se pueden realizar pruebas con carga y por consiguiente con corriente fluyendo a través el CM.

#### 4.4 Resultados con Carga RL sin filtros

Como primer paso se realizaron pruebas sin filtros, por consiguiente fue necesario realizar pruebas con carga , ya que como se indicó en el capítulo 2 es necesario limitar la rapidez de la variación de la corriente en el tiempo .

En la primer prueba se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 20 Hz. En la figura 4.9 se observa: El voltaje de la fase de salida ( , amarillo), la corriente de la fase de salida ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. Se puede observar que debido a la ausencia del filtro de entrada el contenido armónico de la corriente de entrada (verde) es alto y el voltaje de entrada (azul) se distorsiona. La corriente de salida tiene un contenido armónico bajo debido a la inductancia de la carga, sin embargo el voltaje en la carga muestra un alto contenido armónico debido a la ausencia del filtro de salida.

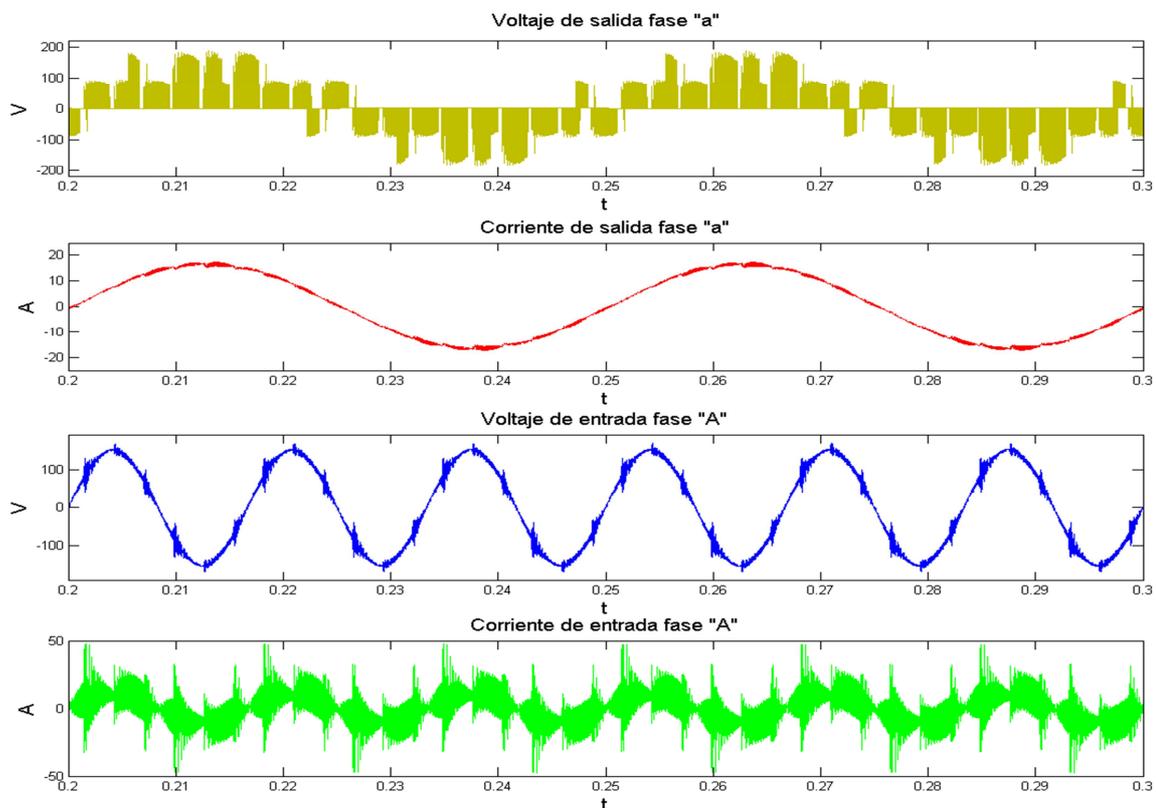


Figura 4. 9 Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, sin filtros y carga RL.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

Se realizó un análisis de frecuencia de las señales del voltaje y la corriente de salida presentadas en la figura 4.9 para observar su contenido armónico. En la figura 4.10 se muestra el espectro de frecuencia del voltaje de salida y en la figura 4.11 se presenta el espectro de frecuencia de la señal de la corriente. En ambas figuras se observa que la componente fundamental es de 20 Hz.

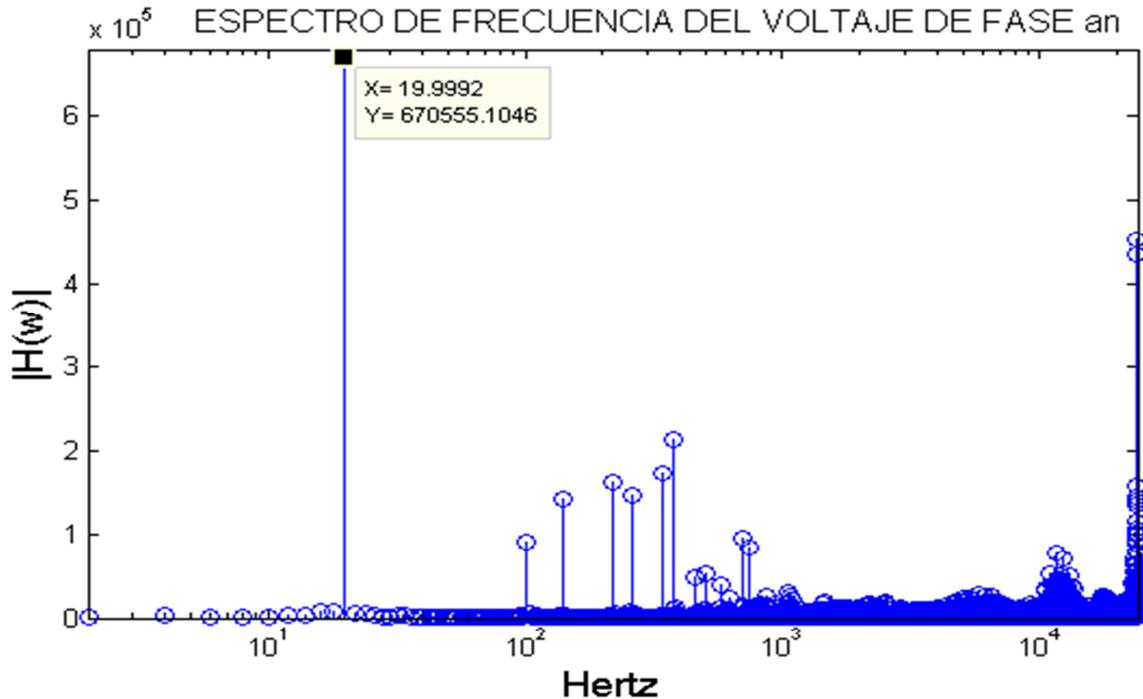


Figura 4. 10 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.9

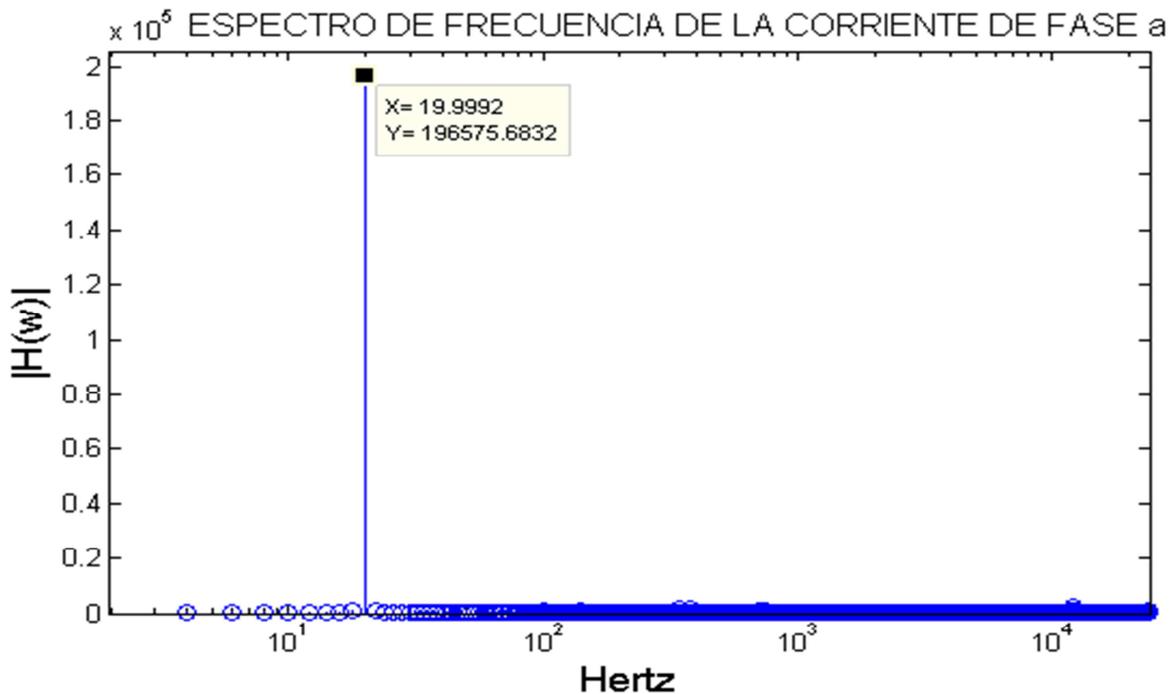


Figura 4. 11 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.9

En la figura 4.12 se observan las mismas señales de la figura 4.9, pero obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son muy similares a las obtenidas en simulación. La corriente de entrada (verde) tiene un alto contenido armónico debido a la ausencia del filtro de entrada, lo cual distorsiona el voltaje de entrada (azul), la corriente de salida (rojo) se observa con un contenido armónico bajo debido a la inductancia de la carga, mientras que el voltaje en la carga (amarillo) tiene un alto contenido armónico.

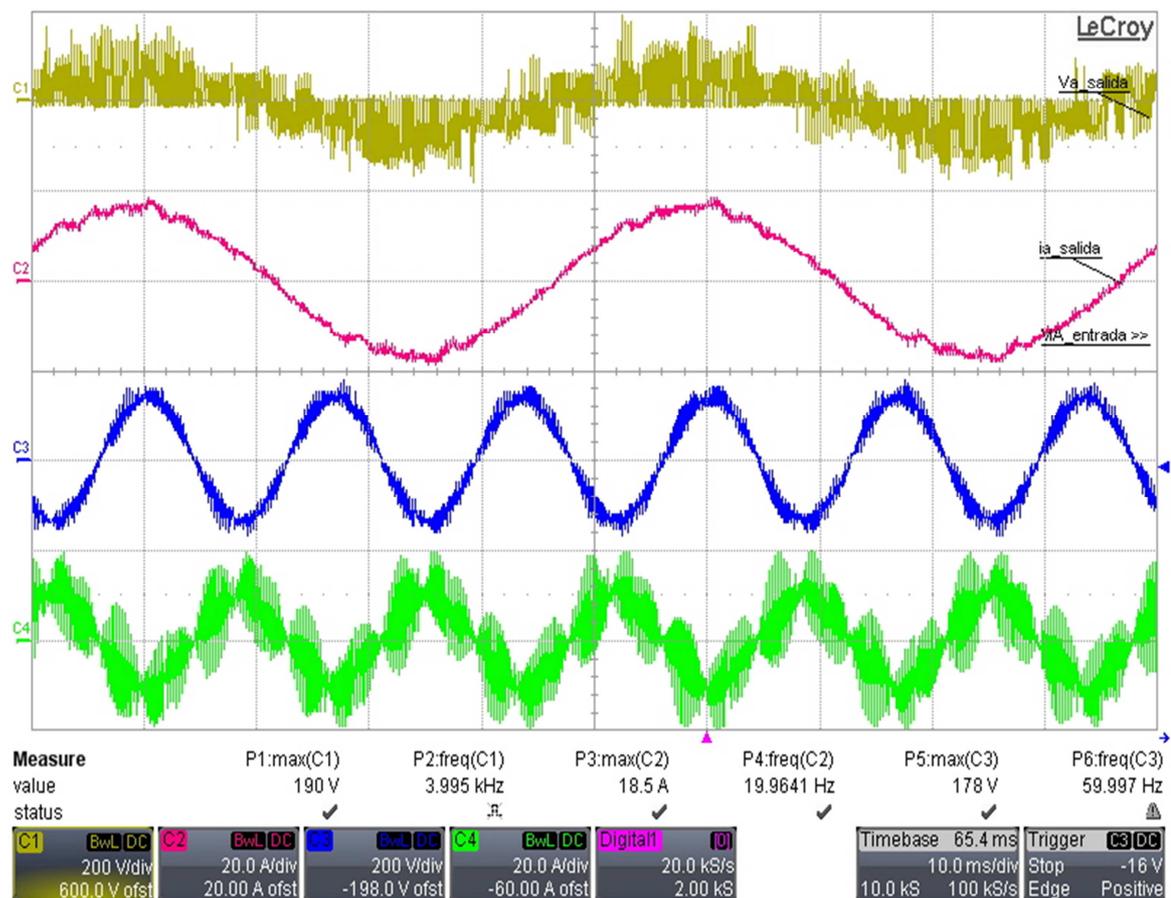


Figura 4.12 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20 Hz, sin filtros y carga RL

De la misma forma que con las simulaciones, se realizó un análisis de frecuencia de las señales de salida obtenidas experimentalmente. En la figura 4.13 se presenta el espectro de frecuencia del voltaje de salida y en la figura 4.14 se presenta el espectro de frecuencia de la corriente de salida. En las mismas figuras se observa que el contenido armónico de la señal de voltaje de salida es alto, mientras que el contenido armónico de la señal de corriente de salida es bajo. Los espectros de frecuencia de las señales de voltaje y corriente de salida obtenidos en las pruebas de laboratorio, son muy similares a los espectros de las señales obtenidas en simulación, en ambos casos la frecuencia fundamental es de 20 Hz, tal como se programó.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

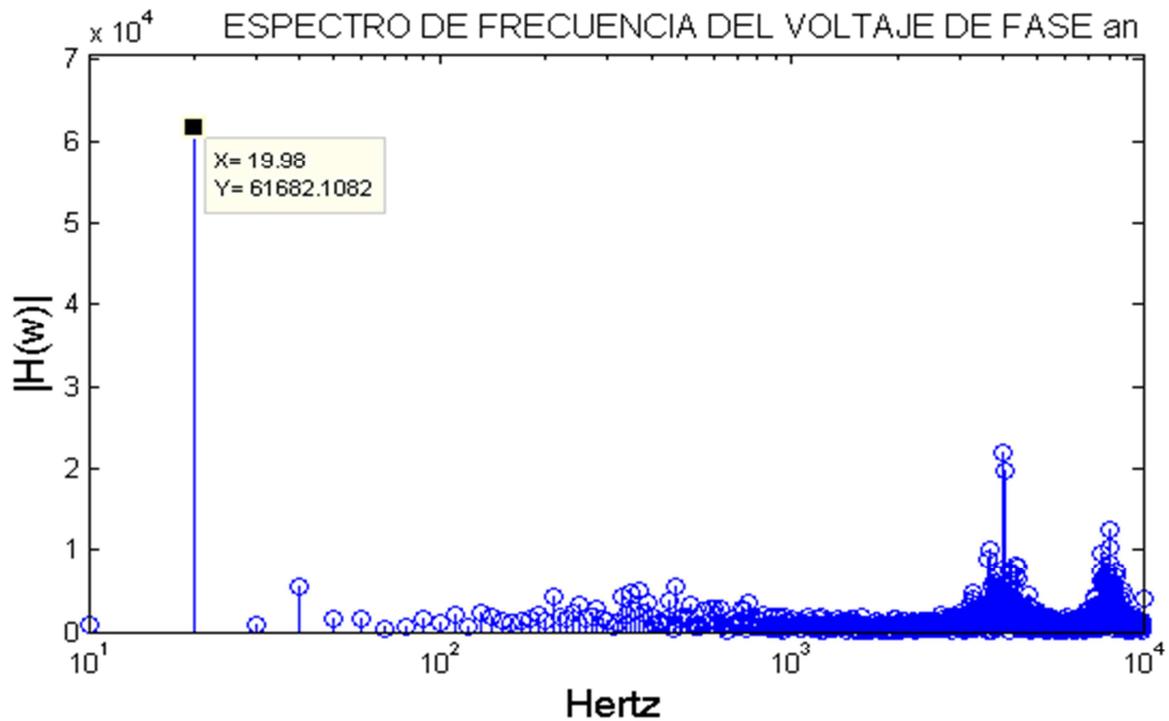


Figura 4.13 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.12

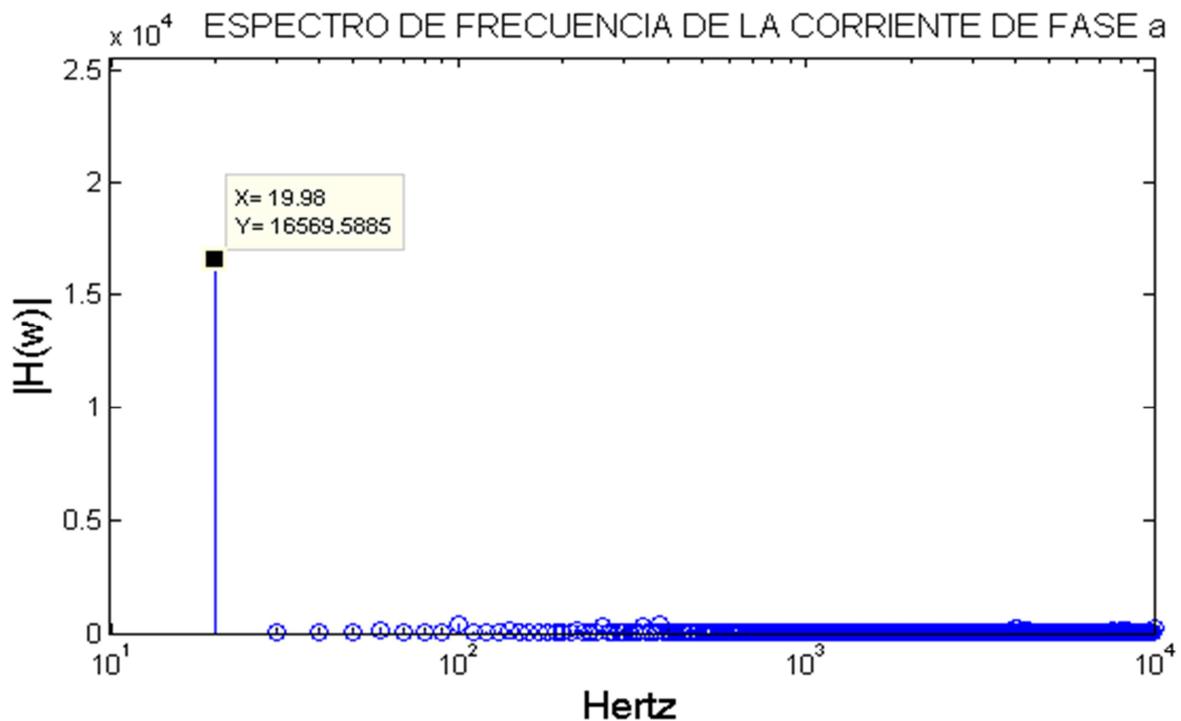


Figura 4.14 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.12

En la segunda prueba se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 60 Hz. En la figura 4.15 se observa: El voltaje de la fase de

salida ( , amarillo), la corriente de la fase de salida ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. Nuevamente se observa que debido a la ausencia del filtro de entrada el contenido armónico de la corriente de entrada es alto y el voltaje de entrada se distorsiona. La corriente de salida tiene un contenido armónico bajo debido a la inductancia de la carga y debido a la ausencia del filtro de salida, el voltaje en la carga tiene un alto contenido armónico.

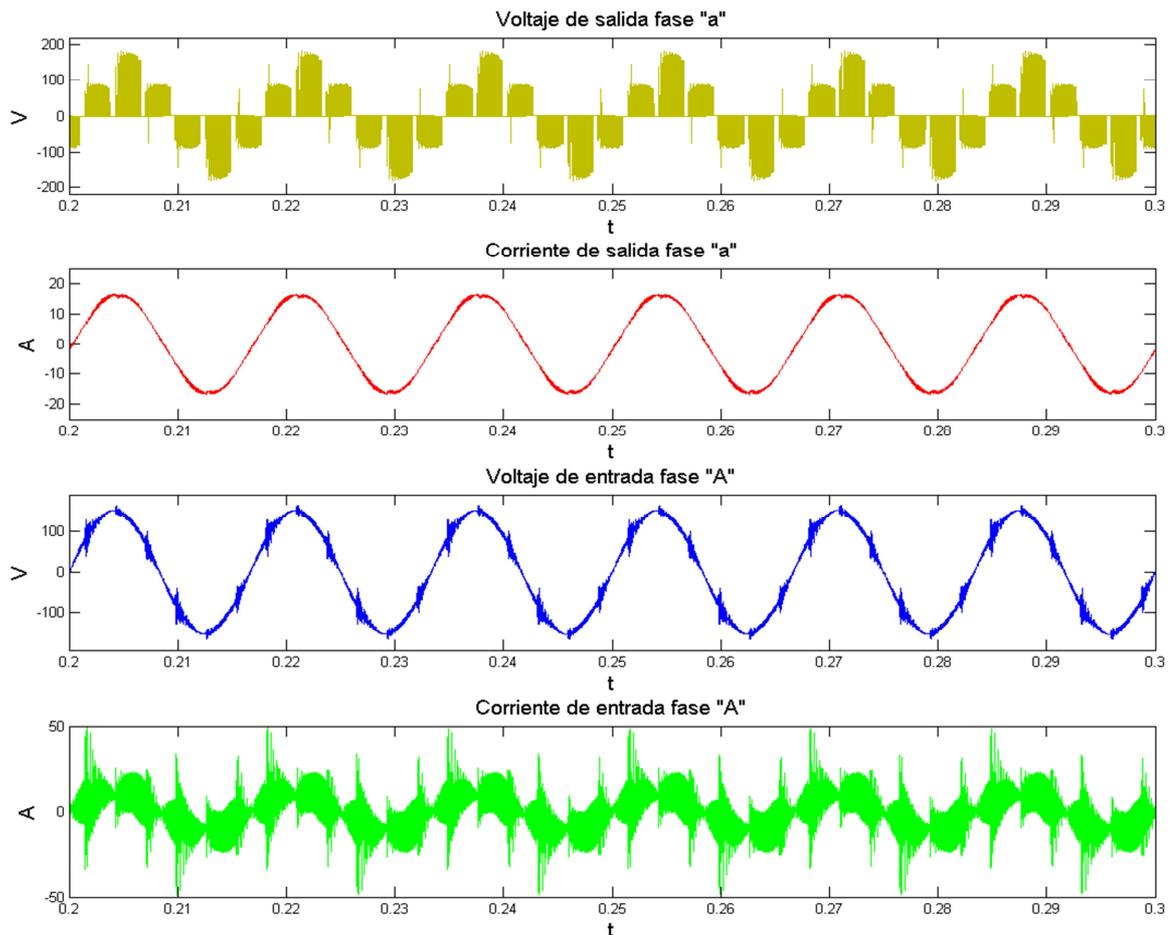


Figura 4. 15 Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, sin filtros y carga RL

Con el fin de analizar el contenido armónico de las señales de salida obtenidas en las simulaciones con una señal de referencia de 60 Hz, se realizó un estudio de frecuencia. En la figura 4.16 se presenta el espectro de frecuencia de la señal del voltaje en la carga, se comprueba que la componente fundamental es de 60 Hz tal como se programó en la señal de referencia, sin embargo se observa un alto contenido armónico.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

En la figura 4.17 se muestra el espectro de frecuencia de la señal de la corriente de salida obtenida, se comprueba que su contenido armónico es bajo y que la frecuencia fundamental es de 60 Hz.

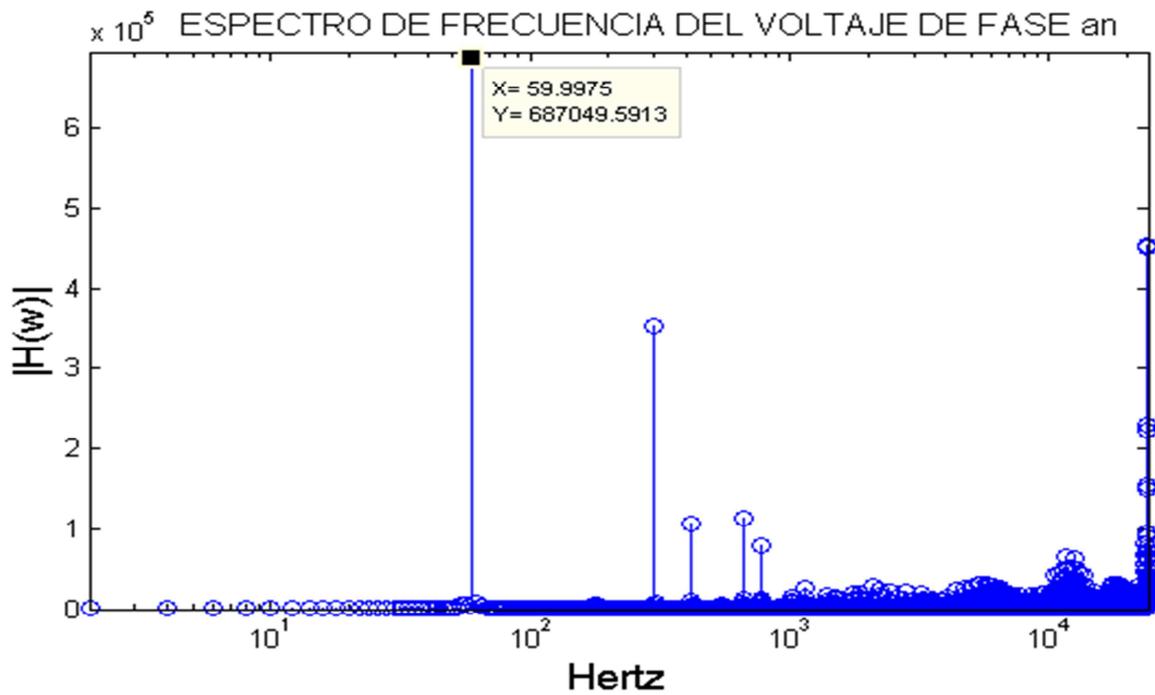


Figura 4. 16 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.15

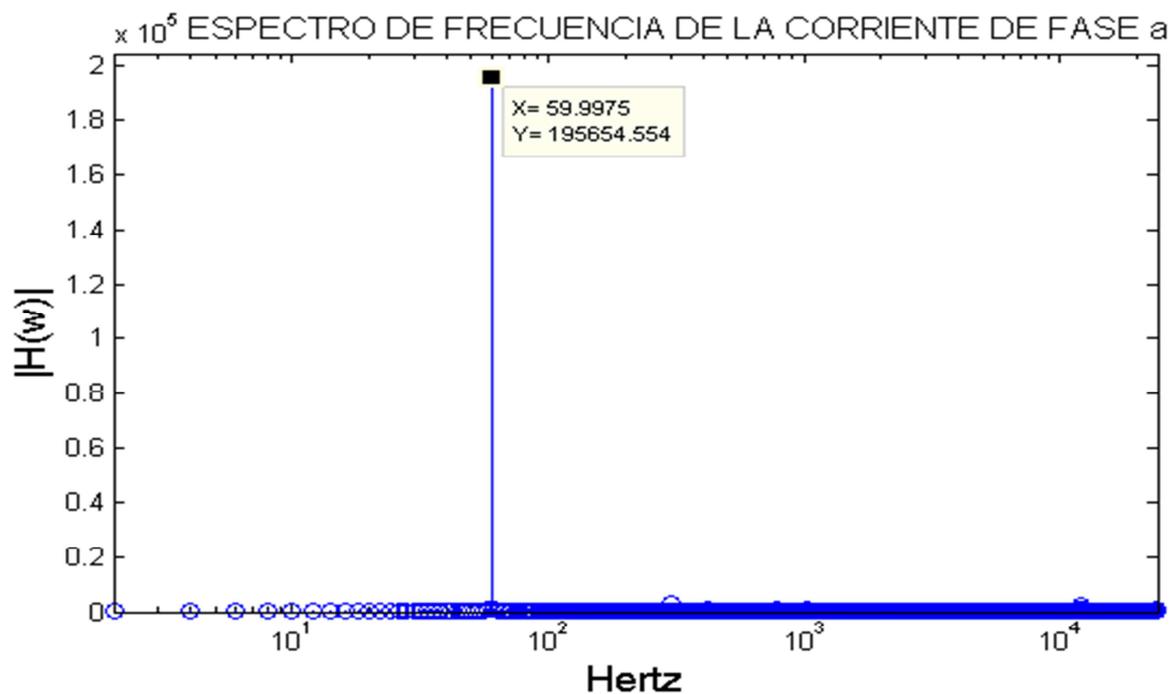


Figura 4. 17 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.15

En la figura 4.18 se observan las mismas señales de la figura 4.15, pero obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son similares a las obtenidas en simulación. La corriente entrada (verde) tiene un alto contenido armónico debido a la ausencia del filtro de entrada lo cual distorsiona el voltaje de entrada (azul). La corriente de salida (rojo) se observa con un bajo contenido armónico debido a la inductancia de la carga, pero una vez más el voltaje en la carga (amarillo) tiene un alto contenido armónico.

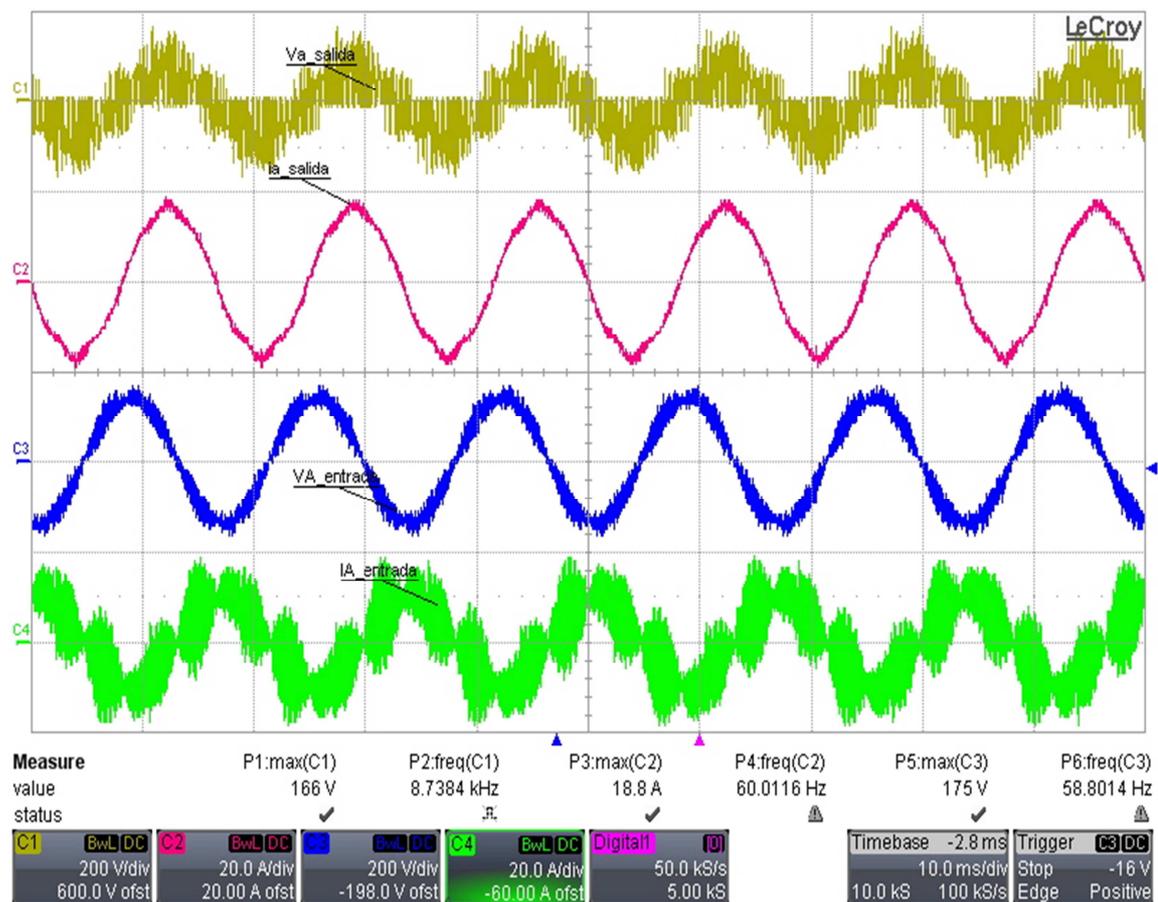


Figura 4. 18 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, sin filtros y carga RL

Para comprobar que el contenido armónico de las señales de salida de voltaje es alto, se realizó un análisis de frecuencia de los datos obtenidos experimentalmente, en la figura 4.19 se muestra el espectro de frecuencia de la señal del voltaje de salida, se observa que la componente fundamental es de 60 Hz.

También se realizó un análisis de frecuencia de la señal de corriente de salida. En la figura 4.20 se presenta el espectro de frecuencia de la señal de la corriente de salida, se comprueba que la componente fundamental es de 60 Hz tal como se programó en la señal de referencia, de la misma forma se observa que debido al efecto del inductor en

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

la carga el contenido armónico es bajo. En la sección 4.7 se realiza el cálculo de la distorsión total armónica (THD).

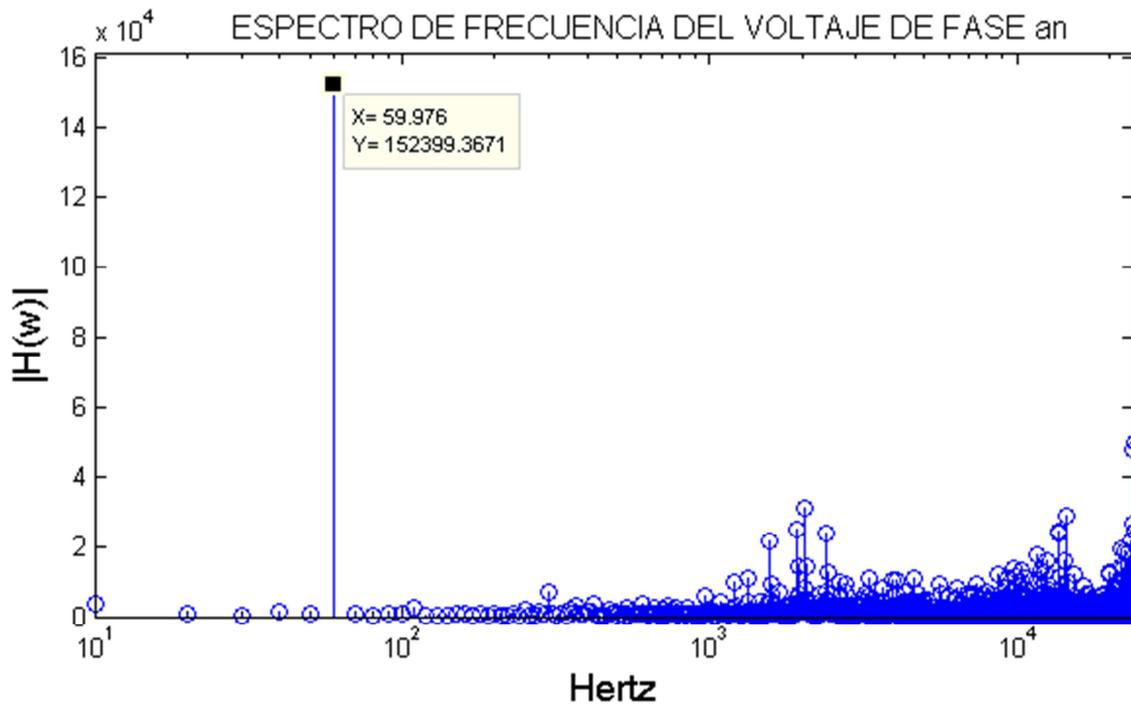


Figura 4. 19 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.18

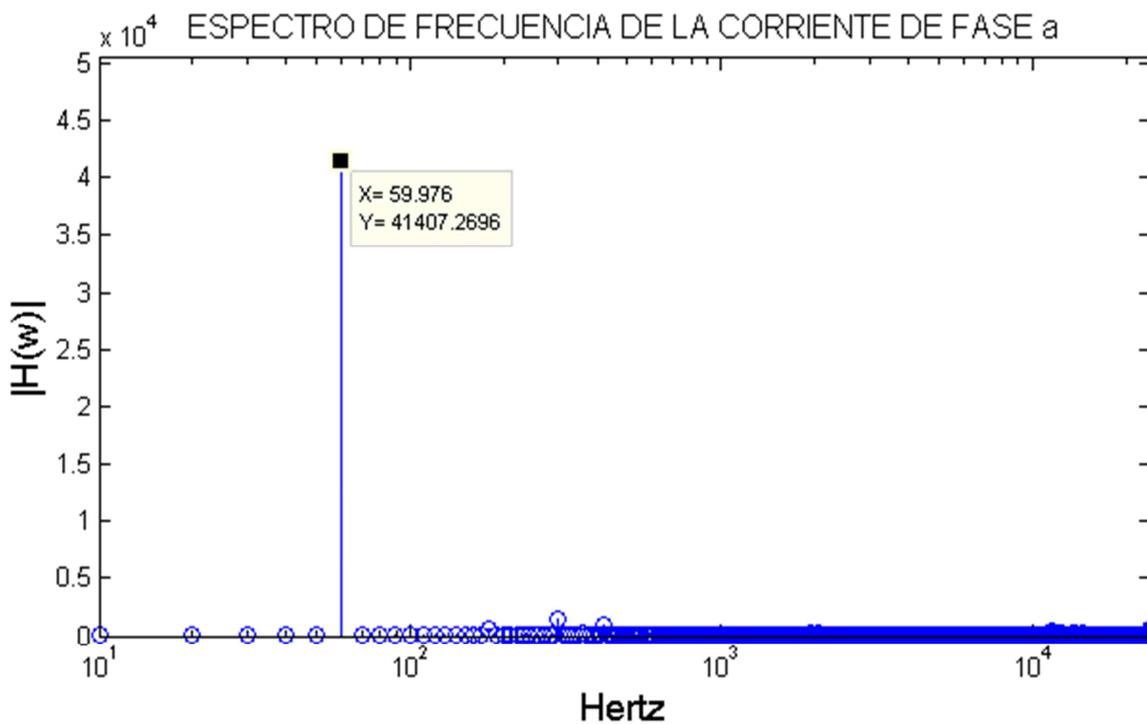


Figura 4. 20 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.18

Como última prueba sin filtros, se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 180 Hz. En la figura 4.21 se observa: El voltaje de la fase de salida ( , amarillo), la corriente de la fase de salida a ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. Al igual que en las pruebas anteriores se observa una distorsión en el voltaje de entrada debido al alto contenido armónico de la señal de la corriente de entrada. Nuevamente se observa una señal de corriente de salida con un contenido armónico bajo y una señal de voltaje en la carga con un alto contenido armónico.

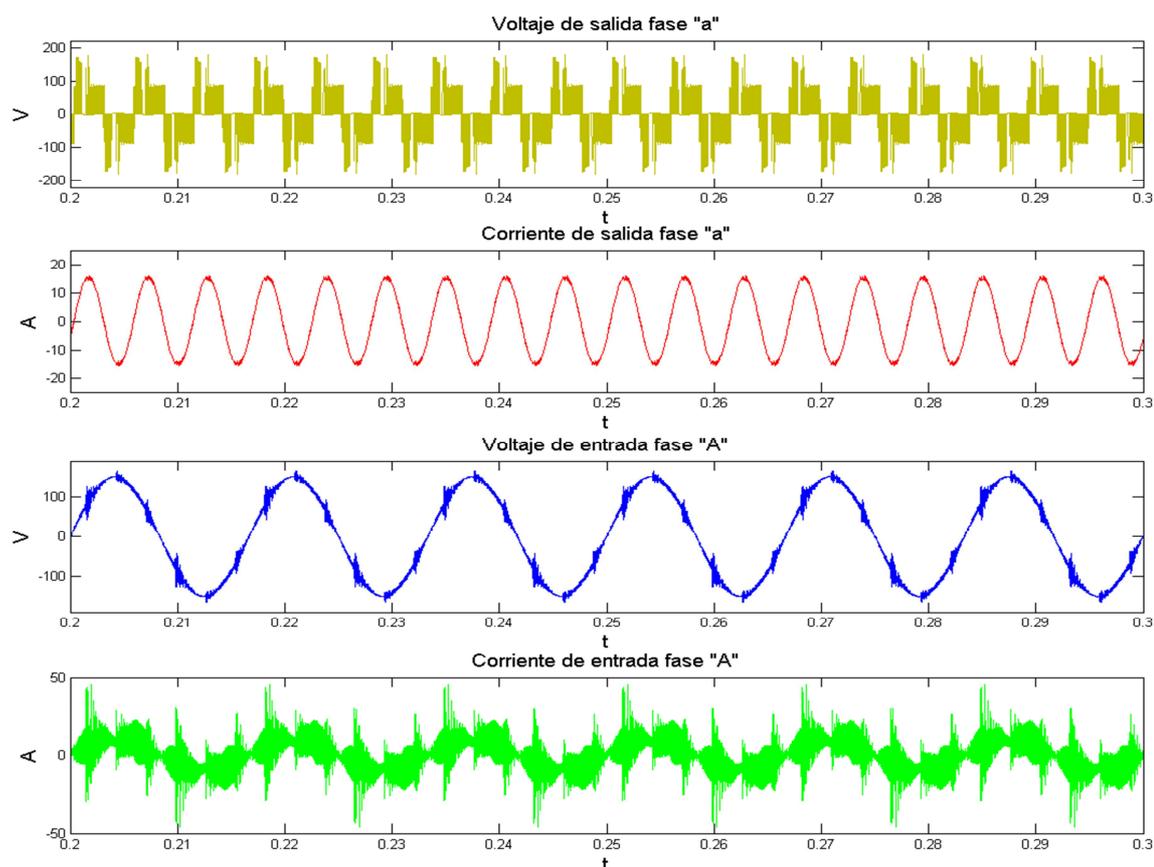


Figura 4. 21 Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, sin filtros y carga RL

Se obtuvo el espectro de frecuencia de las señales de salida (voltaje y corriente) de la figura 4.21. En la figura 4.22 se muestra el espectro de la señal del voltaje, se observa que tiene un alto contenido armónico, sin embargo su frecuencia fundamental es de 180 Hz como se indicó en la referencia programada.

De la misma forma se realizó un análisis de frecuencia de la señal de la corriente de salida que se obtuvo en las simulaciones. En la figura 4.23 se muestra el espectro de frecuencia de la corriente de salida, nuevamente se observa que su contenido armónico es bajo debido a que el inductor que se colocó en la carga limita los cambios

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

de corriente, de la misma manera se comprueba que la frecuencia fundamental es de 180 Hz.

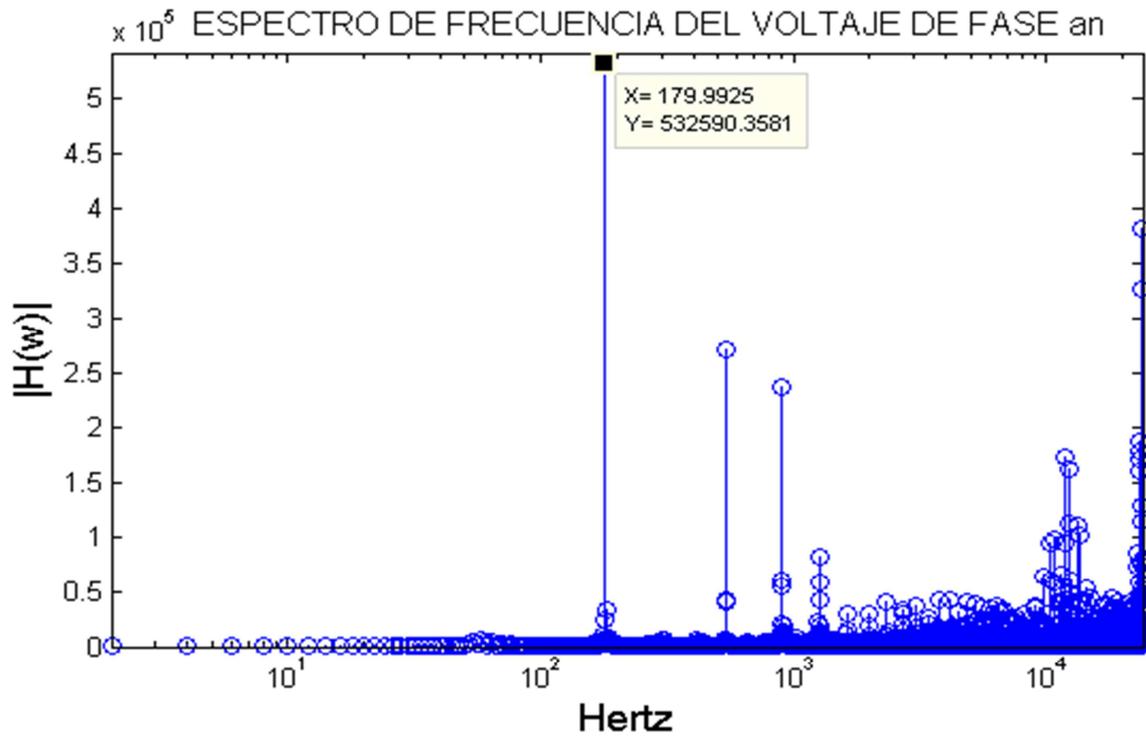


Figura 4.22 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.21

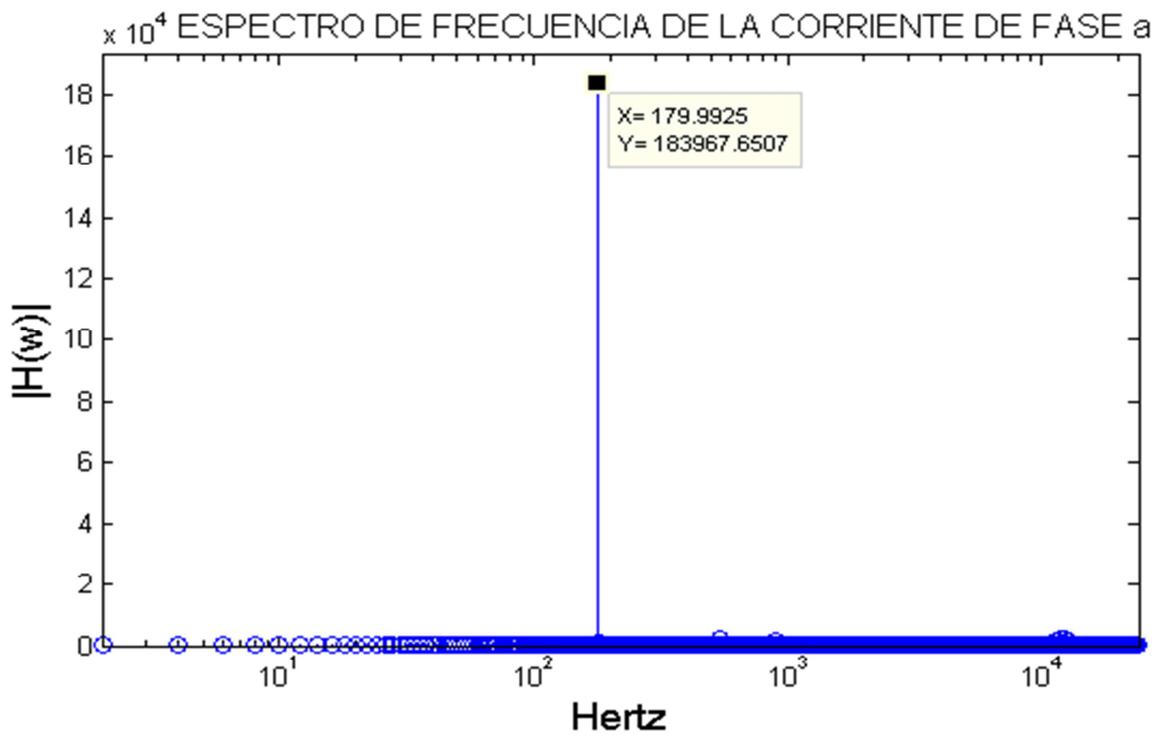


Figura 4.23 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.21

Finalmente en la figura 4.24 se observan las mismas señales de la figura 4.21, pero esta vez obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales nuevamente son similares a las obtenidas en simulación. La corriente entrada (verde) tiene un alto contenido armónico debido a la ausencia del filtro de entrada lo cual distorsiona el voltaje de entrada (azul). La corriente de salida (rojo) se observa con un bajo contenido armónico debido a la inductancia de la carga y el voltaje en la carga (amarillo) tiene un alto contenido armónico.

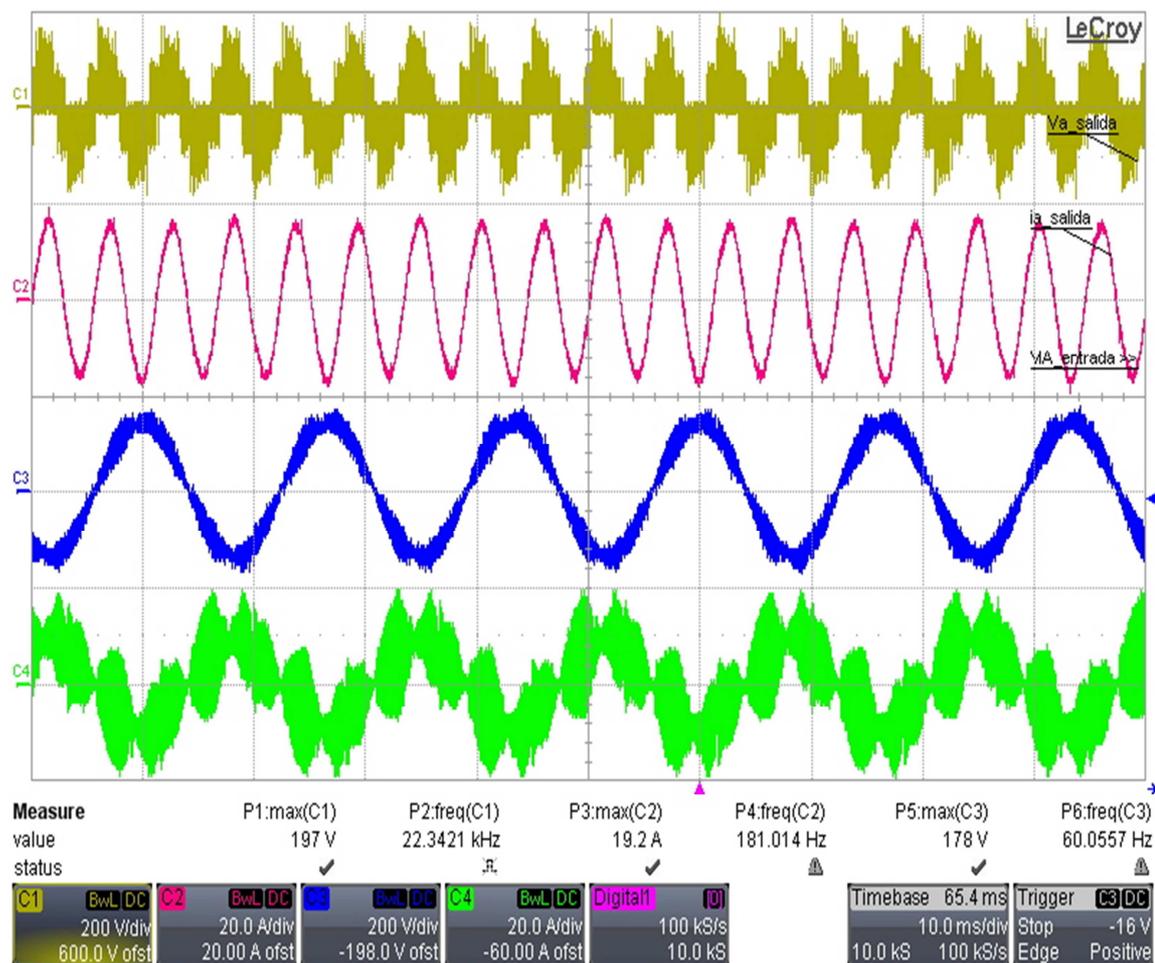


Figura 4.24 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, sin filtros y carga RL

A las señales de corriente y voltaje obtenidas de forma experimental con una señal de referencia de 180 Hz, se les realizó un análisis de frecuencia con el fin de comprobar que su componente fundamental fuera la programada.

En la figura 4.25 se presenta el espectro de frecuencia de la señal del voltaje de salida obtenida mientras que en la figura 4.26 se muestra el espectro de frecuencia de la señal de la corriente de salida.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

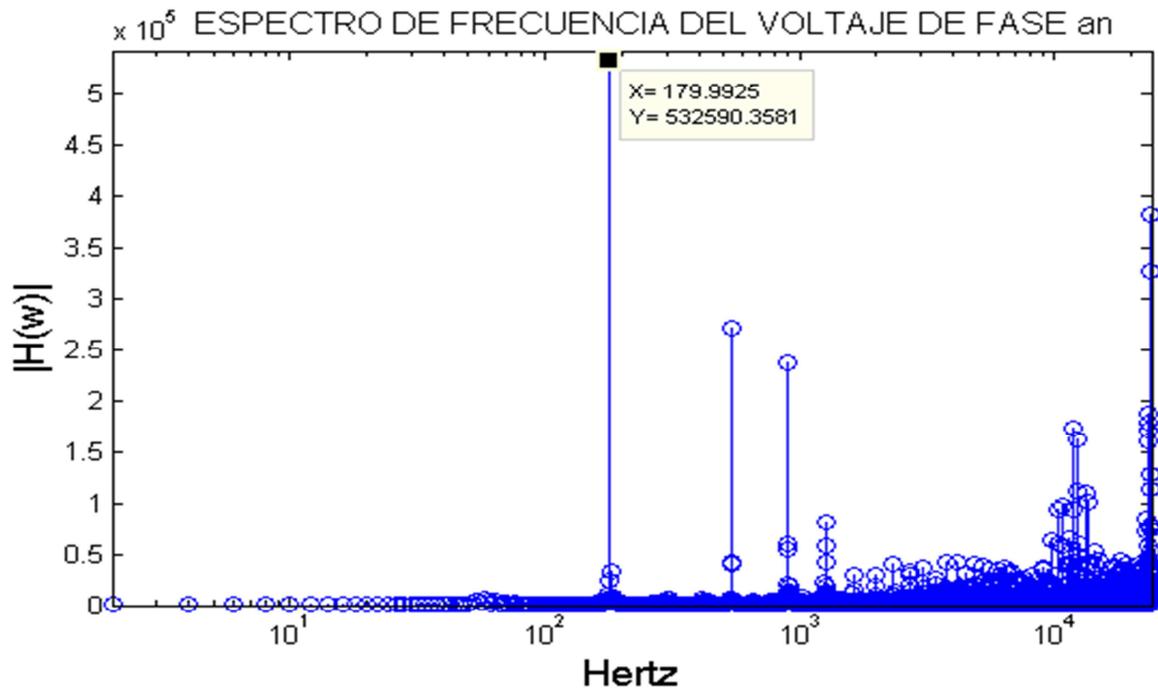


Figura 4.25 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.24

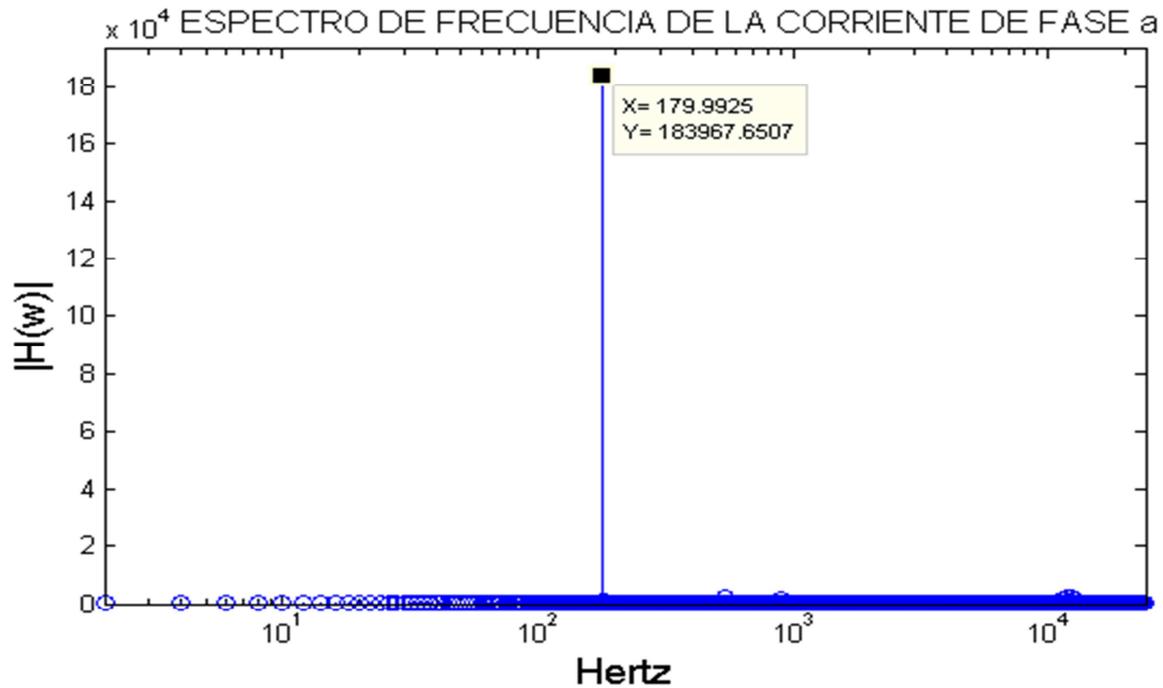


Figura 4.26 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.24

Todas las pruebas anteriores fueron realizadas sin el uso de los filtros diseñados, se observa que en todas las señales obtenidas, la corriente de entrada tiene un alto

contenido de armónicos lo cual distorsiona el voltaje de entrada, esto último repercute en el cálculo de los ciclos de trabajo. Estos errores en el cálculo de los ciclos de trabajo distorsionan las señales de corriente y voltaje en la salida. Sin embargo la corriente de salida tiene un contenido armónico bajo ya que los inductores de la carga limitan las variaciones de corriente. En todas las pruebas realizadas la frecuencia de las señales de salida, fue la programada en la señal de referencia.

#### 4.5 Resultados con carga R con filtros de entrada y salida

Para comprobar que el diseño de los filtros fue el correcto, se realizaron pruebas en lazo abierto con el uso de los filtros de entrada y salida diseñados y con carga .

En la primer prueba se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 20 Hz. En la figura 4.27 se observa: El voltaje de la fase de salida ( , amarillo), la corriente de la fase de salida ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. Se observa que la corriente y el voltaje en la carga ( están en fase debido a la naturaleza de la carga. Además se puede notar que el voltaje de salida tiene un contenido armónico bajo debido al efecto del filtro de salida. La señal de la corriente de entrada tiene un contenido armónico limitado debido al filtro en la entrada, lo mismo ocurre con el voltaje de entrada.

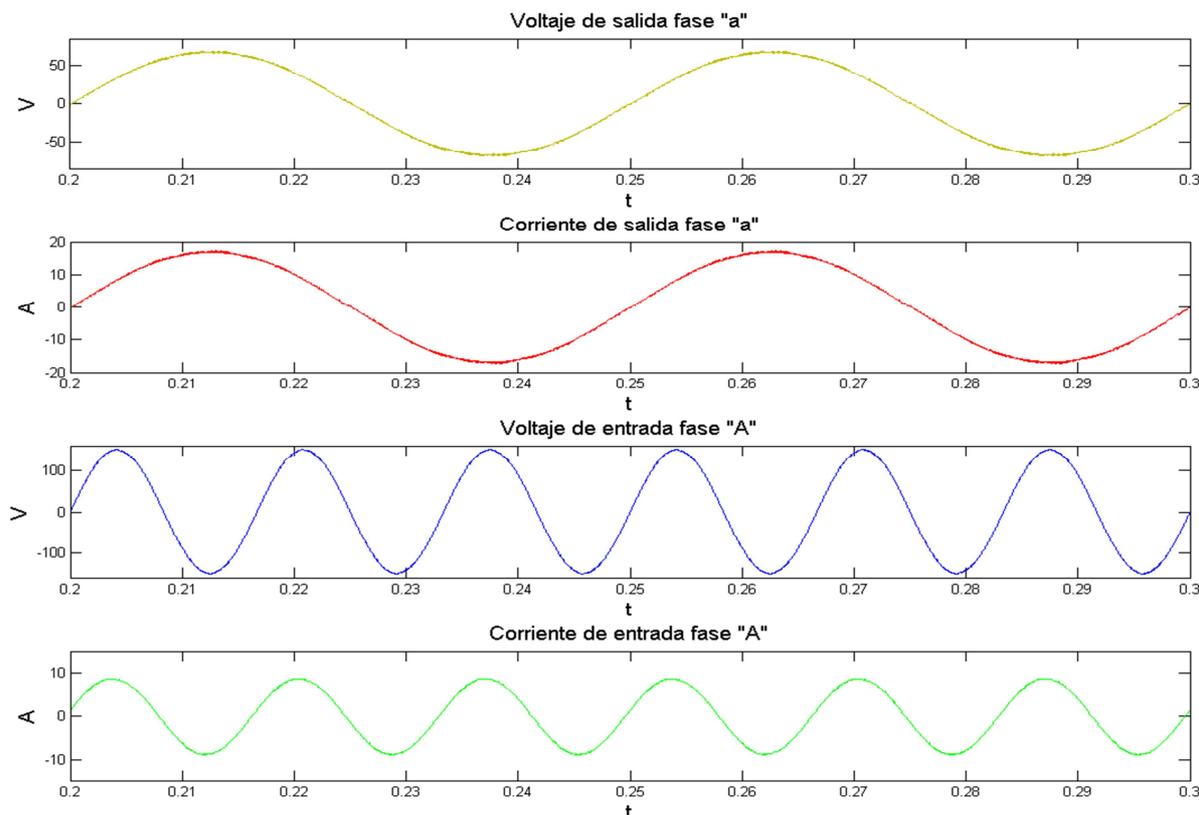


Figura 4. 27 Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, con filtros y carga R

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

Se realizó un análisis de frecuencia de las señales de salida de la figura 4.27. En la figura 4.28 se presenta el espectro de frecuencia del voltaje en la carga y en la figura 4.29 se muestra el espectro de frecuencia de la corriente de salida, se observa que en ambas figuras el contenido armónico es bajo y la frecuencia fundamental corresponde a la programada.

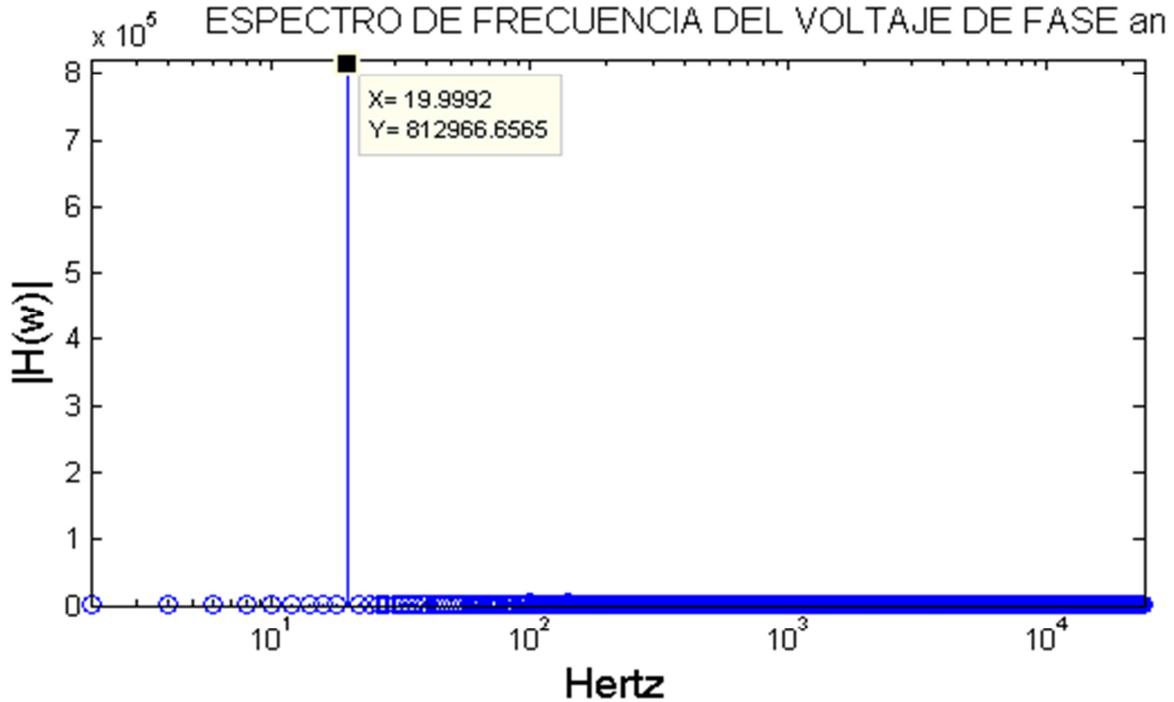


Figura 4.28 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.27

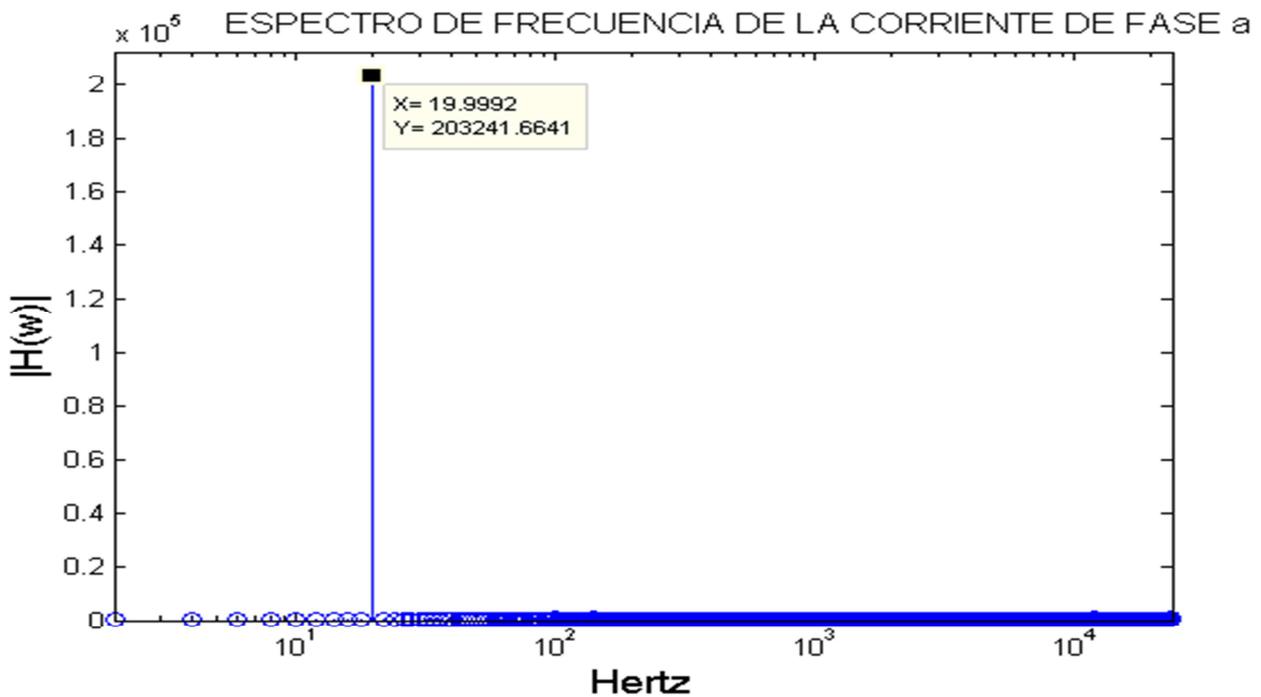


Figura 4.29 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.27

En la figura 4.30 se observan las mismas señales de la figura 4.27, pero obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son similares a las obtenidas en simulación. Se observa un desfaseamiento entre la corriente de entrada (verde) y el voltaje de entrada (azul), esto ocurre debido a la inductancia que existe en el VARIAC que se utilizó como fuente de alimentación y al filtro de entrada, sin embargo el contenido armónico de ambas señales es bajo. La corriente de salida (rojo) y el voltaje de salida (amarillo) se encuentran en fase debido a la naturaleza de la carga, además se observan con un bajo contenido armónico debido al filtro de salida.

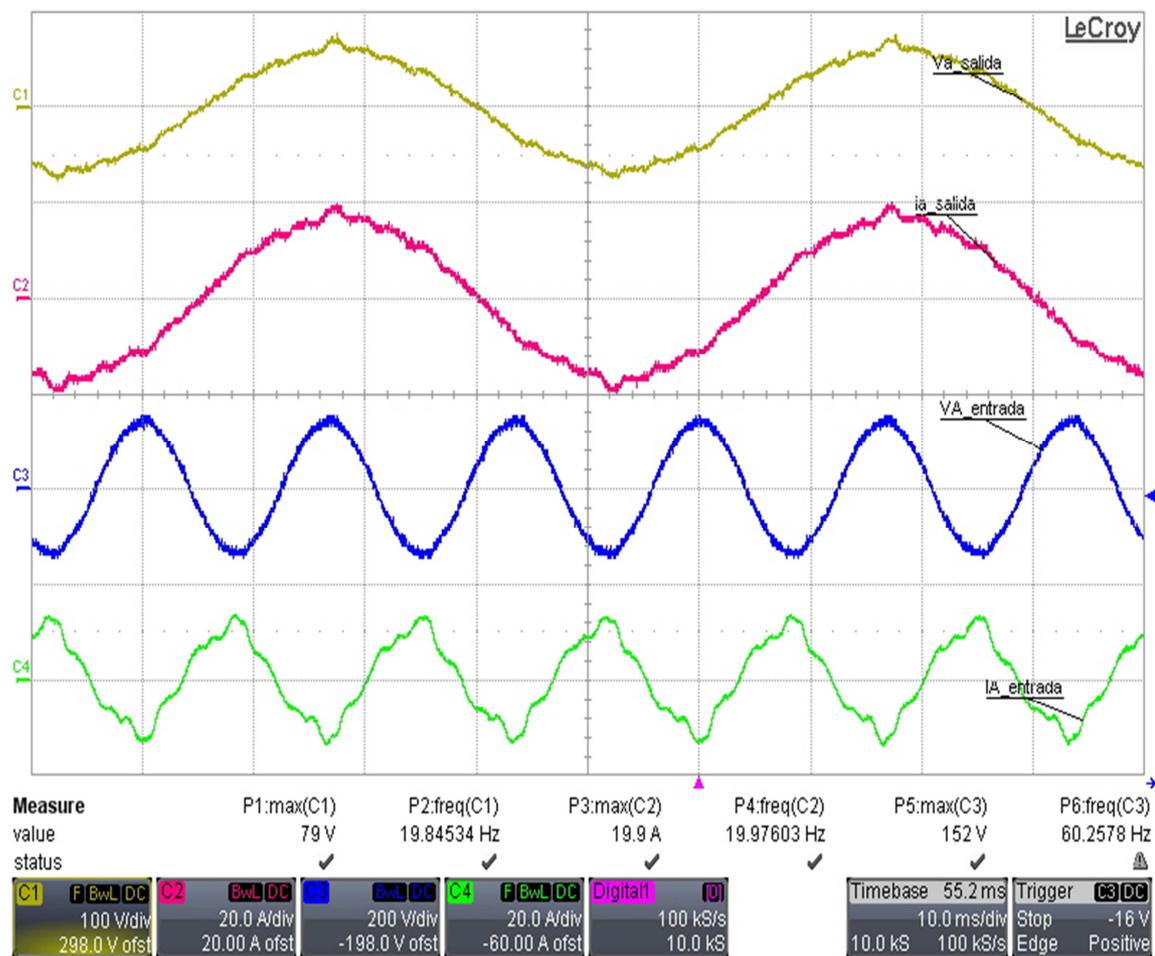


Figura 4. 30 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20Hz, con filtros y carga R

Se realizó un análisis de frecuencia de las señales de salida obtenidas experimentalmente, se comprobó que su componente fundamental es de 20 Hz y que los filtros de entrada y salida atenúan los armónicos de corriente y voltaje ocasionados por la conmutación de los interruptores.

En la figura 4.31 se presenta el espectro de frecuencia de la señal del voltaje de salida.

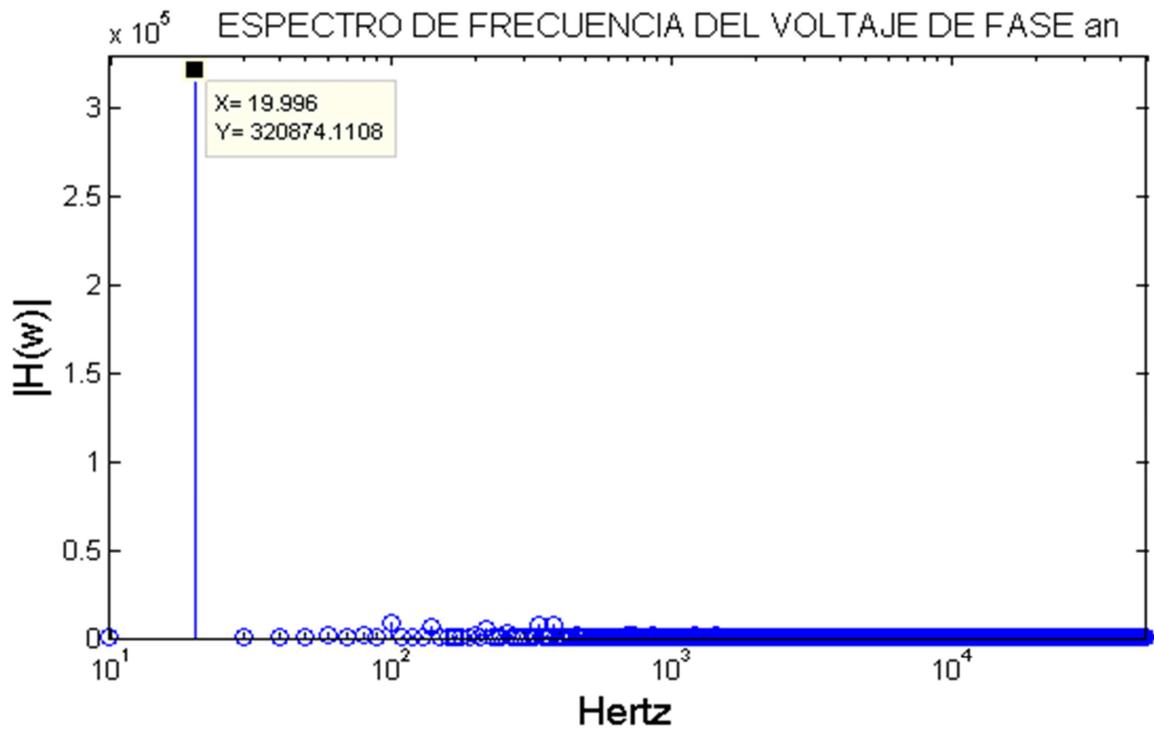


Figura 4.31 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.30

En la figura 4.32 se observa el espectro de frecuencia de la señal de la corriente de salida obtenida en pruebas de laboratorio con el CM con una referencia de voltaje de 20 Hz.

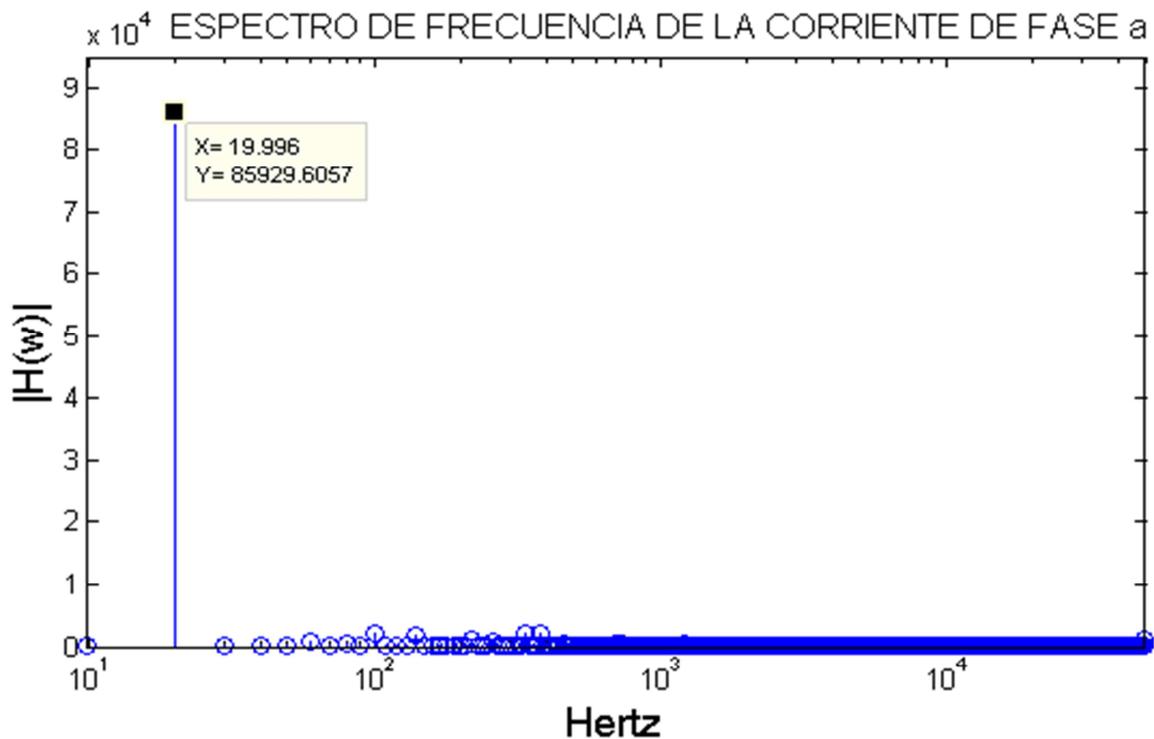
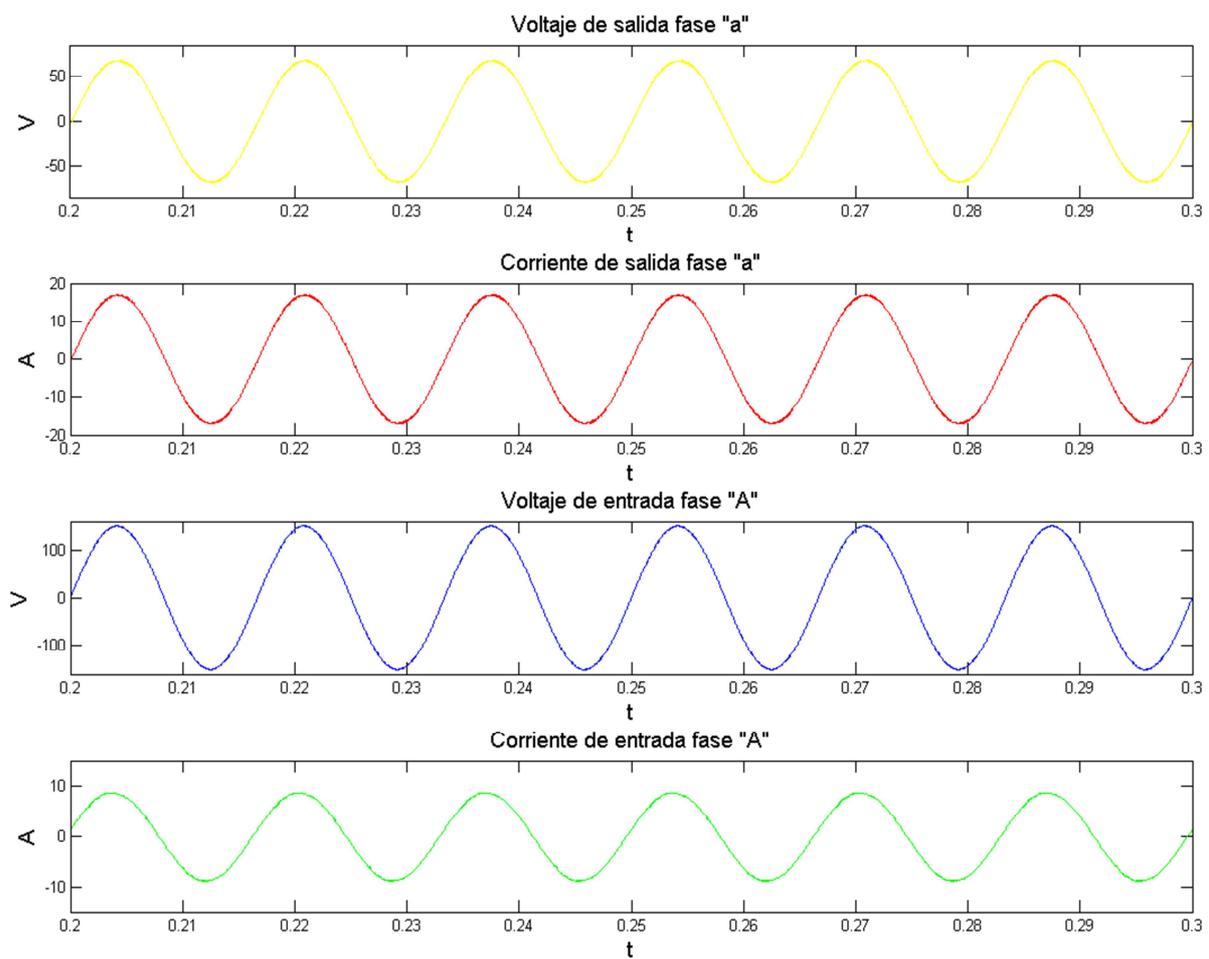


Figura 4.32 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.30

En la segunda prueba con carga y filtros de entrada y salida, se programó una señal de voltaje de referencia de amplitud 70 y frecuencia de 60 Hz. En la figura 4.33 se observa: El voltaje de la fase de salida ( , amarillo), la corriente de la fase de salida ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. Nuevamente se observa que el filtro de entrada evita la inyección de armónicos de corriente a la fuente de alimentación del CM, en este caso el VARIAC, por esto último las señales del voltaje y la corriente de entrada son prácticamente sinusoidales. Por otro lado las señales de salida del voltaje y de la corriente tienen un bajo contenido armónico debido al efecto del filtro de salida. La magnitud de la señal del voltaje de salida tiene una magnitud de 70 al igual que la señal de referencia programada.



**Figura 4.33** Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, con filtros y carga R

Nuevamente se realizó un análisis de frecuencia de las señales de salida obtenidas en la simulación con una señal de referencia de 60 Hz. En la figura 4.34 se presenta el espectro de frecuencia de la señal del voltaje de salida, se comprueba que la frecuencia fundamental es de 60 Hz y el contenido armónico es limitado por el filtro de salida.

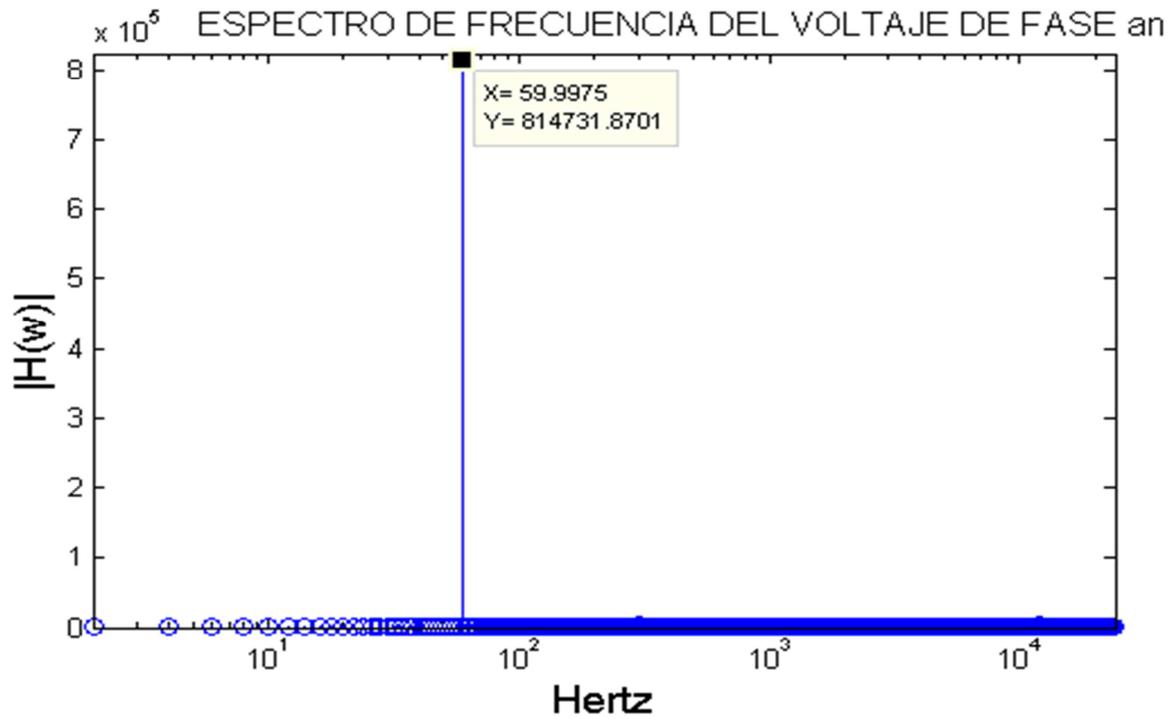


Figura 4.34 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.33

En la figura 4.35 se observa el espectro de frecuencia de la corriente de salida, se comprueba que la componente fundamental es de 60 Hz.

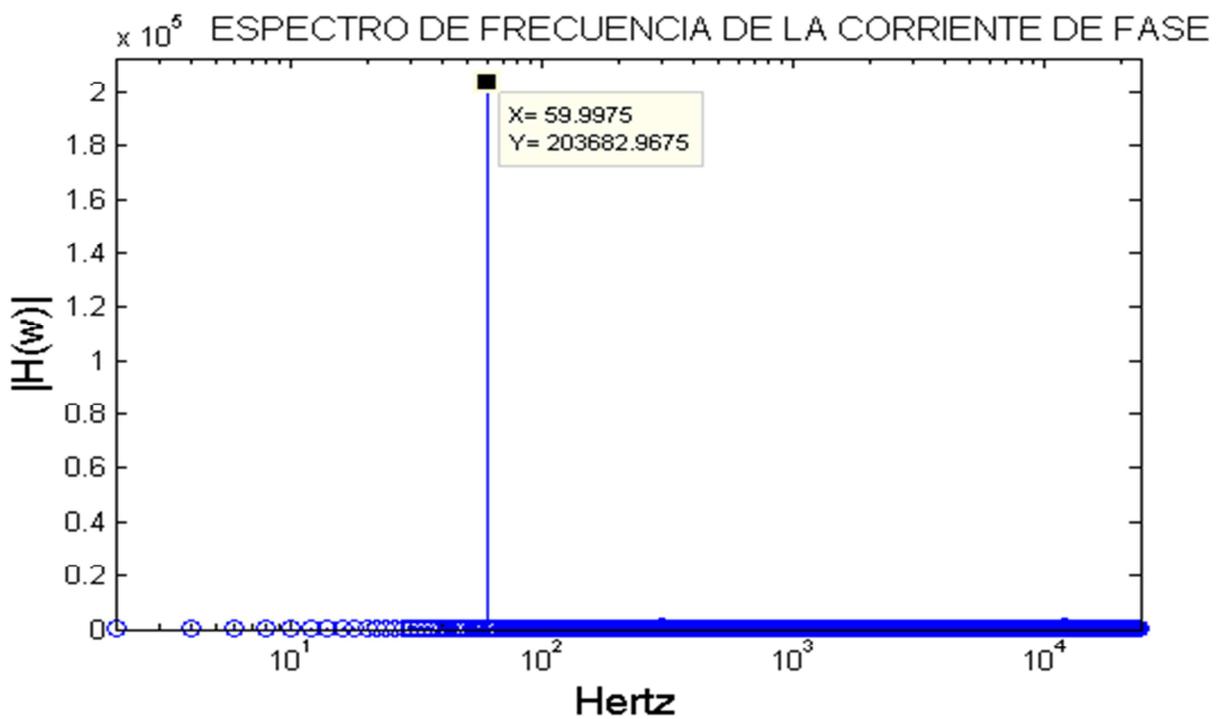


Figura 4.35 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.33

En la figura 4.36 se observan las mismas señales que en la figura 4.33, pero esta vez obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son similares a las obtenidas en simulación. Nuevamente se observa que el filtro de entrada atenúa los armónicos de corriente y voltaje, por lo que las señales del voltaje de entrada (azul) y la corriente de entrada (verde) tienen un bajo contenido armónico. Se puede notar un desfase entre la corriente y el voltaje de entrada, una vez más debido a la inductancia del VARIAC utilizado como fuente de alimentación y al filtro de entrada. El voltaje de salida (amarillo) tiene variaciones en su magnitud debido a que no hay un control de voltaje, sin embargo su contenido armónico es limitado al igual que el de la corriente de salida (rojo).

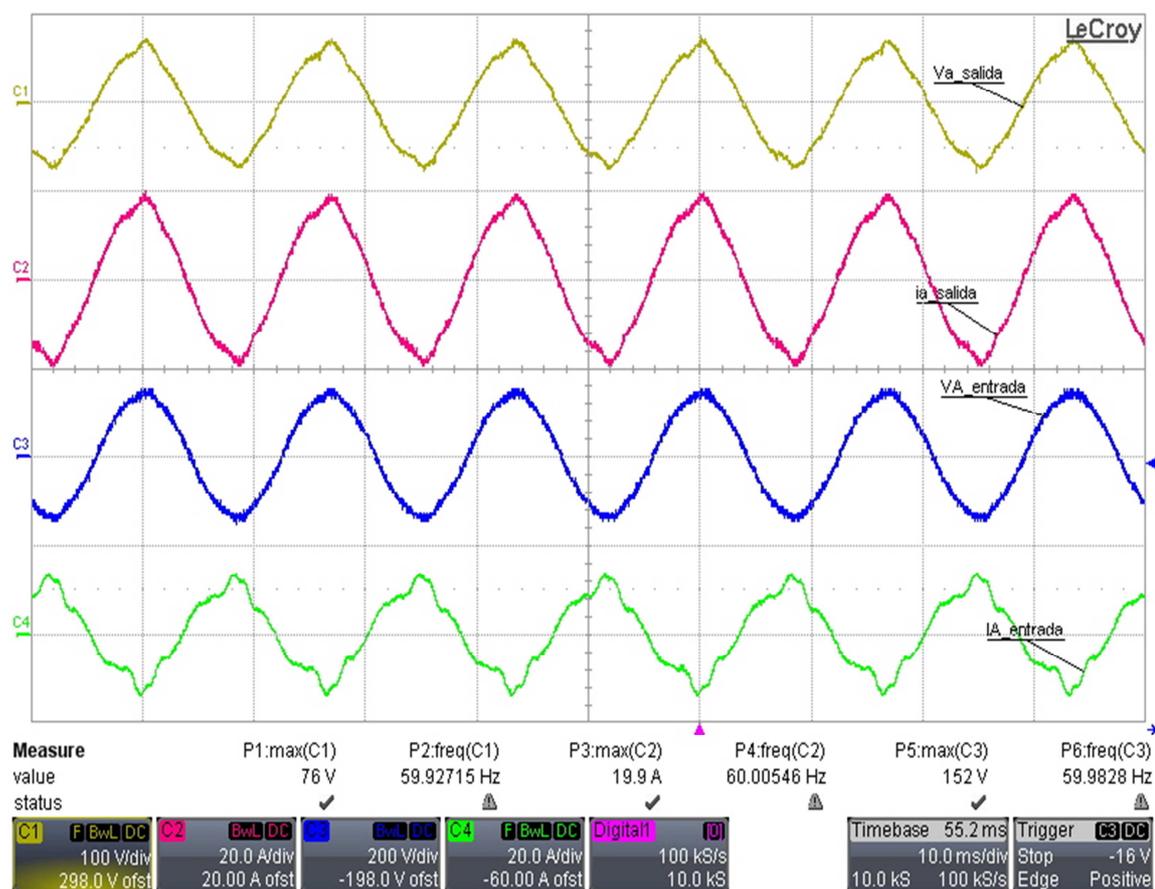


Figura 4.36 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, con filtros y carga R

Se realizó un análisis de frecuencia de las señales de salida obtenidas, de esta forma se comprobó que la frecuencia fundamental del voltaje y la corriente de salida es de 60 Hz como se programó en la señal del voltaje de referencia.

En la figura 4.37 se muestra el espectro de frecuencia de la señal del voltaje de salida, nuevamente se comprueba que tiene un contenido bajo de armónicos.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

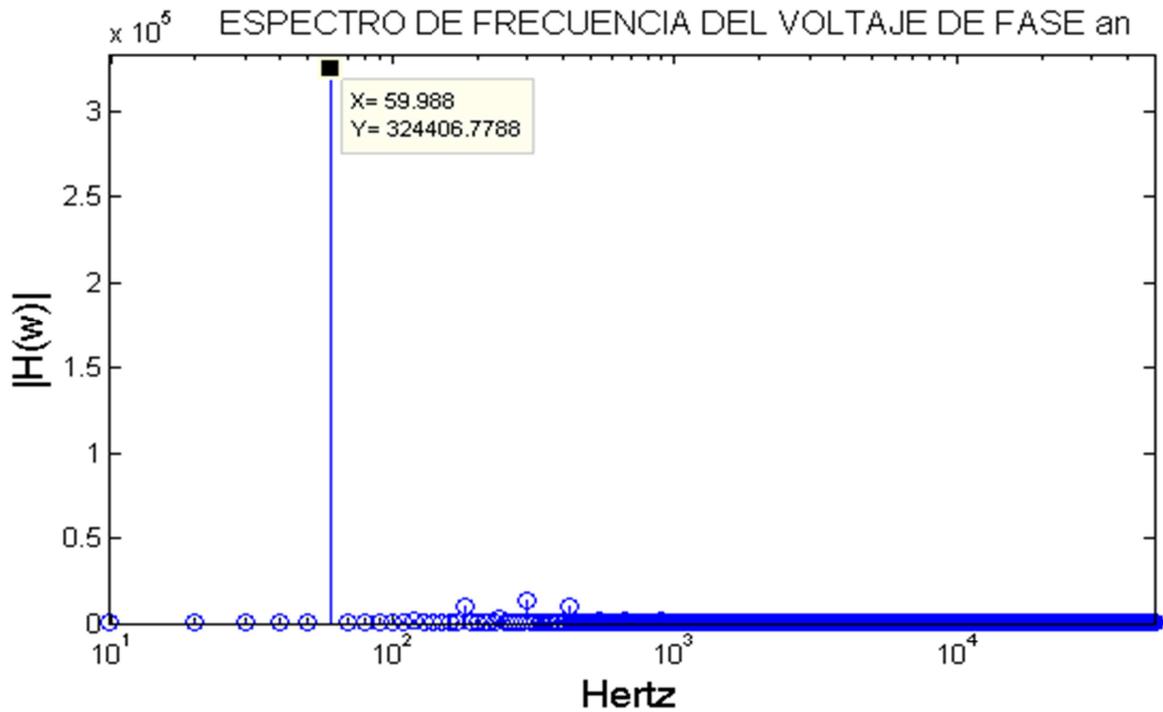


Figura 4. 37 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.36

En la figura 4.38 se presenta el espectro de frecuencia de la señal de corriente de salida, se comprueba que la componente fundamental es de 60 Hz.

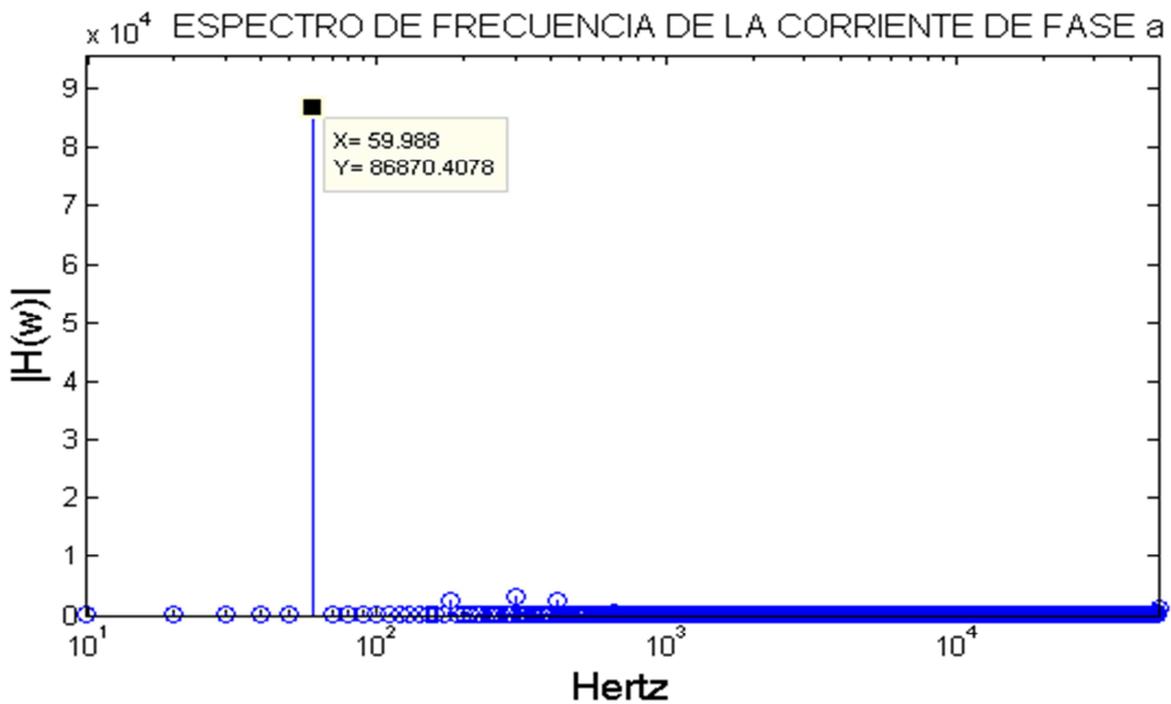
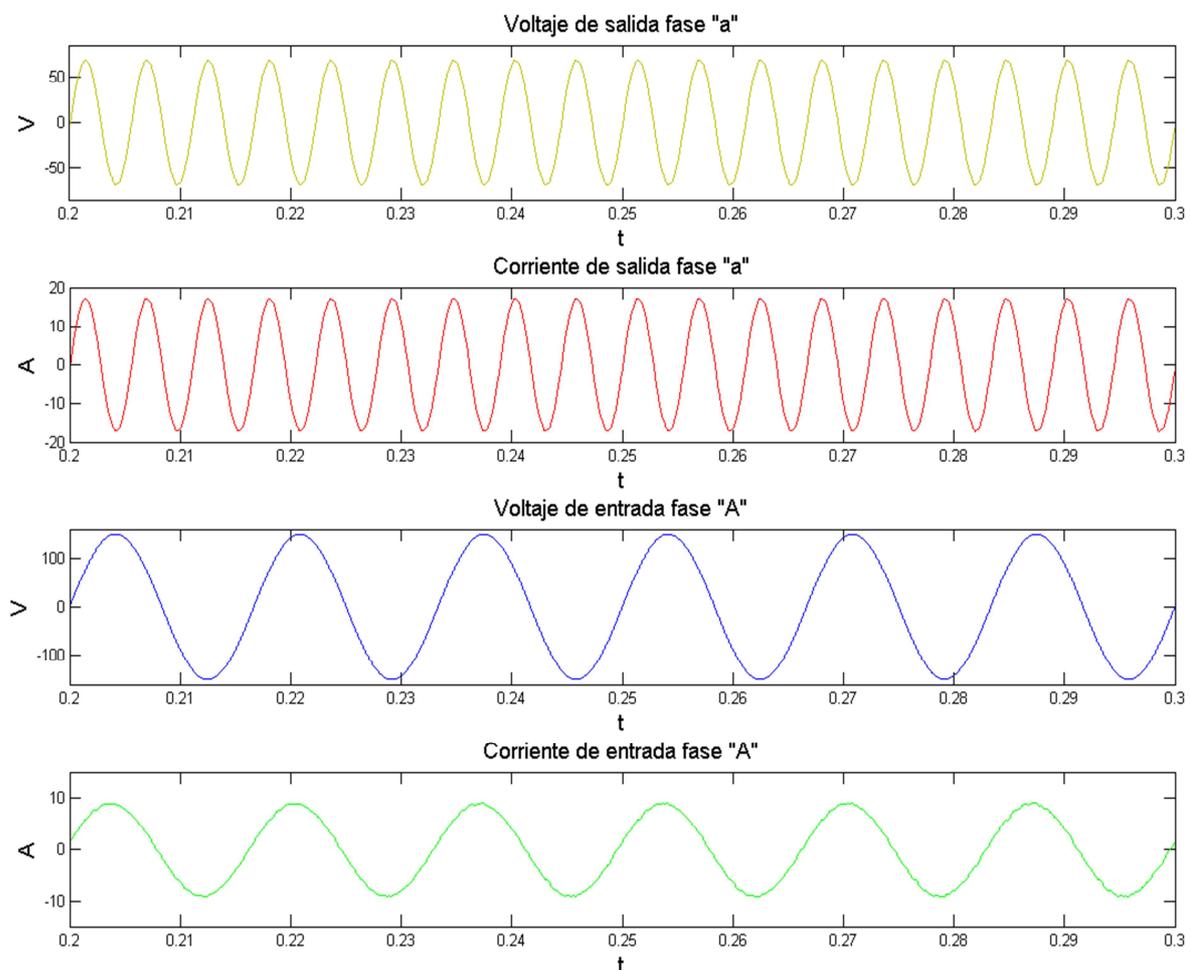


Figura 4. 38 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.36

Como última prueba con filtros y carga, se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 180 Hz. En la figura 4.39 se observa: El voltaje de la fase de salida (, amarillo), la corriente de la fase de salida (, rojo), el voltaje de fase de la entrada (, azul) y la corriente de fase de entrada (, verde) obtenidos en simulación. De la misma manera que en las pruebas anteriores el filtro de entrada se encarga de evitar la inyección de armónicos de corriente a la fuente de alimentación. Las señales del voltaje de entrada y de la corriente de salida nuevamente presentan un contenido bajo de armónicos, sin embargo se observa un desfase ocasionado por la inductancia del VARIAC. En cuanto a las señales de salida, no existe un desfase debido al tipo de carga. Las señales de salida son prácticamente sinusoidales debido al efecto del filtro de salida.



**Figura 4.39** Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, con filtros y carga R

En la figura 4.40 se muestra el espectro de frecuencia del voltaje de salida de la fase obtenido mediante simulación con una señal de voltaje de referencia de 180 Hz, se comprueba que la frecuencia fundamental del voltaje en la carga es de 180 Hz y que el contenido armónico es limitado debido al efecto del filtro de salida.

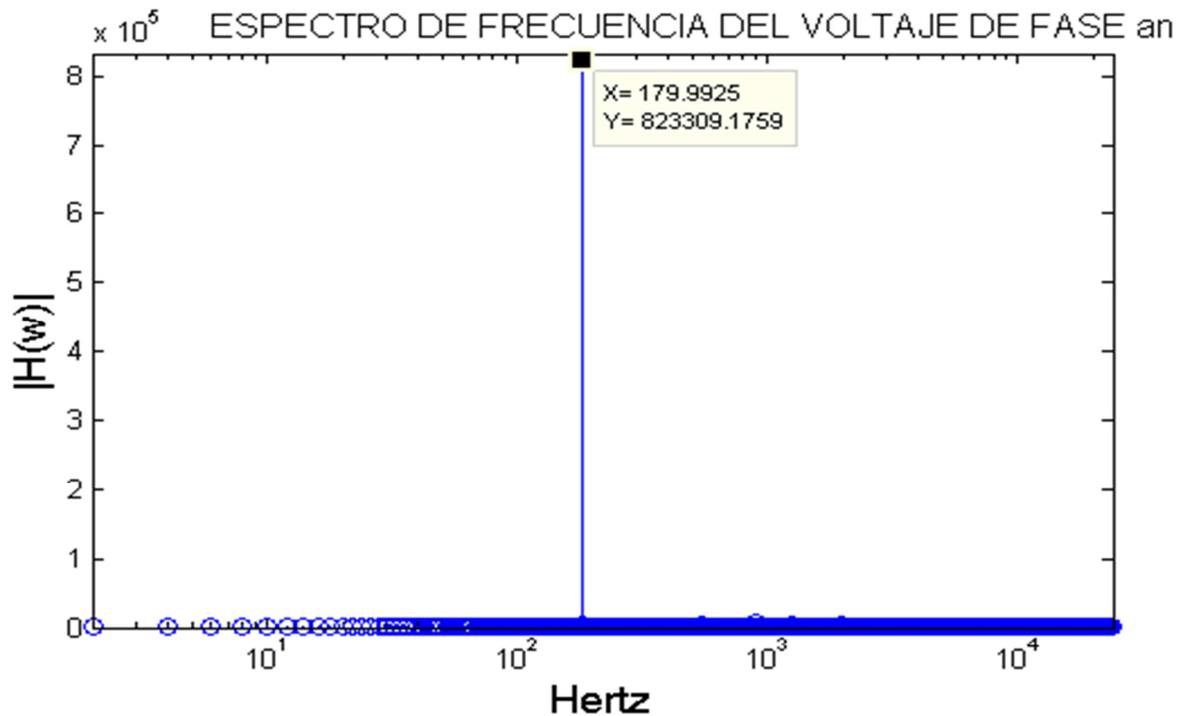


Figura 4.40 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.39

En la figura 4.41 se observa el espectro de frecuencia de la corriente de salida de la fase . Al igual que en la señal de voltaje de salida, la frecuencia fundamental de la señal de corriente de salida es de 180 Hz.

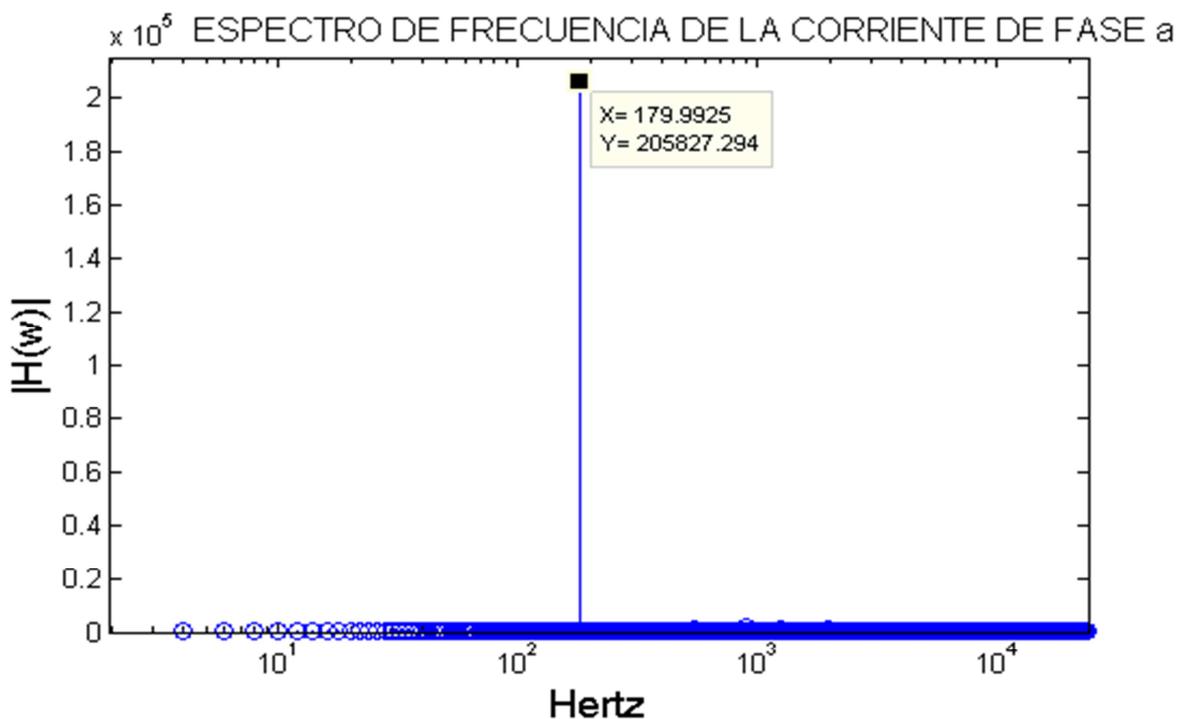


Figura 4.41 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.39

Finalmente en la figura 4.42 se observan las mismas señales que en la figura 4.39, pero obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales nuevamente son similares a las obtenidas en simulación. Se observa que el contenido armónico de las señales de salida es limitado, de la misma forma se observa que el valor pico del voltaje en la carga es de 72 V, nuevamente se debe a la falta de un lazo cerrado de control. En cuanto a las señales de entrada, se observa que el filtro de salida nuevamente atenúa los armónicos de voltaje y corriente. Existe un desfaseamiento entre la corriente y el voltaje de entrada, el cual es causado por la inductancia del VARIAC y por el filtro de entrada.

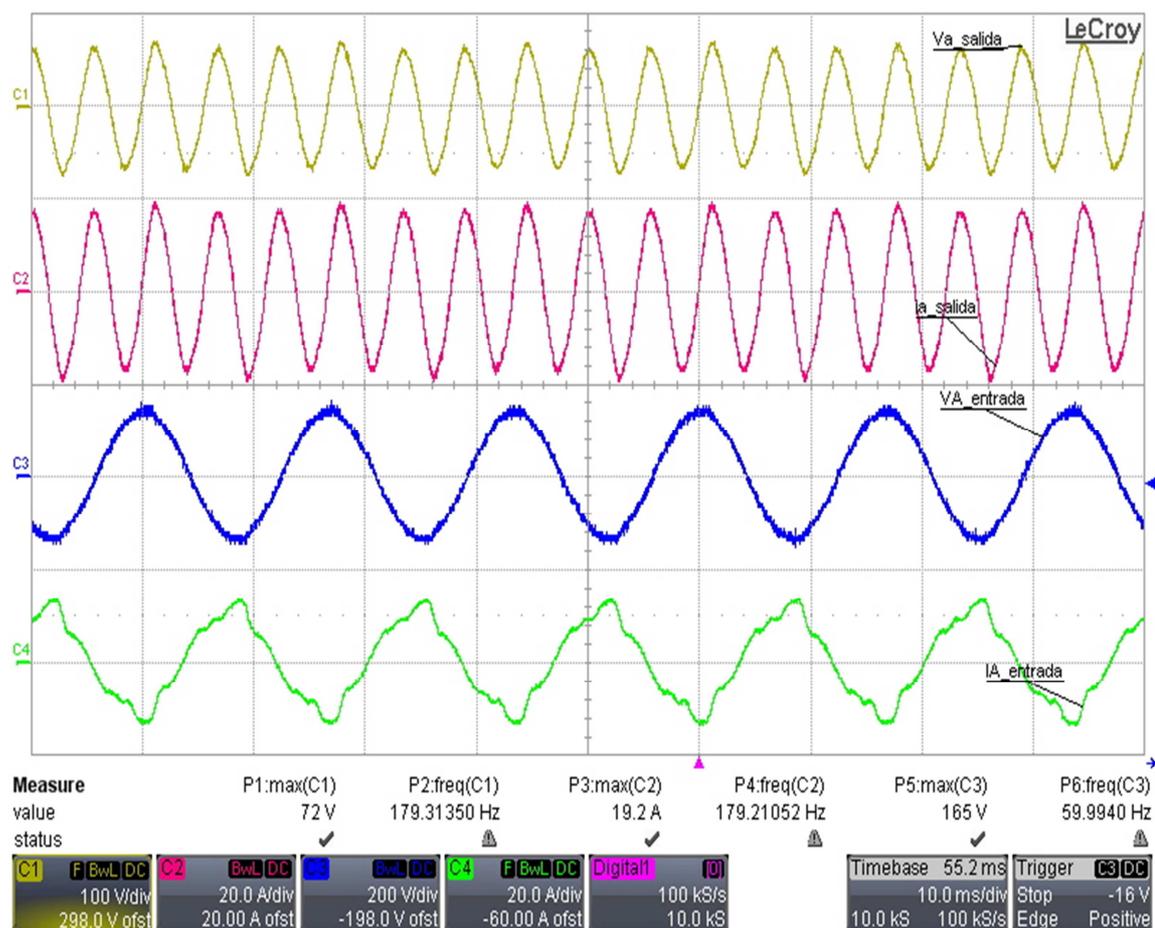


Figura 4.42 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, con filtros y carga R

En esta última prueba se programó una señal de voltaje de referencia de 180 Hz. Para comprobar que la frecuencia fundamental de las señales de salida obtenidas tenga una componente fundamental de 180 Hz, se realizó un análisis de frecuencia de la señal de la corriente y la señal del voltaje de salida de la fase . En la figura 4.43 se presenta el espectro de frecuencia de la señal de voltaje de salida de la fase obtenida en pruebas experimentales.

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

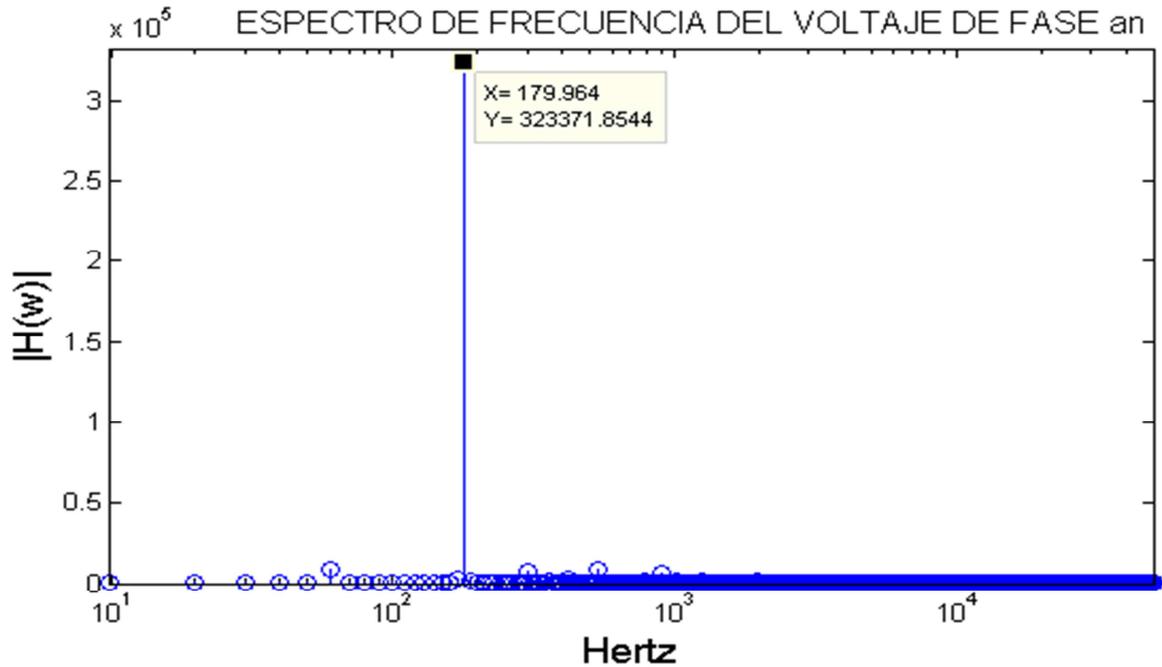


Figura 4.43 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.42

En la figura 4.44 se muestra el espectro de frecuencia de la señal de la corriente de salida obtenida en simulación utilizando una señal de referencia de 180 Hz, se observa que la frecuencia fundamental es de 180 Hz.

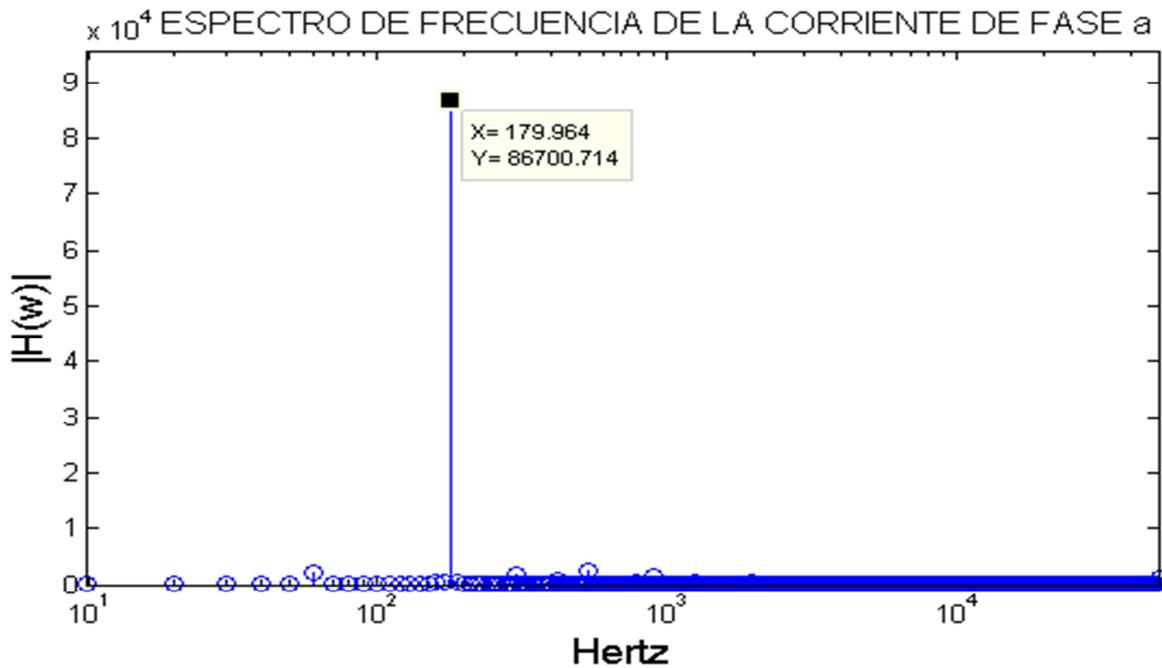


Figura 4.44 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.42

En todas las pruebas realizadas con filtros y con carga se observa que la corriente de salida y el voltaje en la carga están en fase. También se observa que las señales de

salida tienen una forma prácticamente sinusoidal debido a la función del filtro, el cual atenúa los armónicos de corriente y voltaje. La amplitud de la señal del voltaje de referencia fue establecida como 70 V, sin embargo la amplitud del voltaje de salida obtenido presentó ligeras variaciones debido a que las pruebas se realizaron en lazo abierto. La frecuencia fundamental de todas las señales obtenidas de salida coincidió con la frecuencia de la señal de referencia programada. En cuanto a las señales de entrada obtenidas en simulaciones, se observa un desfase entre el voltaje y la corriente debido al capacitor del filtro de entrada. En las formas de onda obtenidas experimentalmente, se puede notar que este desfase es aún mayor debido al capacitor del filtro y al VARIAC utilizado como fuente de alimentación.

#### 4.6 Resultados con carga RL con filtros de entrada y salida

Posteriormente se realizaron pruebas con carga RL, de esta forma se comprobó que este tipo de convertidor electrónico tiene posibles aplicaciones en el control de motores. Las pruebas con carga RL se realizaron en lazo abierto con el uso de los filtros diseñados. En la primera prueba se programó una señal de voltaje de referencia de amplitud 70 V y una frecuencia de 20 Hz. En la figura 4.45 se observa: El voltaje de la fase de salida (V, amarillo), la corriente de la fase de salida (A, rojo), el voltaje de la fase de entrada (V, azul) y la corriente de la fase de entrada (A, verde) obtenidos en simulación.

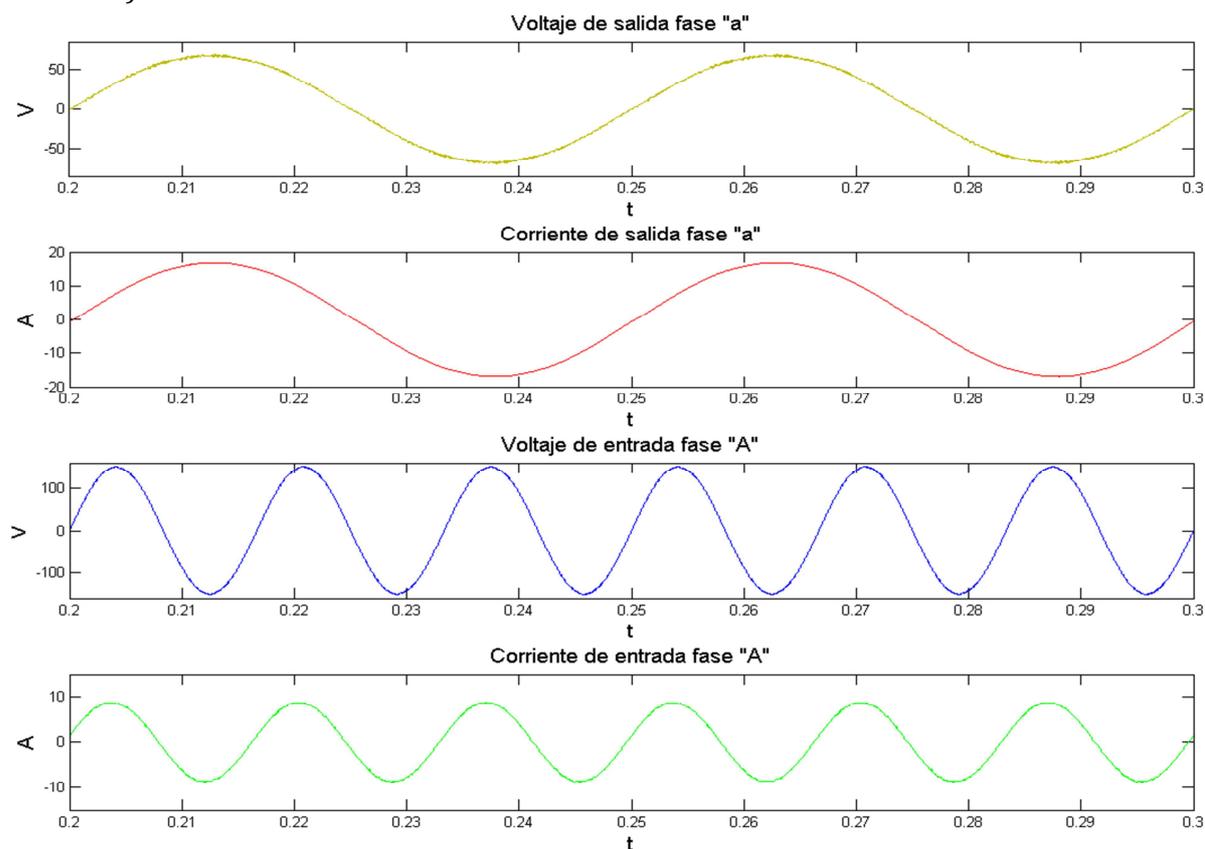


Figura 4. 45 Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 20 Hz, con filtros y carga RL

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

Las señales obtenidas en esta simulación son similares a las obtenidas con carga, sin embargo en esta figura se puede notar un desfase entre el voltaje y la corriente de salida debido a la inductancia de la carga.

En la figura 4.46 se presenta el espectro de frecuencia de la señal del voltaje en la carga y en la figura 4.47 se muestra el espectro de frecuencia de la corriente de salida, se comprueba que sus frecuencias fundamentales son de 20 Hz y que su contenido armónico es limitado.

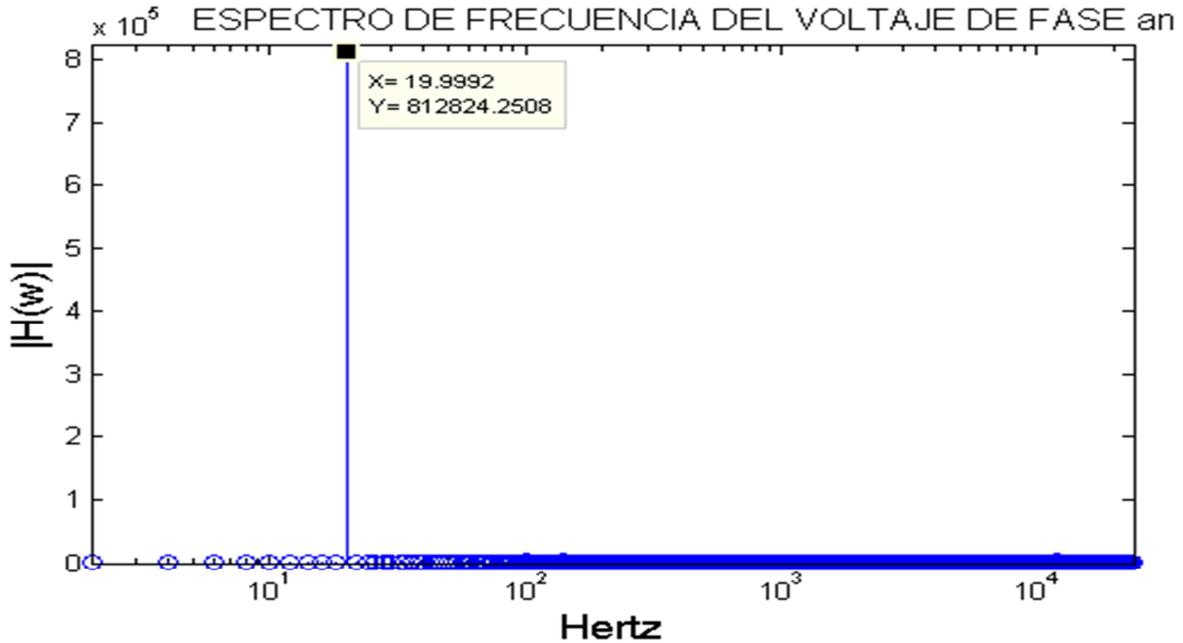


Figura 4.46 Espectro de frecuencia del voltaje de salida ( $V_a$ ) de la figura 4.45

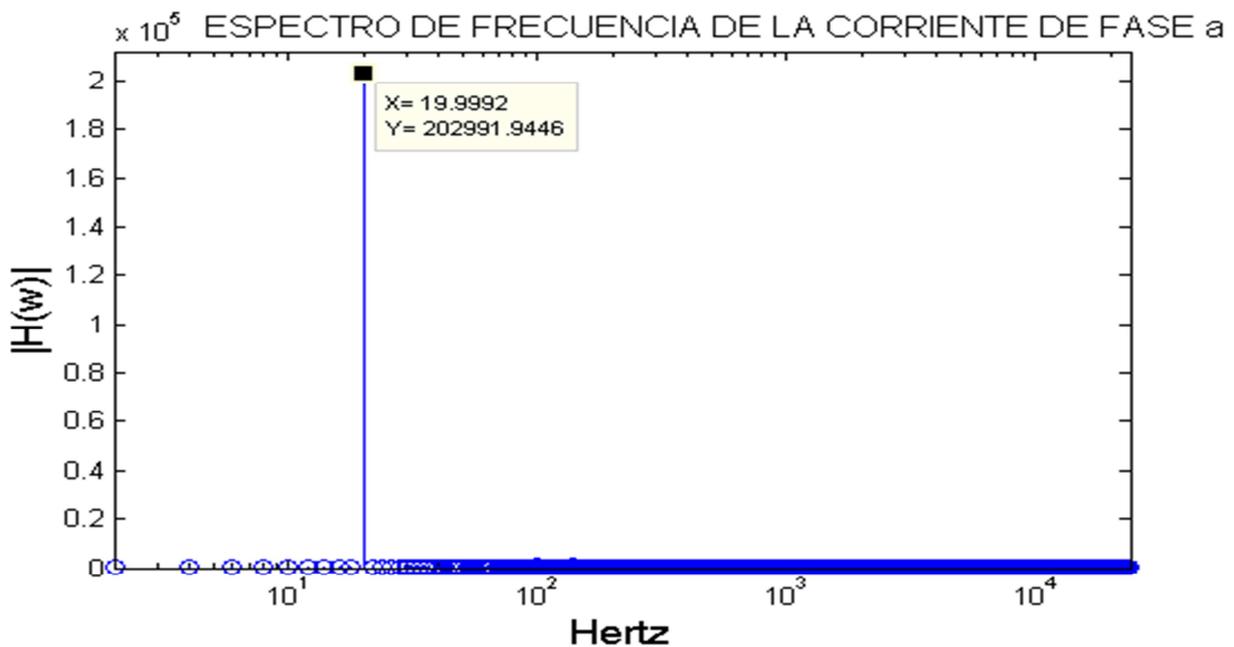


Figura 4.47 Espectro de frecuencia de la corriente de salida ( $i_a$ ) de la figura 4.45

En la figura 4.48 se observan las mismas señales de la figura 4.45, pero obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son similares a las obtenidas en simulación. La señal de voltaje de salida (amarillo) tiene un contenido armónico bajo debido al filtro de salida, lo mismo ocurre con la señal de la corriente de salida (rojo), se comprueba que la señal de la corriente de entrada (verde) tiene un menor contenido armónico debido al filtro de entrada, la señal del voltaje de entrada (azul) también se muestra con una menor distorsión.

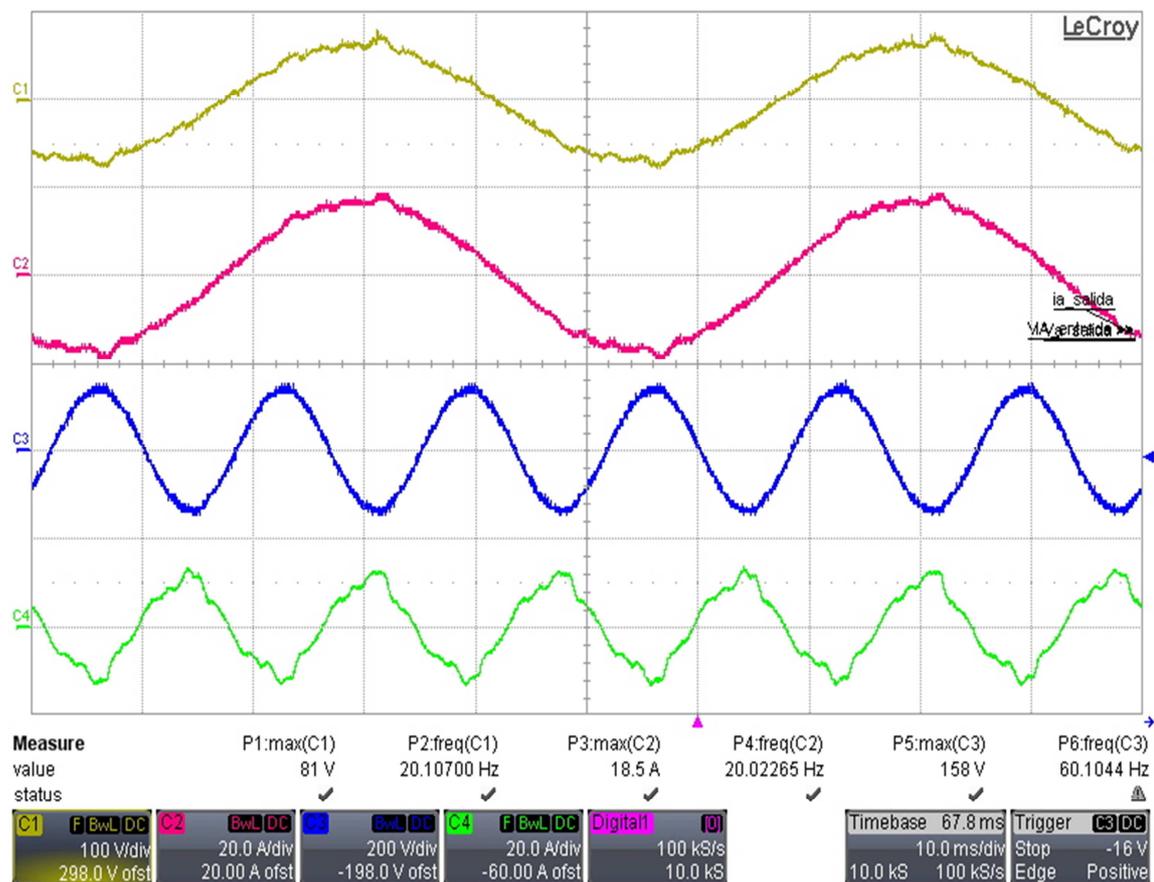


Figura 4.48 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 20 Hz, con filtros y carga RL

Nuevamente se realizó un análisis de frecuencia de las señales de voltaje y corriente de salida con el fin de observar su contenido armónico. En la figura 4.49 se presenta el espectro de frecuencia del voltaje en la carga, se observa una frecuencia fundamental de 20 Hz como se programó en la señal de referencia, también se observa que el filtro de entrada atenuó una gran parte del contenido armónico.

En la figura 4.50 se muestra el espectro de frecuencia de la corriente de salida de la fase , al igual que la señal del voltaje de salida tiene una frecuencia fundamental de 20 Hz como la señal de referencia programada.

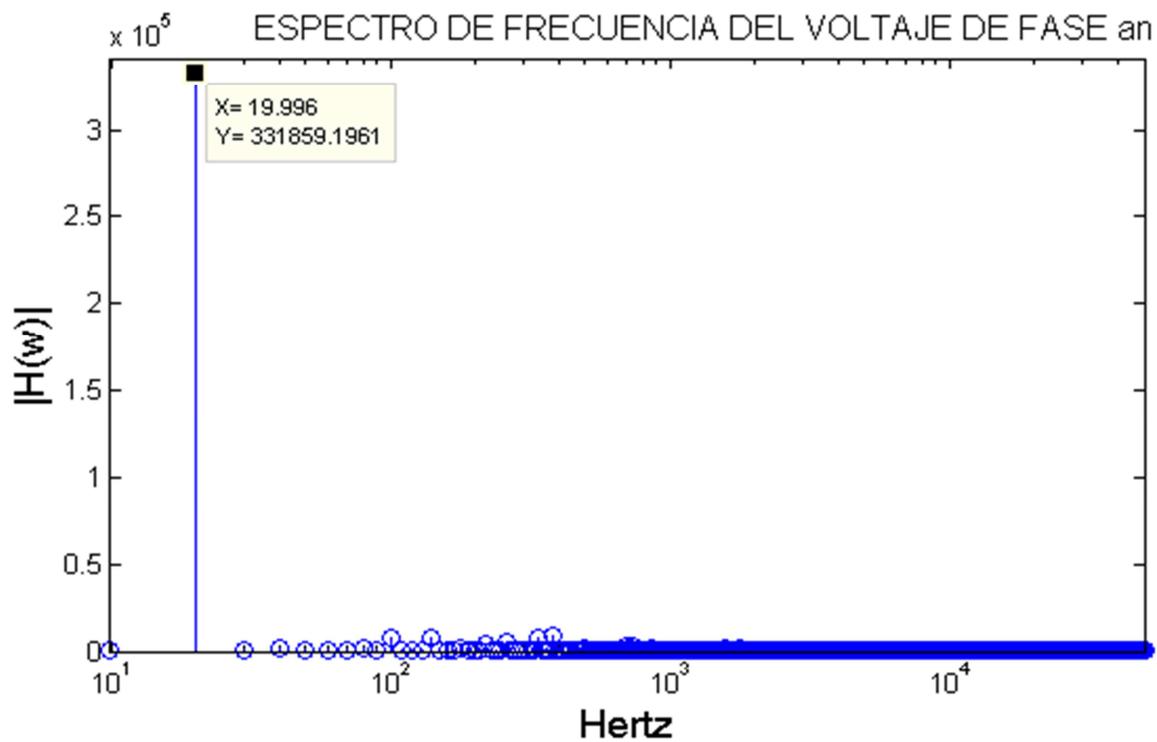


Figura 4.49 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.48

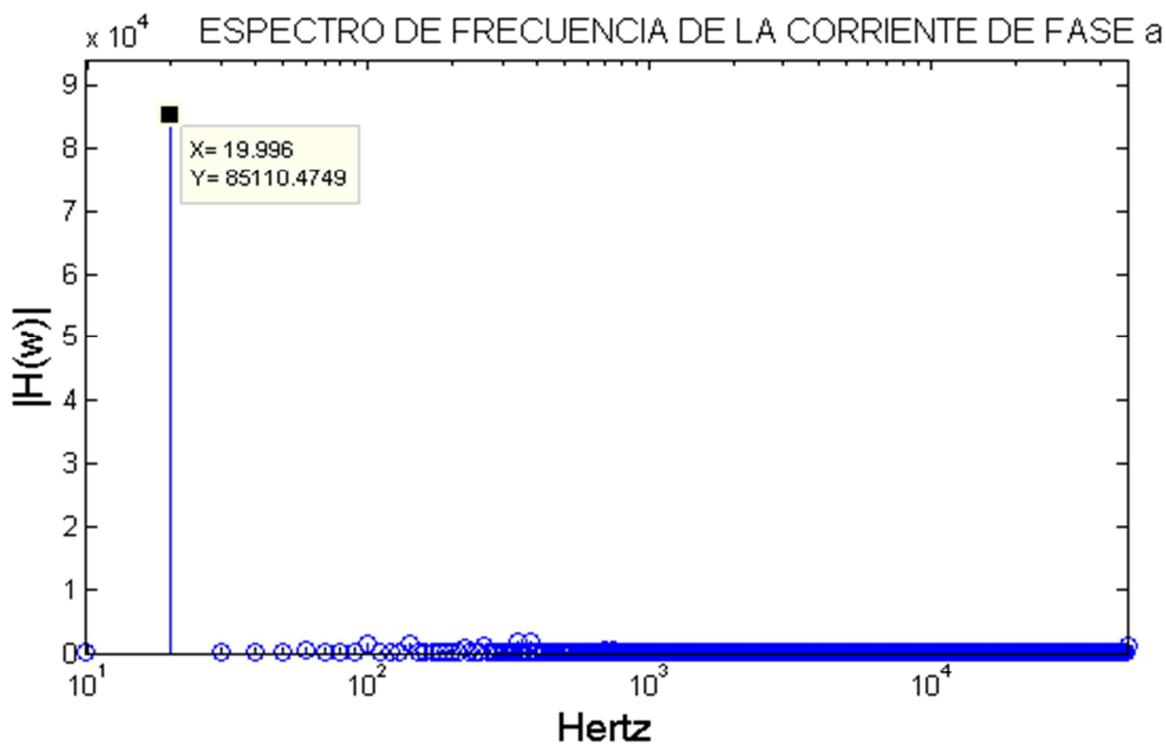
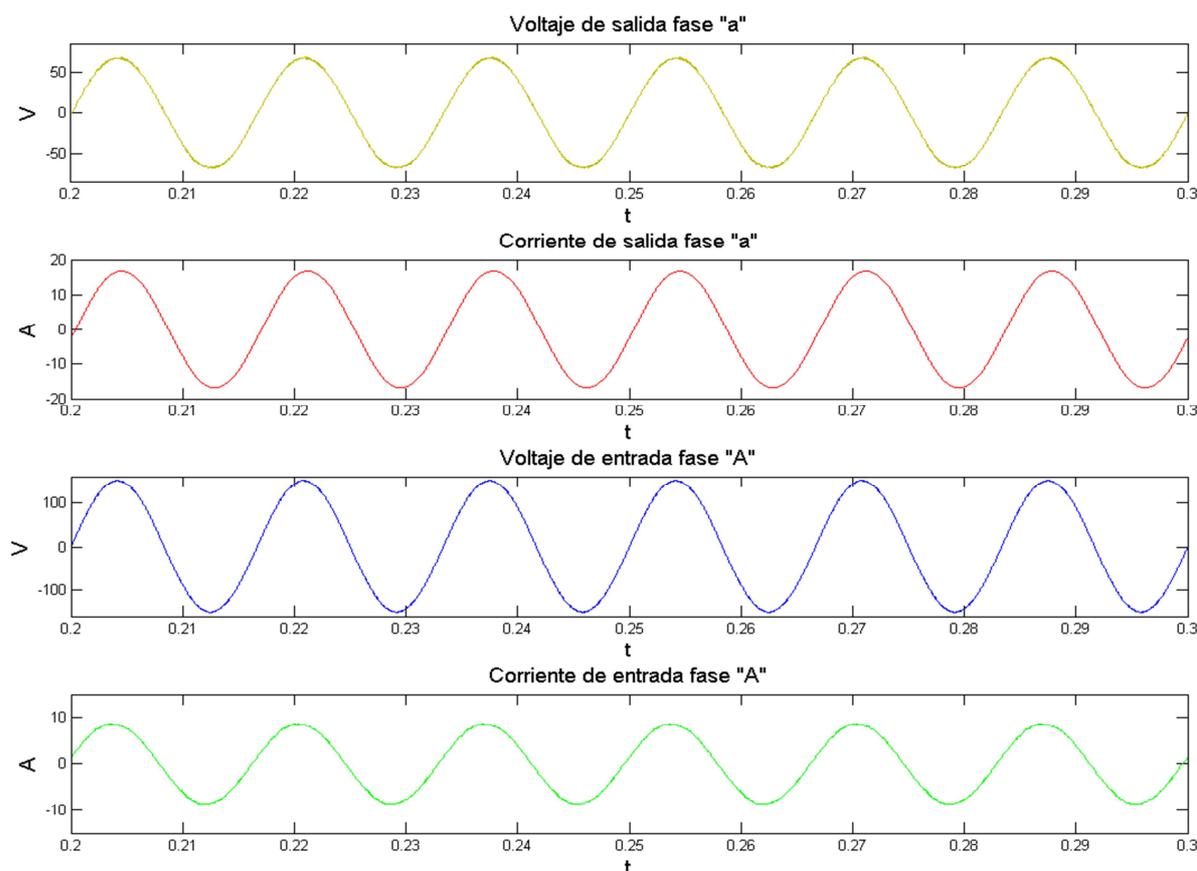


Figura 4.50 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.45

En la segunda prueba con carga y filtros de entrada y salida, se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 60 Hz. En la figura 4.51 se observa: El voltaje de la fase de salida ( , amarillo), la corriente de la fase de salida ( , rojo), el voltaje de la fase de entrada ( , azul) y la corriente de la fase de entrada ( , verde) obtenidos en simulación. De nueva cuenta el filtro de entrada y salida permiten que las señales de los voltajes de entrada y salida sean sinusoidales, se observa un desfase entre el voltaje y la corriente de salida debido al tipo de carga y un desfase entre las señales de voltaje y corriente de entrada debido a la presencia del filtro de entrada.



**Figura 4. 51** Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 60 Hz, con filtros y carga RL

En la figura anterior también se observa que la amplitud del voltaje de salida coincide con la referencia del voltaje de salida.

Se realizó un análisis de frecuencia de la señal del voltaje de salida. En la figura 4.52 se muestra el espectro de frecuencia de esta señal, se comprueba que la componente fundamental es de 60 Hz como la frecuencia de la señal de referencia y que el contenido armónico es bajo debido al filtro de salida. En la figura 4.53 se muestra el espectro de frecuencia de la corriente de salida, de la misma forma que en la señal de voltaje, la frecuencia fundamental es de 60 Hz.

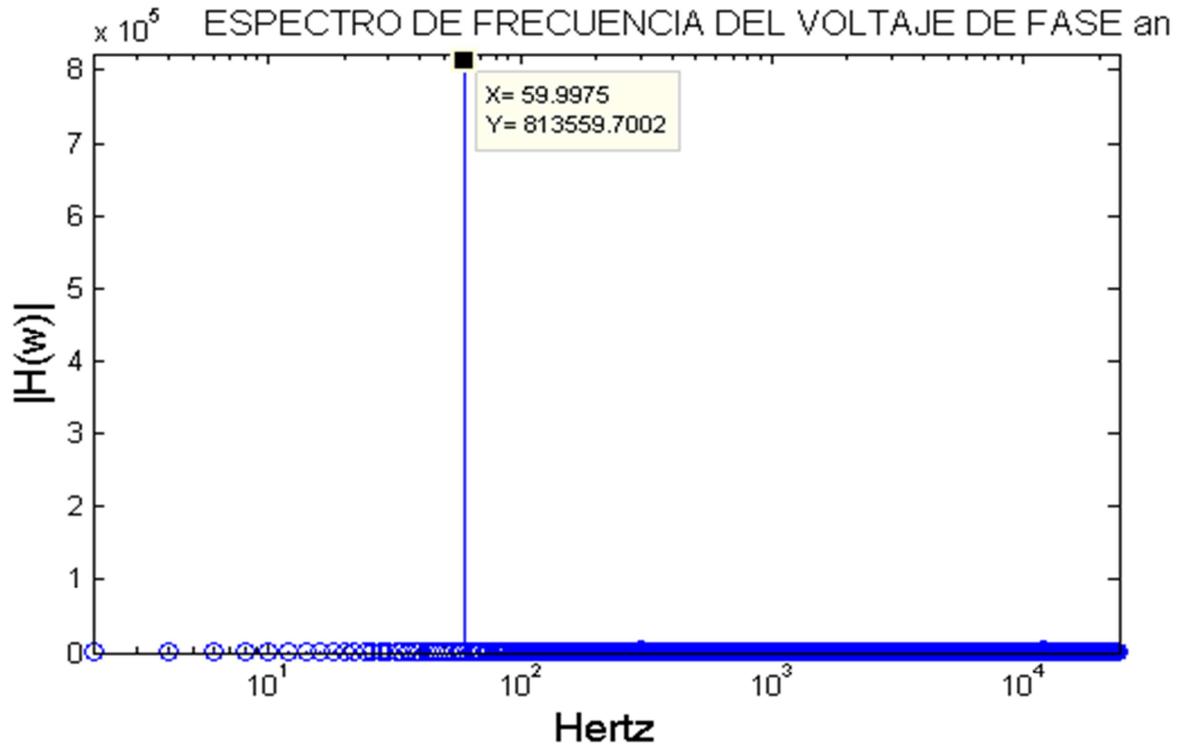


Figura 4. 52 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.51

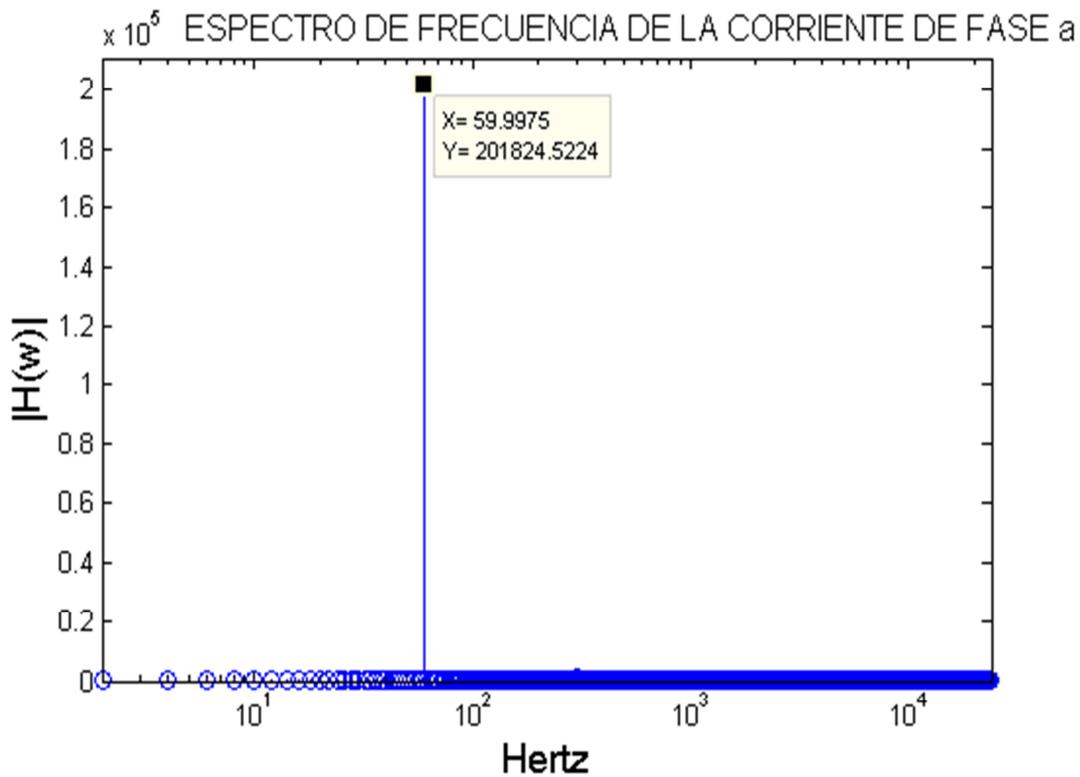


Figura 4. 53 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.51

En la figura 4.54 se observan las mismas señales que en la figura 4.51, pero esta vez obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales son similares a las obtenidas en simulación. Nuevamente se observa que el filtro de entrada limita los armónicos de corriente y voltaje, por lo que las señales del voltaje de entrada (azul) y la corriente de entrada (verde) tienen un bajo contenido armónico. Se puede notar un desfase entre la corriente y el voltaje de entrada, una vez más debido a la inductancia del VARIAC utilizado como fuente de alimentación y al filtro de entrada. El voltaje de salida (amarillo) tiene variaciones en su magnitud debido a que no hay un control de voltaje, sin embargo su contenido armónico es limitado al igual que el de la corriente de salida (rojo).

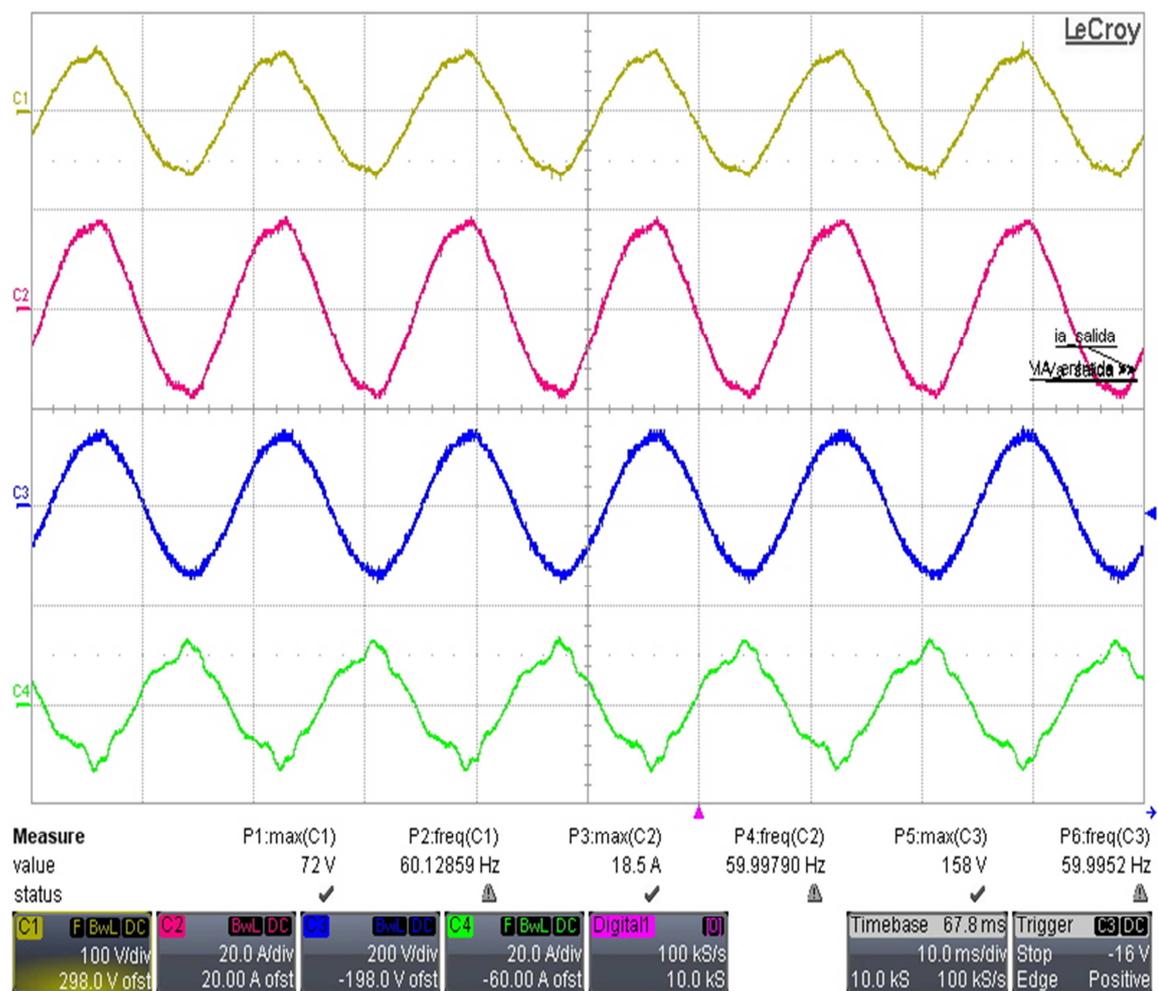


Figura 4.54 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 60 Hz, con filtros y carga RL

En la figura 4.55 se muestra el espectro de frecuencia de la señal del voltaje en la carga, se comprueba que tiene una componente fundamental de 60 Hz y un contenido armónico bajo.

En la figura 4.56 se presenta el espectro de la señal de la corriente de salida, se observa que la frecuencia fundamental es de 60Hz y contenido armónico bajo.

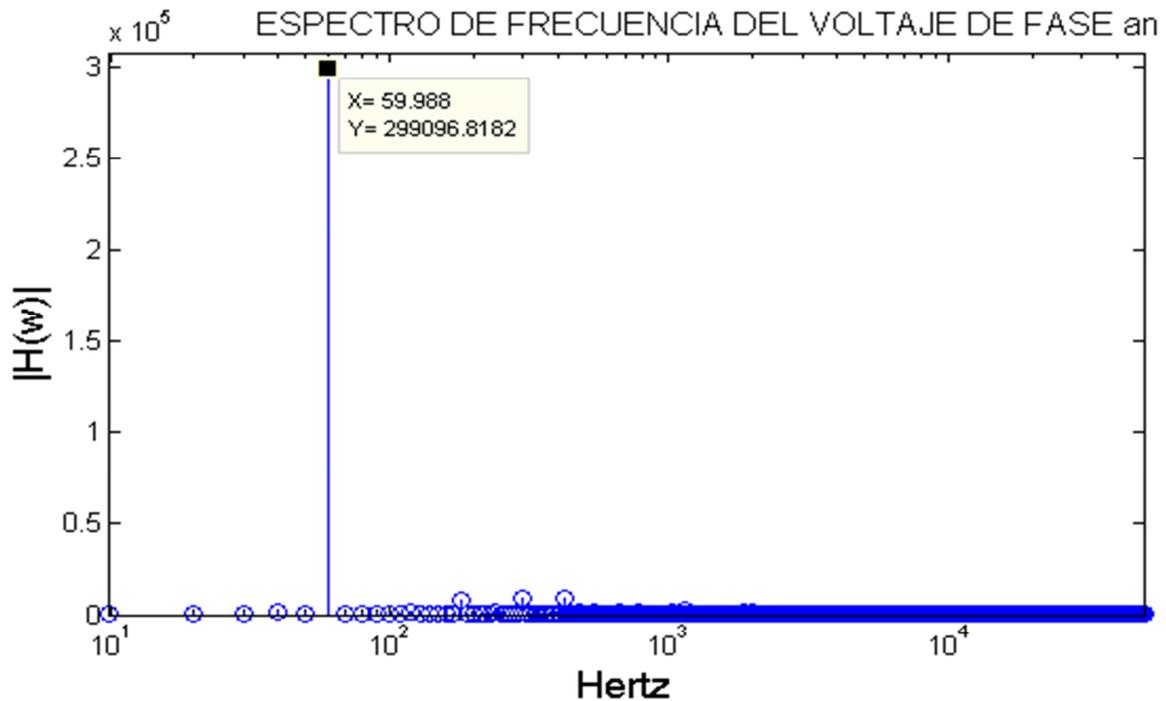


Figura 4.55 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.54

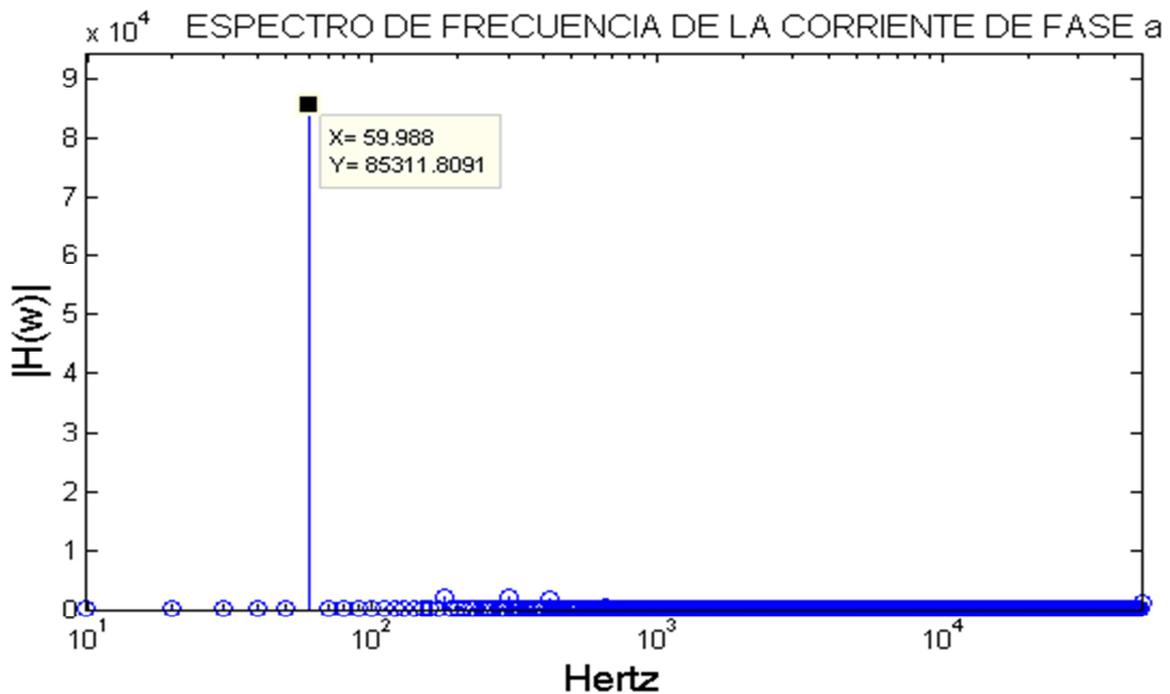
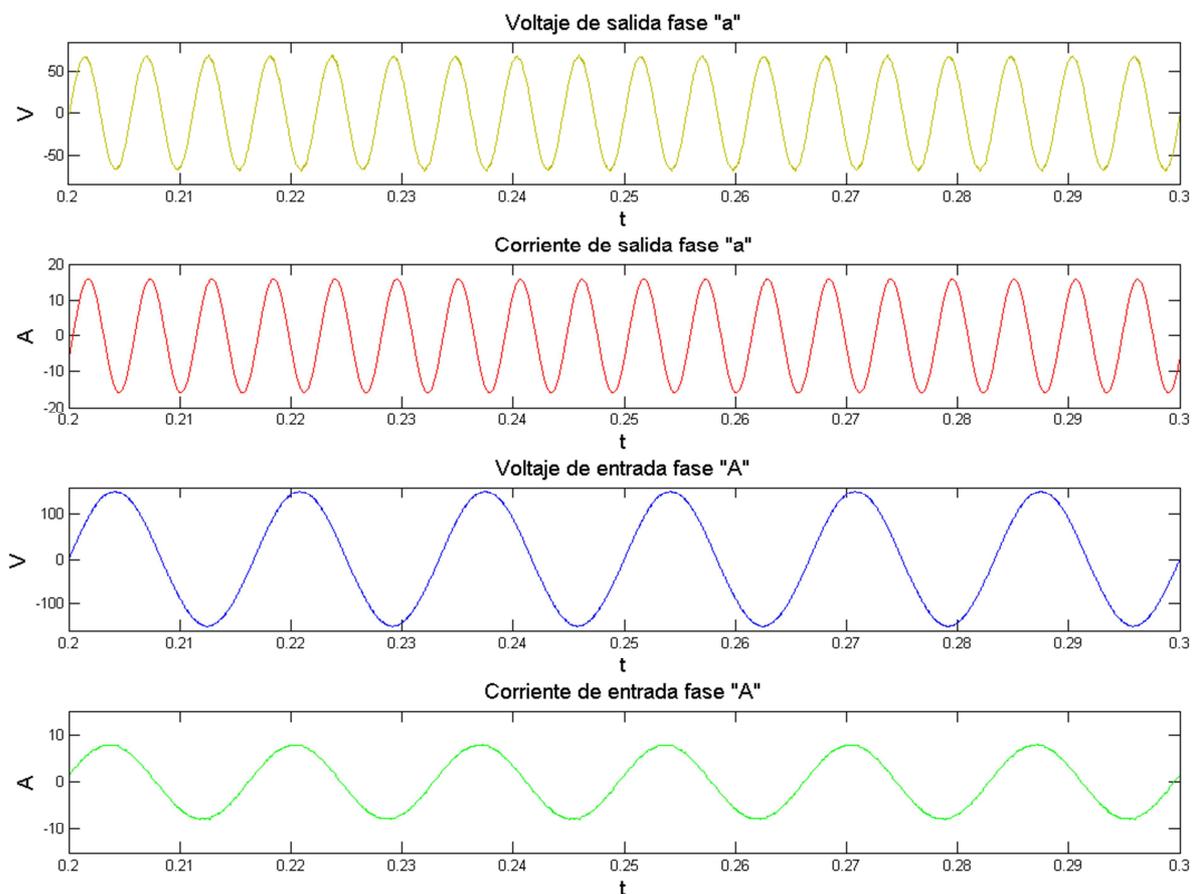


Figura 4.56 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.54

Como última prueba con filtros y carga, se programó una señal de voltaje de referencia de amplitud 70 y una frecuencia de 180 Hz. En la figura 4.57 se observa: El voltaje de la fase de salida (, amarillo), la corriente de la fase de salida (, rojo), el voltaje de la fase de entrada (, azul) y la corriente de la fase de entrada (, verde) obtenidos en simulación. Se observa que la amplitud del voltaje en la carga es de 70 como se programó en la señal de referencia. Nuevamente se observa un desfase entre la corriente de salida y el voltaje en la carga. Las señales de voltaje y corriente de salida tienen un contenido armónico bajo debido a la atenuación de los armónicos de voltaje y corriente realizada por el filtro de salida. En cuanto a las señales de entrada, se puede observar una atenuación de los armónicos de corriente debido al filtro de entrada. El filtro de entrada también ocasiona un desfase entre el voltaje y la corriente de entrada.



**Figura 4.57** Formas de onda obtenidas en simulación con una señal de voltaje de referencia de 180 Hz, con filtros y carga RL

En la figura 4.58 se muestra el espectro de frecuencia de la señal del voltaje en la carga, se comprueba que la componente fundamental es de 180 Hz, además se observa un contenido armónico bajo.

En la figura 4.59 se presenta el espectro de frecuencia de la corriente de salida, se observa que la frecuencia fundamental es de 180 Hz.

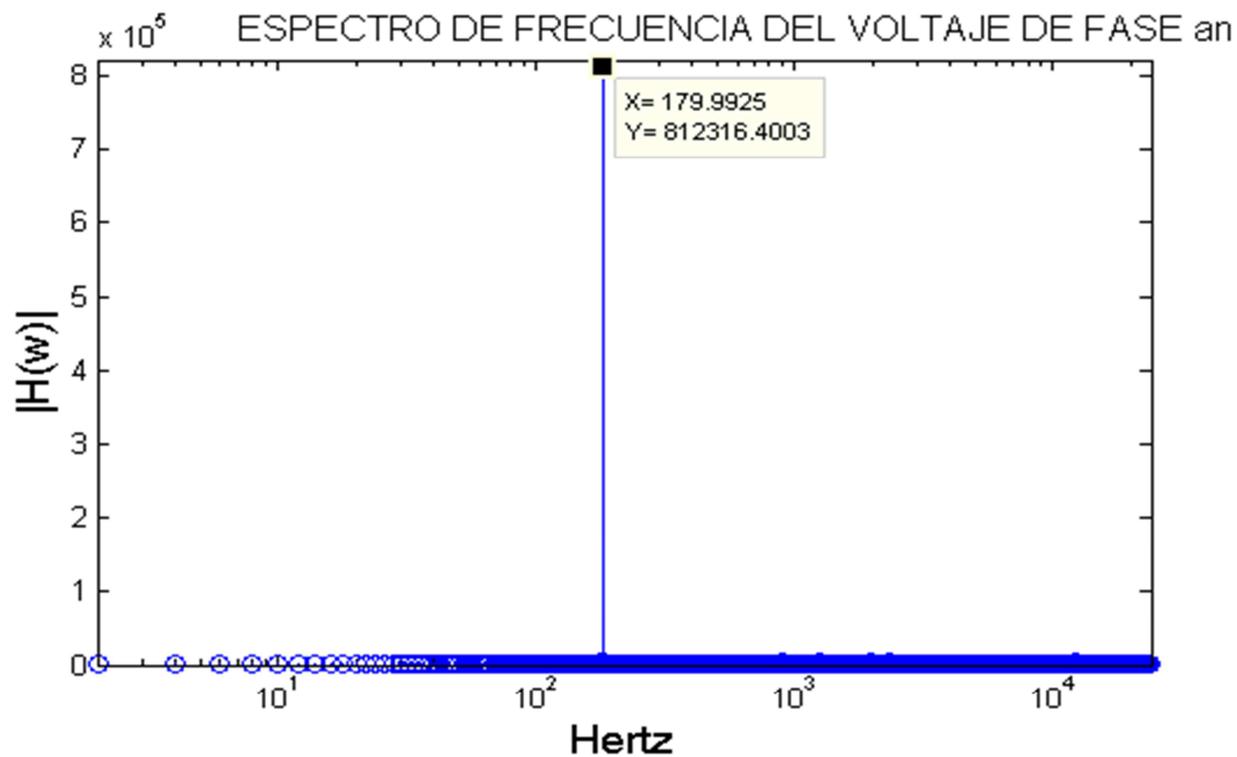


Figura 4.58 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.57

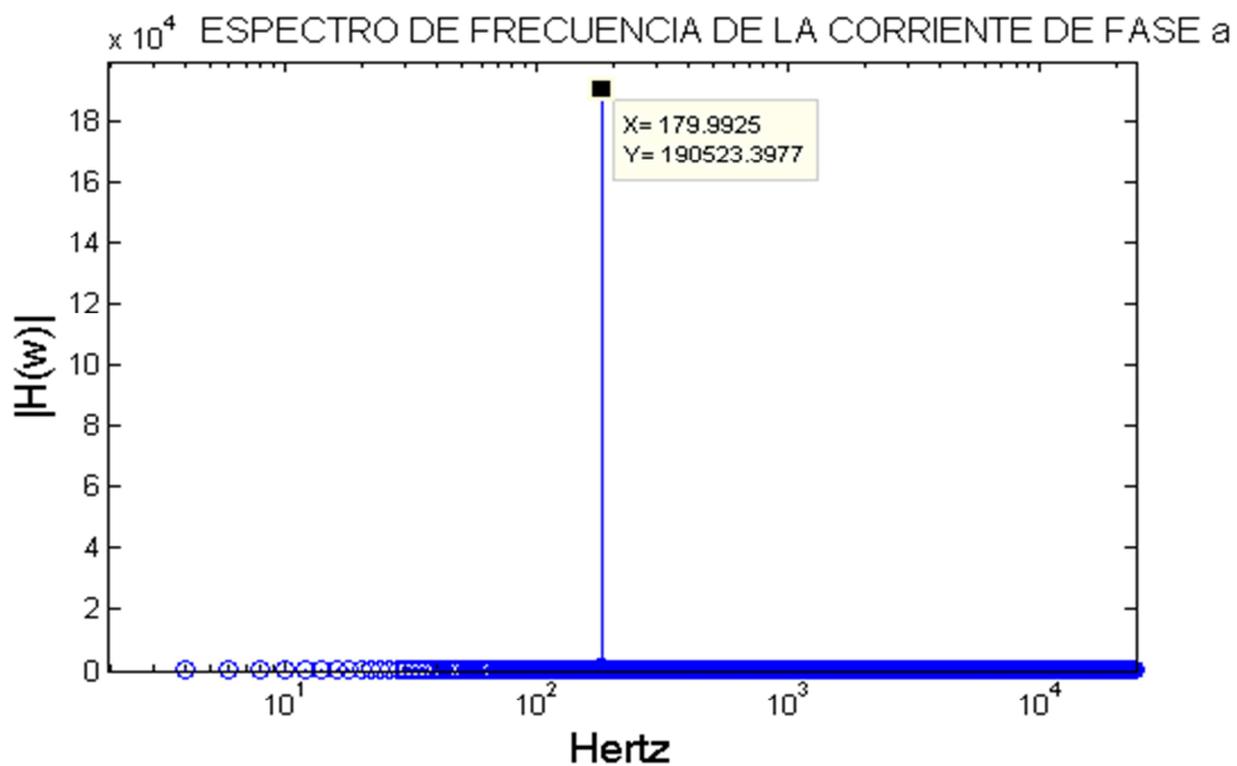


Figura 4.59 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.57

Finalmente en la figura 4.60 se observan las mismas señales que en la figura 4.x, pero esta vez obtenidas experimentalmente, en el pie de la figura se observan las mediciones realizadas de cada señal así como la escala utilizada en cada canal de medición. Se observa que las señales obtenidas en las pruebas experimentales nuevamente son similares a las obtenidas en simulación. Se observa que el contenido armónico de las señales de salida es limitado debido que el filtro de salida atenúa los armónicos de voltaje y corriente. En cuanto a las señales de entrada, se observa que el filtro de salida nuevamente atenúa los armónicos de voltaje y corriente. Una vez más existe un desfaseamiento entre la corriente y el voltaje de entrada, el cual es causado por la inductancia del VARIAC y por el capacitor del filtro de entrada.

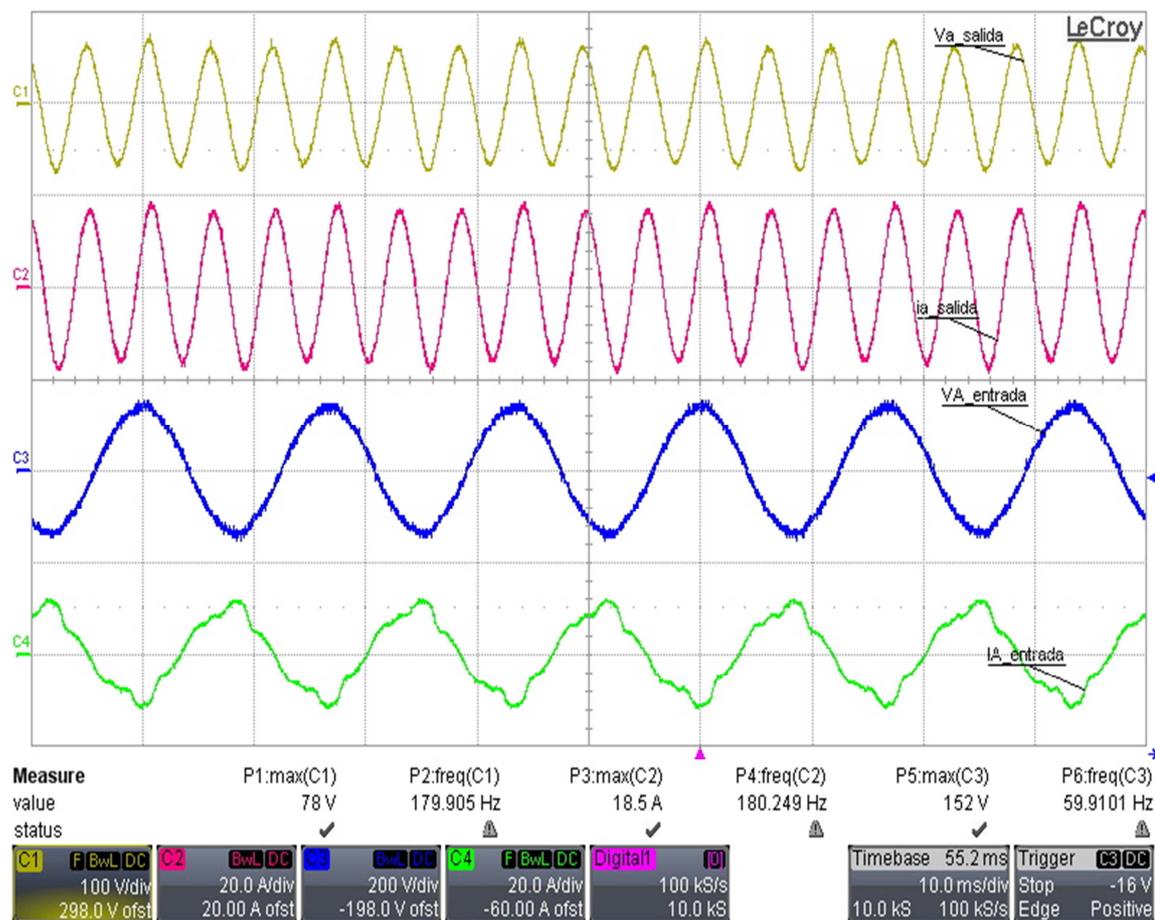


Figura 4.60 Formas de onda obtenidas experimentalmente con una señal de voltaje de referencia de 180 Hz, con filtros y carga RL

En la figura 4.61 se muestra el espectro de frecuencia del voltaje de salida obtenida experimentalmente utilizando una señal de referencia de 70 y una frecuencia de 180 Hz, se observa que la señal de voltaje de salida tiene un bajo contenido armónico y una componente fundamental de 180 Hz.

En la figura 4.62 se presenta el espectro de la señal de corriente obtenida, también se observa que su frecuencia fundamental es de 180 Hz.

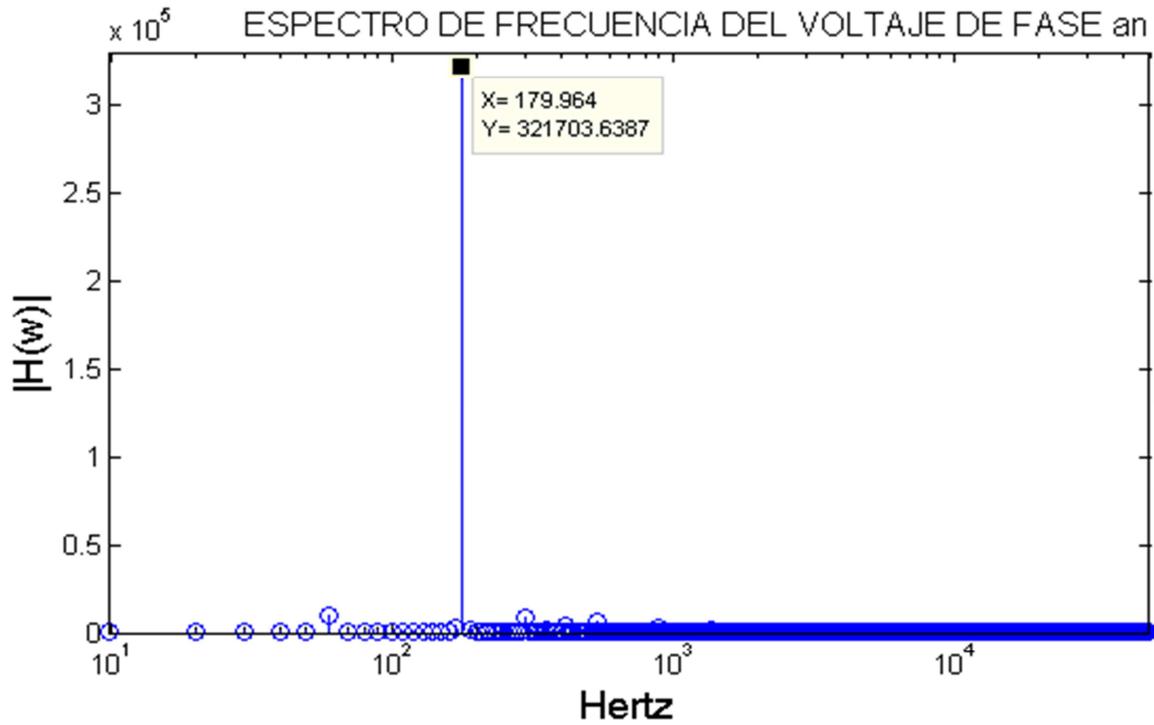


Figura 4. 61 Espectro de frecuencia del voltaje de salida (Va) de la figura 4.60

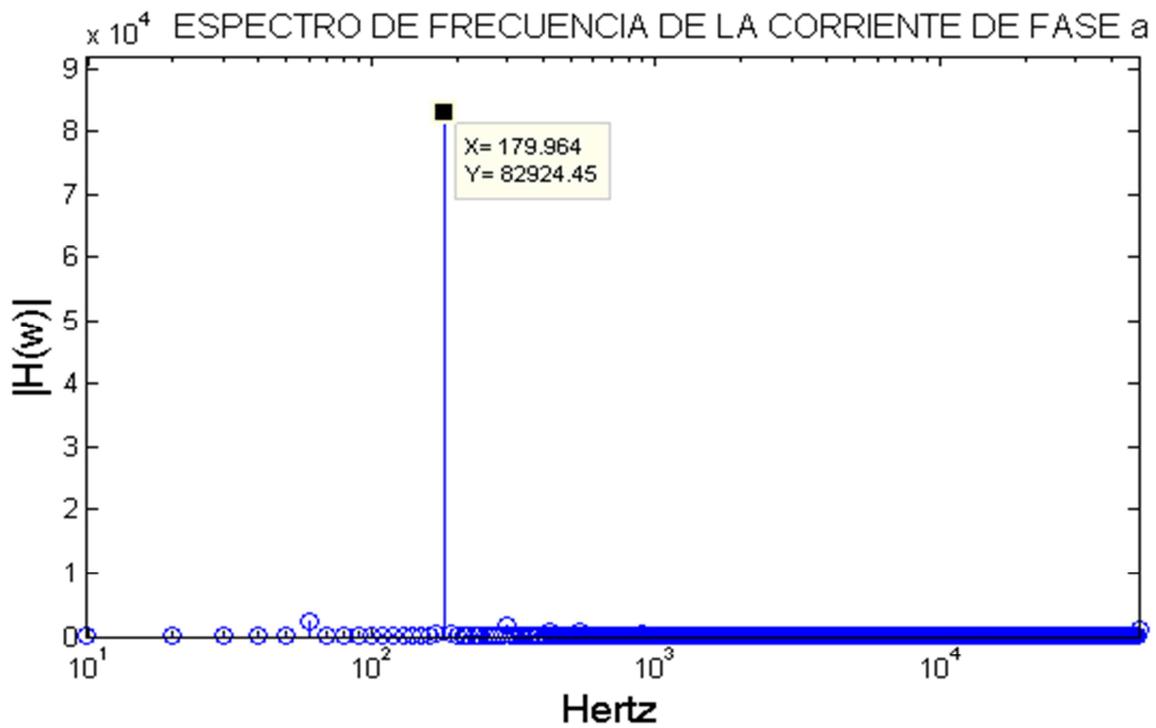


Figura 4. 62 Espectro de frecuencia de la corriente de salida (ia) de la figura 4.60

En las pruebas de laboratorio realizadas con los filtros de entrada y salida diseñados y utilizando una carga  $RL$ , se obtuvieron formas de onda adecuadas, es decir con una frecuencia igual a la de la señal de referencia y un bajo contenido armónico. En cuanto a la amplitud del voltaje, se tuvieron algunas variaciones debido a que las pruebas se realizaron en lazo abierto y no se tiene un control adecuado de la amplitud de los voltajes de salida.

#### 4.7 Comparación de resultados (Distorsión Armónica THD)

En las secciones anteriores se realizaron comparaciones con respecto a las formas de onda obtenidas en simulaciones y las obtenidas en pruebas experimentales. Se puede notar que en todos los casos las señales son muy similares.

De todas las señales obtenidas anteriormente se calculó su distorsión total armónica. Para el cálculo del THD se tomaron XX ciclos de las señales obtenidas, el criterio para el cálculo del THD es el siguiente:

$$\%THD = \frac{\sqrt{\sum_2^n i_n^2}}{i_1} \quad (4.1)$$

Donde:

$i_n$ , armónicos de la fundamental  
 $i_1$ , frecuencia fundamental

En la tabla 4.3 se presentan las comparaciones entre las señales de voltaje y corriente obtenidas en simulación y experimentalmente utilizando carga  $RL$  sin filtros.

Tabla 4. 1 Comparación de resultados obtenidos con carga  $RL$  sin filtros

Fuente de Alimentación	Voltaje de Referencia	THD			
		Carga R			
		Simulación		Experimental	
		Voltaje	Corriente	Voltaje	Corriente
150 $V_p$ @ 60Hz	70 $V_p$ @ 20Hz	129.6%	3.08%	132.1%	3.97%
150 $V_p$ @ 60Hz	70 $V_p$ @ 60Hz	129.7%	3.13%	132.7%	3.66%
150 $V_p$ @ 60Hz	70 $V_p$ @ 180Hz	74.91%	2.11%	76.4%	3.12%

En la tabla 4.4 se observan las comparaciones de las señales de voltaje y corriente obtenidas con carga R y los filtros de entrada y salida diseñados, estas comparaciones fueron realizadas tomando en cuenta los valores de THD.

**Tabla 4.3 Comparación de resultados obtenidos con carga R con filtros**

Fuente de Alimentación	Voltaje de Referencia	THD			
		Carga R			
		Simulación		Experimental	
		Voltaje	Corriente	Voltaje	Corriente
150 $V_p$ @ 60Hz	70 $V_p$ @ 20Hz	2.02%	2.02%	4.59%	4.23%
150 $V_p$ @ 60Hz	70 $V_p$ @ 60Hz	1.85%	1.85%	4.15%	3.87%
150 $V_p$ @ 60Hz	70 $V_p$ @ 180Hz	1.39%	1.39%	3.94%	3.53%

En la tabla 4.5 se observan las comparaciones de las señales de voltaje y corriente obtenidas con carga  $RL$  y los filtros diseñados.

**Tabla 4.4 Comparación de resultados obtenidos con carga RL con filtros**

Fuente de Alimentación	Voltaje de Referencia	THD			
		Carga RL			
		Simulación		Experimental	
		Voltaje	Corriente	Voltaje	Corriente
150 $V_p$ @ 60Hz	70 $V_p$ @ 20Hz	1.65%	1.45%	3.39%	3.09%
150 $V_p$ @ 60Hz	70 $V_p$ @ 60Hz	1.35%	1.21%	2.86%	2.61%
150 $V_p$ @ 60Hz	70 $V_p$ @ 180Hz	1.71%	1.64%	3.27%	3.12%

En las tablas anteriores se observa que la distorsión total armónica de todas las señales se encuentra en rangos adecuados. Se puede notar que cumple con los requerimientos de la norma IEEE 519. Además se puede observar que los resultados obtenidos en simulación y los obtenidos experimentalmente son muy parecidos, por lo cual el uso de la simulación resulta de interés para predecir y analizar el comportamiento de los sistemas antes de realizar pruebas experimentales.

#### 4.8 Simulaciones con Fuente de alimentación de frecuencia variable

Para probar que el algoritmo de modulación del ancho de los pulsos de Sünter –Clare es adecuado para aplicaciones en donde la frecuencia de las señales de voltaje y corriente de entrada o salida varían con el tiempo, se realizaron simulaciones utilizando una fuente de voltaje de magnitud y frecuencia variable. Para este fin se utilizó un GSIP de Simulink.

La frecuencia  $F_i$  y el voltaje de la fuente de alimentación esta dada por las señales que produce el GSIP, dichas señales son variables de acuerdo a los parámetros de la máquina (tabla 3.2). La frecuencia de la señal de voltaje de salida  $F_o$  esta definida por

la referencia, la cual fue establecida como constante de 60 Hz. La magnitud de la señal de referencia de voltaje fue establecida como 50 V. Se tomó así debido a los voltajes que entrega el GSIP al operar en el rango de velocidades de 1000 a 2000 rpm, estos voltajes son: 60 a 130 V por fase. En la velocidad de 1000 rpm el voltaje que se genera es de 60 V. Recordando que la salida máxima del CM es un 86% de la alimentación, a 1000 rpm el máximo valor que se puede tener como salida es de 52 V. Si se eligiera un valor más grande a 50 V como salida, no se podría sintetizar si la velocidad del rotor del GSIP disminuye por debajo de los 1000 rpm.

El nuevo sistema utilizado para las simulaciones se observa en la figura 4.64. Para lograr a la salida del CM un voltaje de magnitud y frecuencia constante fue necesario incluir en las simulaciones un nuevo bloque; el de control. Se programó un compensador de segundo orden y un controlador repetitivo. La teoría y el análisis del controlador se presentan en el apéndice D.

#### 4.8.1 Simulaciones con Carga R

La primer simulación se realizó con una carga de 4 Ω, en la figura 4.63 se observa el voltaje y la corriente de entrada de la fase A. Se observa que la señal de voltaje es de magnitud y frecuencia variable, también se observa que las señales de corriente y voltaje de entrada no están en fase debido al filtro de entrada.

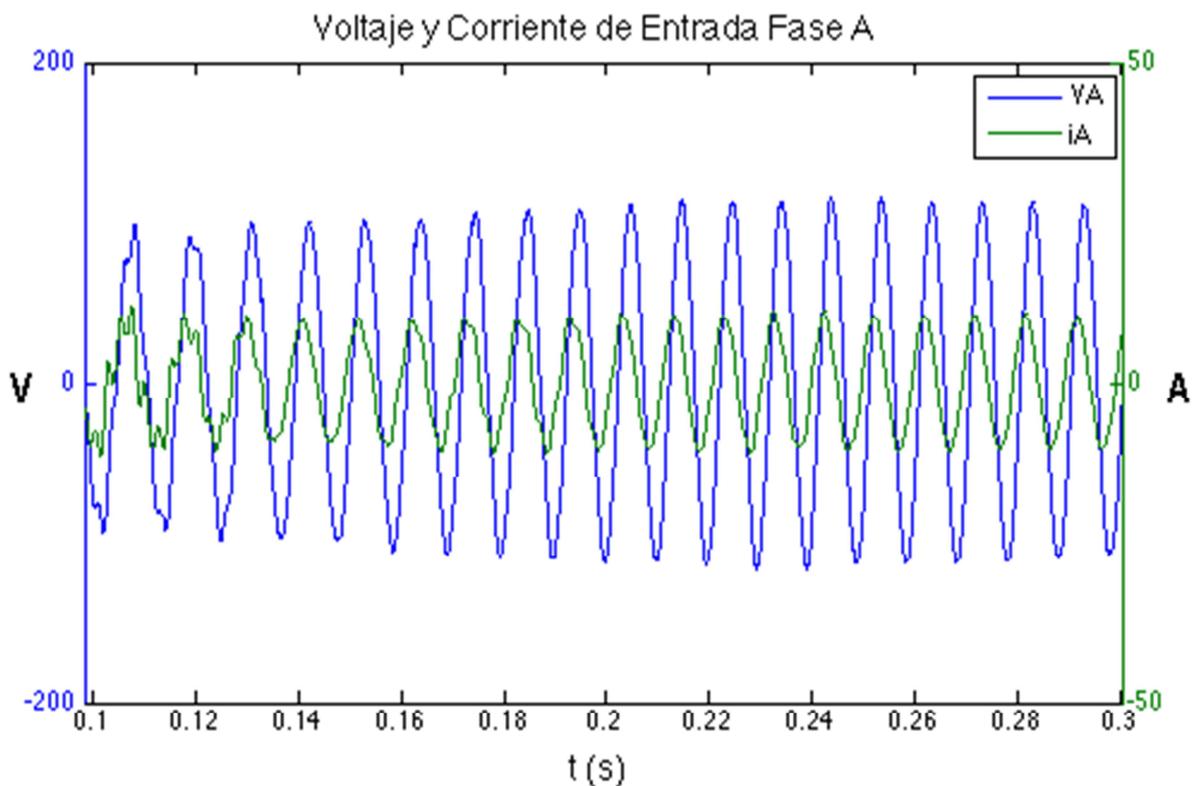


Figura 4. 63 Voltaje y corriente de entrada de la fase A (VA e iA) obtenidas en simulación con carga R

# Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

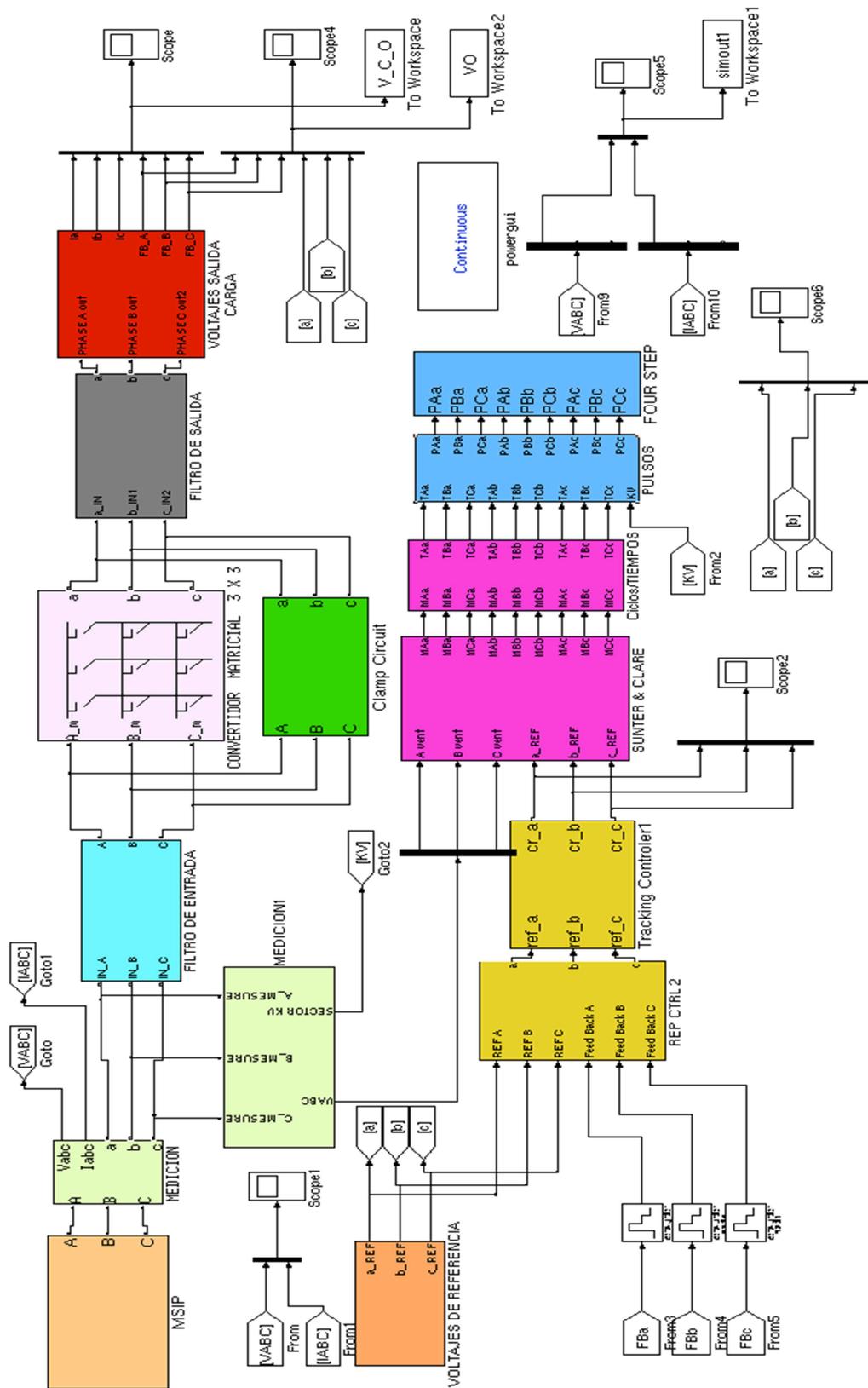


Figura 4. 64 Sistema de simulación con fuente de voltaje variable y control en lazo cerrado

En la figura 4.65 se observan los voltajes de fase de salida del CM, se puede observar que son de la amplitud y la frecuencia propuestas en la señal de referencia. En la misma figura se observa que las señales de salida están en fase con las señales de referencia programadas. En la figura 4.66 se muestra el espectro de frecuencia de uno de los voltajes de fase de salida, se observa que la frecuencia fundamental es de 60 Hz.

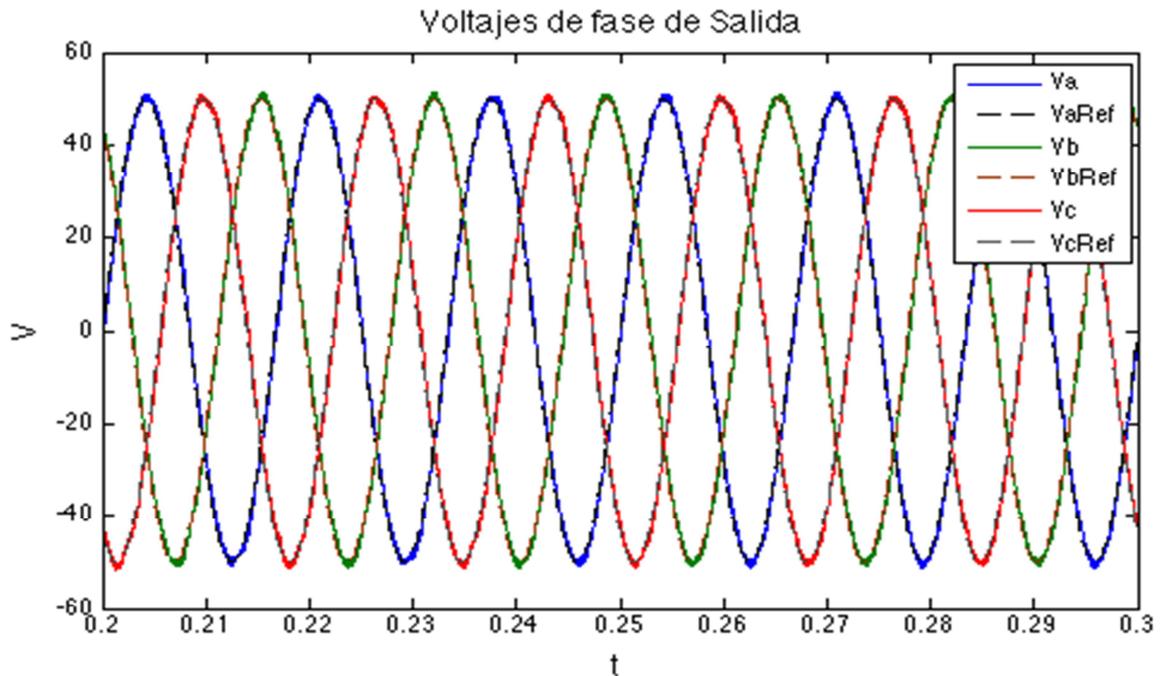


Figura 4. 65 Voltajes de fase de salida en la carga y sus señales de referencia

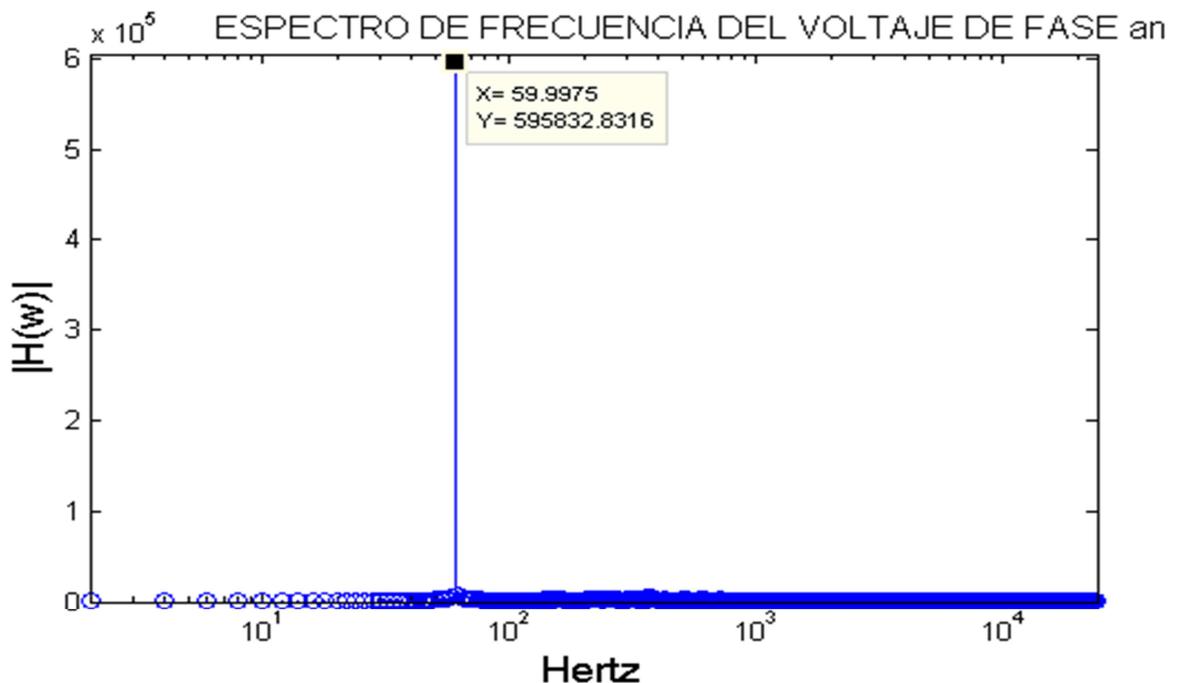


Figura 4. 66 Espectro de frecuencia del voltaje de la fase a ( $V_a$ ) de la figura 4.65

## Implementación de Algoritmos de Sünter-Clare en un Convertidor Matricial

En la figura 4.67 se presentan las 3 fases de salida del CM, se observa que también son de magnitud y frecuencia fijas. En la figura 4.68 se muestra el espectro de frecuencia de una de las corrientes de salida, se observa que la componente fundamental es de 60 Hz y su contenido de armónicos es bajo.

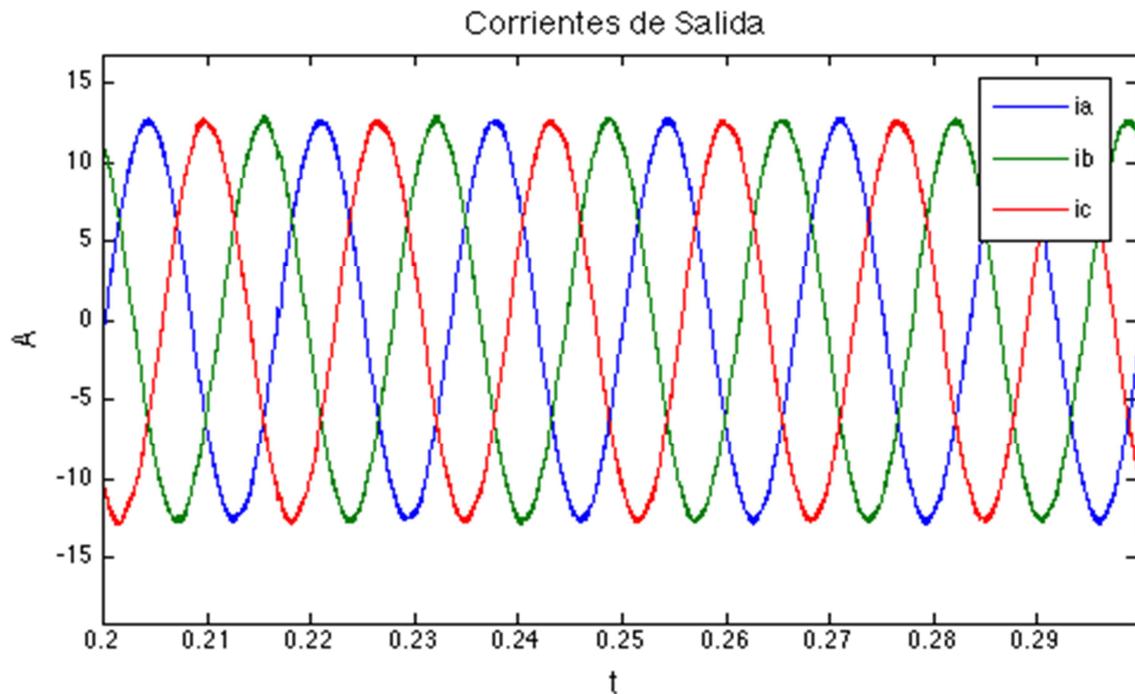


Figura 4. 67 Corrientes de salida del CM

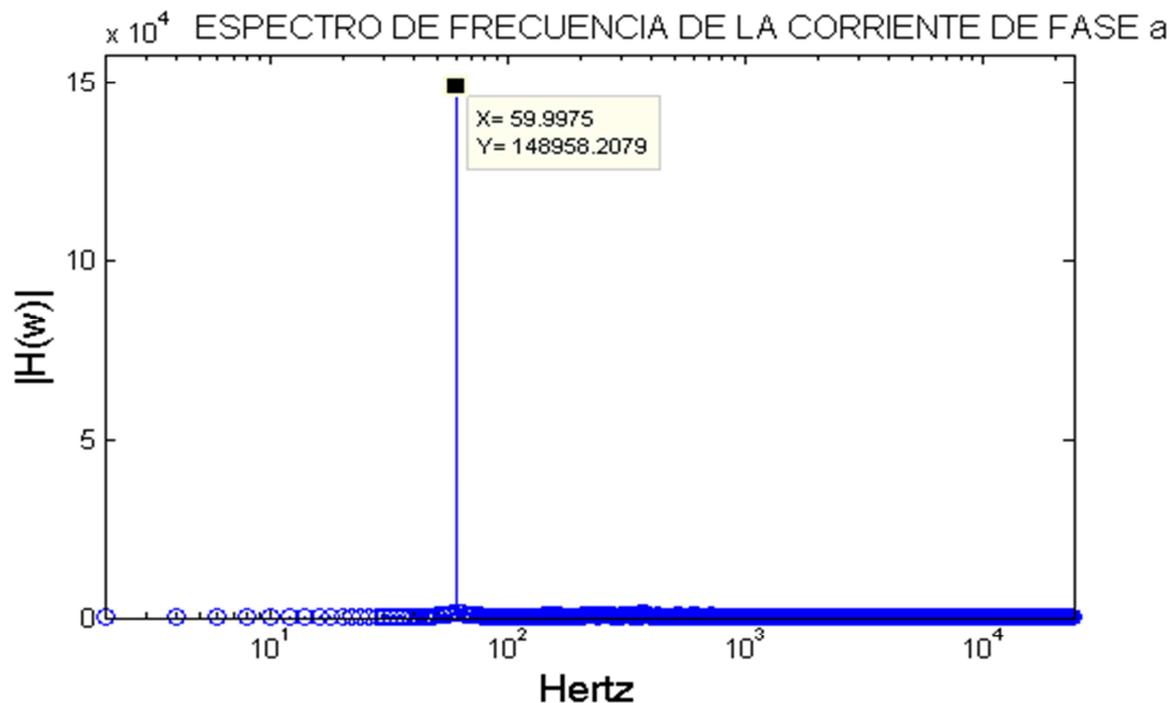


Figura 4. 68 Espectro de frecuencia de la corriente de salida de la fase a (ia) de la figura 4.67

Finalmente en la figura 4.69 se muestra la corriente de salida de la fase y el voltaje de salida de la fase, se observa que están en fase debido al tipo de carga.

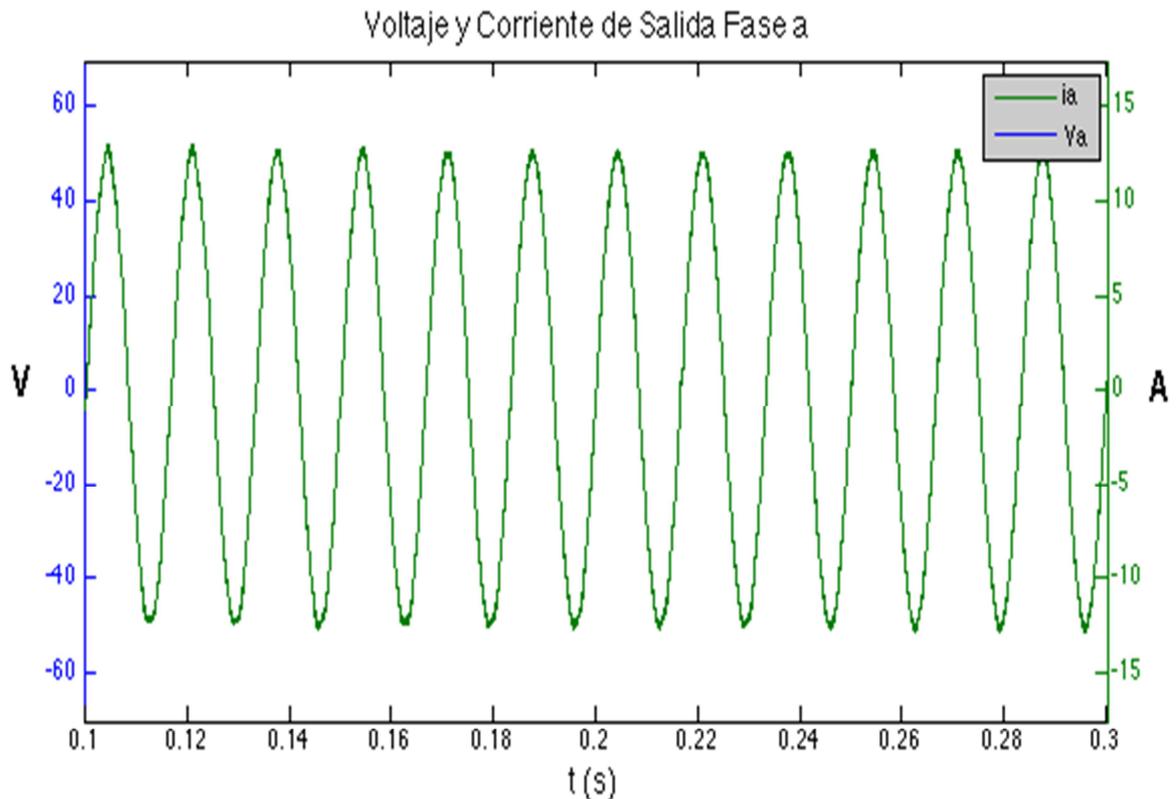


Figura 4.69 Voltaje y corriente de salida de la fase a ( $V_a$  e  $i_a$ )

En esta simulación se comprueba que el algoritmo de modulación del ancho de los pulsos de Sünter-Clare es satisfactorio en aplicaciones de velocidad variable y frecuencia constante, ya que el voltaje de frecuencia variable de la entrada fue convertido en un voltaje de magnitud y frecuencia constante en la salida del convertidor.

#### 4.8.2 Simulaciones con Carga RL

Como prueba final se repitieron las simulaciones con la misma fuente de voltaje de magnitud y frecuencia variables. En esta simulación se utilizó una carga, la resistencia tiene un valor de 4 ohm por fase y la inductancia de 1.3 mH por fase.

En la figura 4.70 se observa el voltaje y la corriente de entrada de la fase. Se observa que la señal de voltaje es de magnitud y frecuencia variable, también se observa que las señales de corriente y voltaje de entrada no están en fase debido al filtro de entrada. En esta figura también se distingue que la señal de la corriente de entrada está menos distorsionada que en el caso de la figura 4.63, en donde únicamente se utilizó una carga.

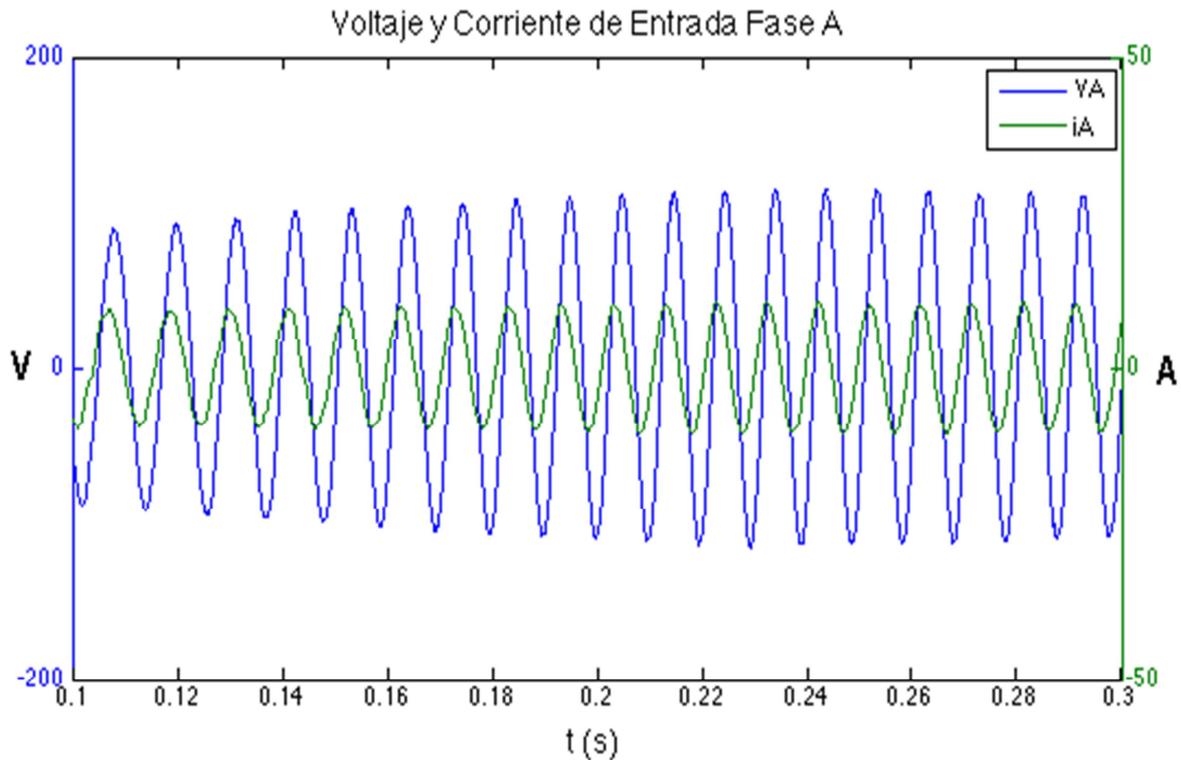


Figura 4.70 Voltaje y corriente de entrada de la fase A ( $V_A$  e  $i_A$ ) obtenidas en simulación con carga RL

En la figura 4.71 se observan los 3 voltajes de fase de salida, se puede comprobar una vez más que las señales del voltaje en la carga están en fase con las señales del voltaje de referencia y que son de frecuencia y magnitud fijas.

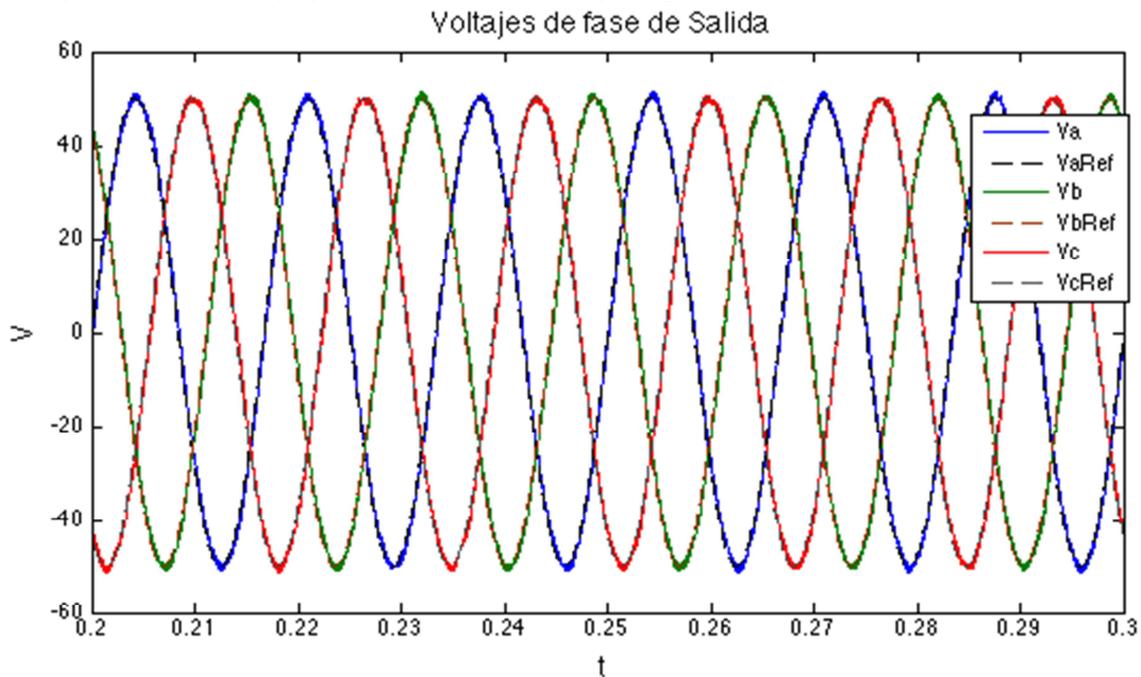


Figura 4.71 Voltajes en la carga RL y sus señales de referencia

En la figura 4.72 se muestra el espectro de frecuencia de la señal del voltaje en la carga de la fase , se comprueba que su frecuencia fundamental es de 60 Hz.

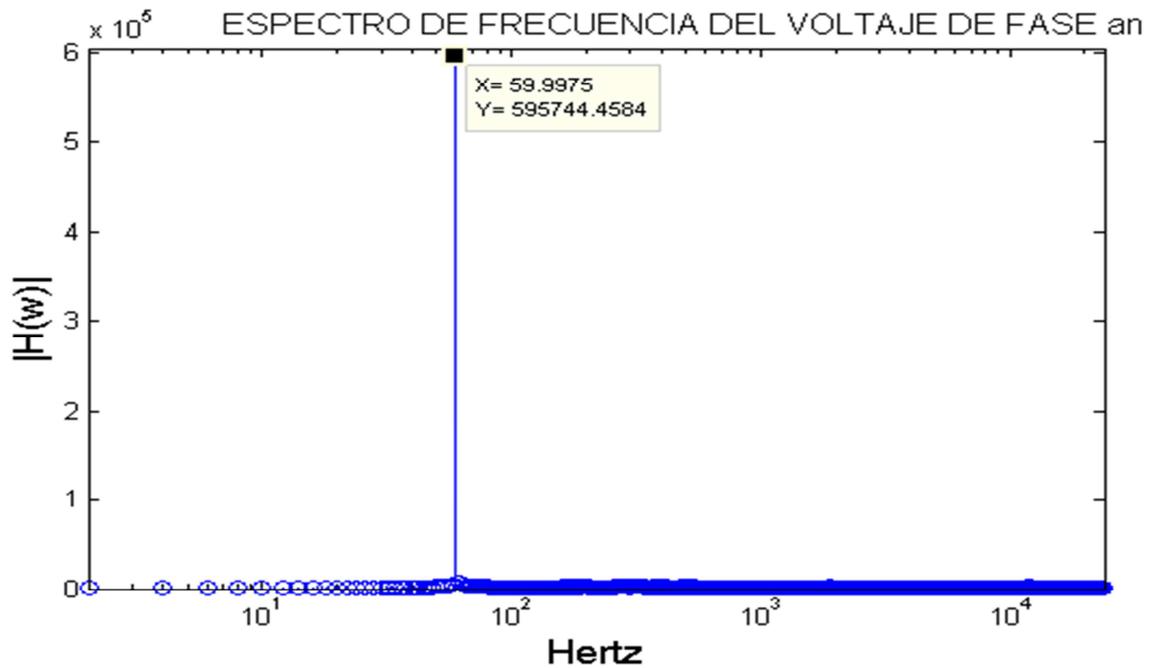


Figura 4. 72 Espectro de frecuencia del voltaje en la carga fase a (Va)

En la figura 4.73 se presentan las corrientes de salida del CM, se observa que también son de magnitud y frecuencia fijas. En la figura 4.74 se muestra el espectro de frecuencia de una de las corrientes de salida, se observa que la componente fundamental es de 60 Hz.

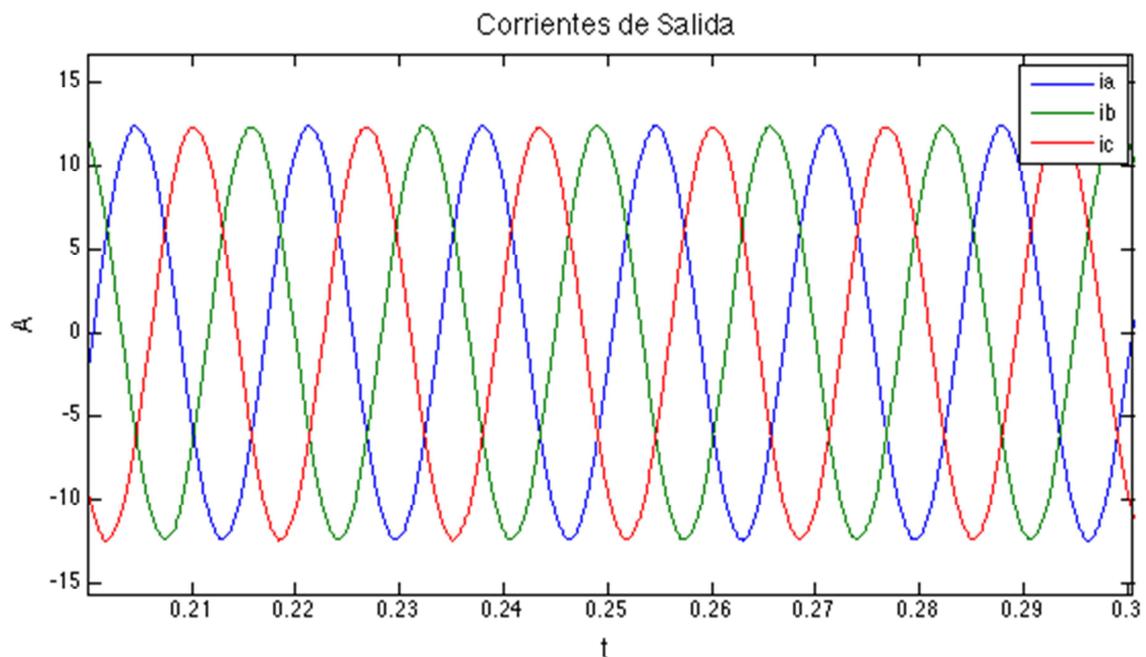


Figura 4. 73 Corrientes de salida del CM

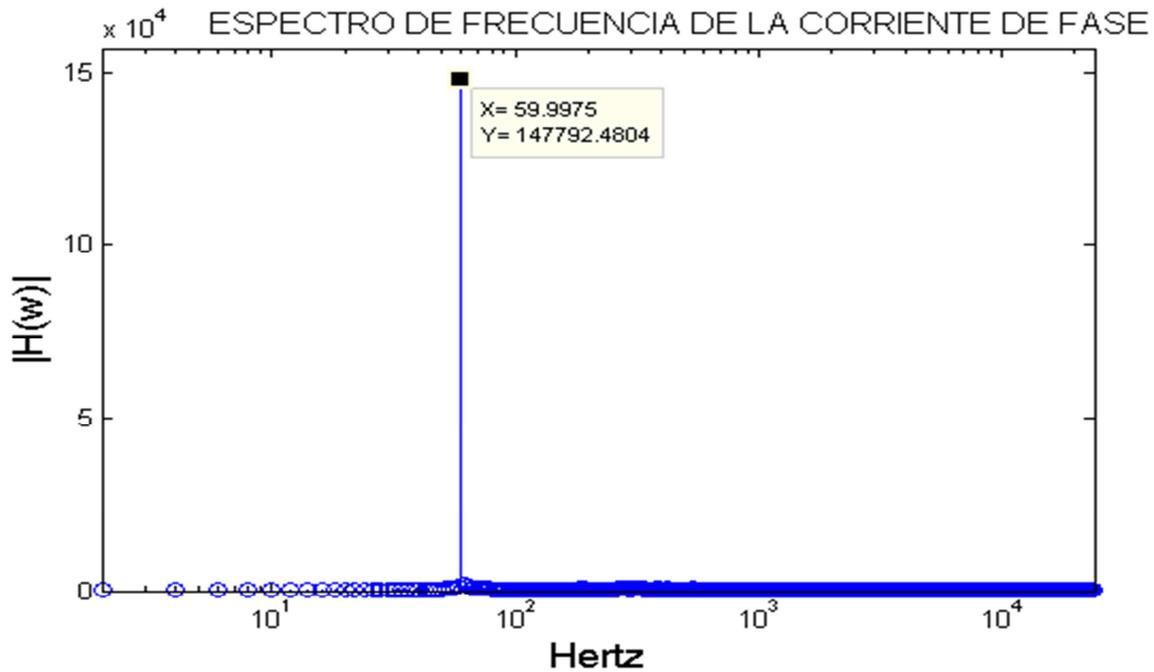


Figura 4. 74 Espectro de frecuencia de la corriente de salida de la fase a ( $i_a$ ) de la figura 4.73

Finalmente en la figura 4.75 se muestra el voltaje de salida de la fase ( ) y la corriente de salida de la fase ( ), en esta imagen se observa que ambas señales son de frecuencia fija y que existe un desfase entre ellas debido a la naturaleza de la carga.

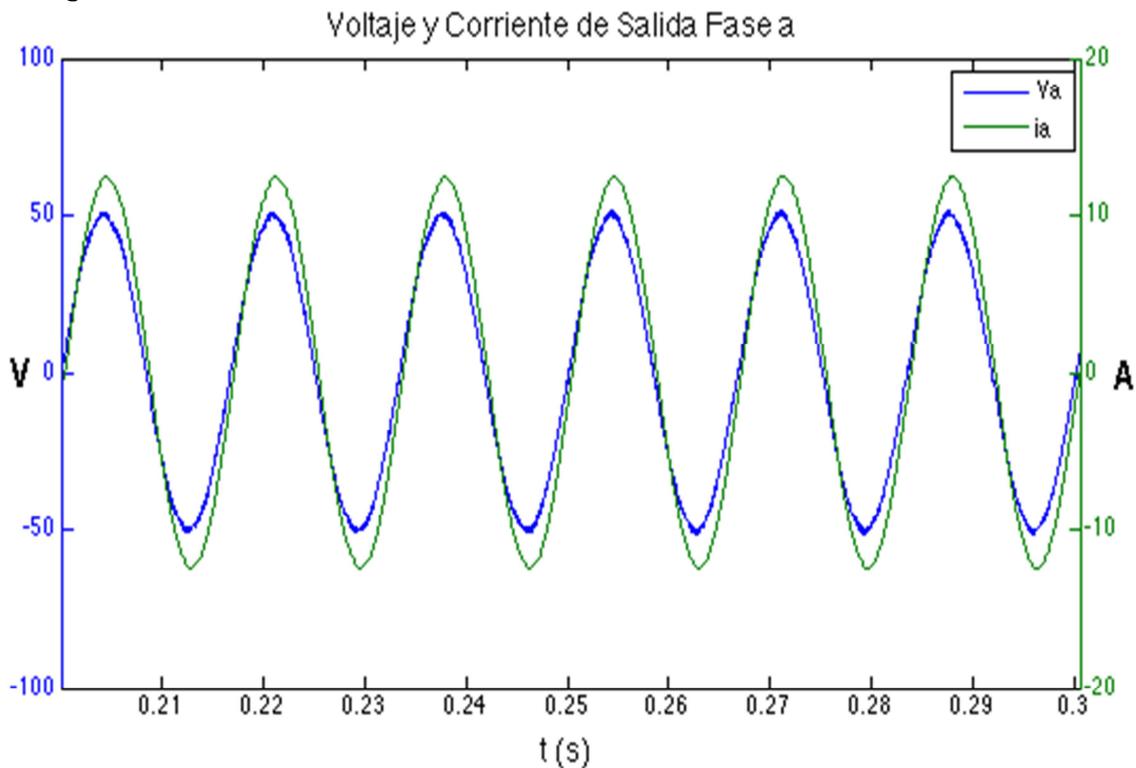


Figura 4. 75 Voltaje y corriente de salida de la fase a ( $V_a$  e  $i_a$ )

## 4.9 Sumario del Capítulo

En este capítulo se presentan los resultados obtenidos mediante el uso de simulaciones en MatLab/Simulink. De la misma forma se presentan los resultados obtenidos en las pruebas realizadas en laboratorio. Los parámetros de: fuente de alimentación, señal de referencia, filtros y carga, fueron establecidas con los mismos valores en simulación y en pruebas experimentales. Debido a esto último se tuvo la posibilidad de realizar comparaciones. Se encontró que tanto en el caso de las simulaciones como en el caso de las pruebas experimentales, la distorsión total armónica de las señales obtenidas de voltaje y corriente es baja y cumple con los requerimientos de la norma IEEE 519. Las pequeñas variaciones obtenidas en las formas de onda y distorsión armónica entre las señales simuladas y las obtenidas en pruebas físicas son debido a que los modelos matemáticos que utiliza Simulink no contemplan todas la variables que influyen en el comportamiento real de los elementos que conforman el CM.

## **Capítulo 5.**

### **Conclusiones y Recomendaciones**

## 5.1 Conclusiones

Mediante simulaciones y pruebas experimentales con el CM se concluye que:

- Teóricamente la ganancia máxima del CM es de hasta un 86%. Se encontró que nunca se podrá alcanzar esta ganancia debido a que también existen pérdidas ocasionadas por la conmutación de los interruptores de potencia. Si la relación de el voltaje de salida entre el voltaje de entrada  $V_o/V_i$  es mayor a 0.7, las señales de voltaje y corriente de salida no podrán sintetizarse. Esto causará que los ciclos de trabajo sean mayores a 1 y menores que 0, con lo cual las señales de salida se deforman llevando al CM a la inestabilidad.
- Debido a la máxima ganancia del CM, su aplicación en control de motores resulta poco atractivo.
- El algoritmo de modulación de Sünter-Clare es adecuado para aplicaciones en donde la frecuencia de los voltajes y corrientes de entrada cambian constantemente. Por lo cual dicho algoritmo es de suma utilidad en aplicaciones de generación eléctrica.
- El algoritmo de modulación de Sünter-Clare es capaz de transformar las señales de alimentación del CM de frecuencia variable en señales de frecuencia constante.
- El filtro de entrada evita la inyección de armónicos de corriente a la fuente de alimentación. El filtro de entrada fue correctamente diseñado pues reduce el contenido armónico de las señales de voltaje y corrientes de entrada, lo cual es necesario ya que los algoritmos de modulación del CM se basan en el conocimiento de las magnitudes de los voltajes de entrada y salida.
- El filtro de salida es necesario para que las señales de voltajes y corrientes de salida del CM tengan un contenido armónico adecuado para inyección de potencia a la red eléctrica. Se comprobó que los criterios de diseño del filtro de salida utilizados son adecuados.
- El uso de inductores a la salida del CM son necesarios para evitar grandes  $di/dt$  originados por la ausencia del enlace de corriente directa.
- Mediante simulación se comprobó que la estrategia del control repetitivo es una buena alternativa para reducir el error en sistemas en donde las señales de referencia y disturbios son periódicas.
- Mediante la comparación de los resultados obtenidos en simulaciones y experimentalmente se puede deducir que el uso de las simulaciones es una

buena alternativa para predecir el comportamiento de los sistemas antes de probarlos experimentalmente, de esta forma se pueden evitar daños en los equipos. Mediante la simulación se pueden comprobar que los diseños realizados sean adecuados antes de la compra e implementación de los sistemas y equipos requeridos.

### 5.2 Recomendaciones y trabajos futuros

Con los resultados obtenidos tanto en simulaciones como experimentalmente se dejan las bases para trabajos futuros con el CM en aplicaciones velocidad variable y frecuencia fija. Se propone realizar los siguiente trabajos:

- Realizar la implementación del compensador y un controlador repetitivo con el objetivo de eliminar las variaciones del voltaje en la salida del CM y tener control de la amplitud. Con la implementación de control repetitivo se asegura que los voltajes de salida estén en fase con las señales de referencia.
- Comprobar el funcionamiento del compensador y el controlador. Para esto se deben realizar pruebas con el CM con carga  $R$  y  $RL$ , utilizando como fuente de alimentación un VARIAC trifásico con el fin de probar el controlador a bajos voltajes. Posteriormente se deben realizar pruebas a tensión nominal.
- Como se mencionó en el capítulo 3 el diseño del filtro de entrada se realizó en base a los parámetros de un GSIP con el que se cuenta en la Sección de Estudios de Posgrado e Investigación del IPN. Una vez que se validó el funcionamiento del controlador se podrán realizar pruebas utilizando el GSIP como fuente de alimentación.

Para controlar el giro del rotor del GSIP, se debe acoplar mecánicamente el rotor del generador con el rotor de un motor de inducción, el cual debe ser controlado mediante un variador de velocidad (DRIVE). De esta forma se pueden validar las simulaciones realizadas en la sección 4.8.

- Una vez que se han validado realizado pruebas con el GSIP con el controlador diseñado, se pueden realizar pruebas con un nuevo GSIP que permita sintetizar a la salida del CM de voltajes mayores (120 RMS) con el fin de probar un sistema de generación de energía eléctrica.
- Finalmente se debe profundizar en las metodologías para sincronizar las señales de voltaje de salida del CM con las de la red eléctrica a la cual se le desea inyectar potencia. Con estas herramientas se pueden emular sistemas de generación eólicos.



## Apéndice A

### Descripción del Hardware del Convertidor Matricial

En este apéndice se describe de forma detallada el hardware del Convertidor Matricial de 3 fases de entrada y 4 fases de salida (3X4) utilizado en este trabajo de tesis, el cual es un diseño de N. Mason y N. Campbell realizado en la Universidad de Nottingham, Reino Unido. Se analizan: los interruptores bidireccionales, sus circuitos de control, los circuitos detectores del signo de la corriente y el circuito de fijación de voltaje (protección por sobrevoltaje).

En la figura A.1 se observa la cara superior del circuito impreso (PCB, por sus siglas en ingles) del CM utilizado. En la figura se distinguen:

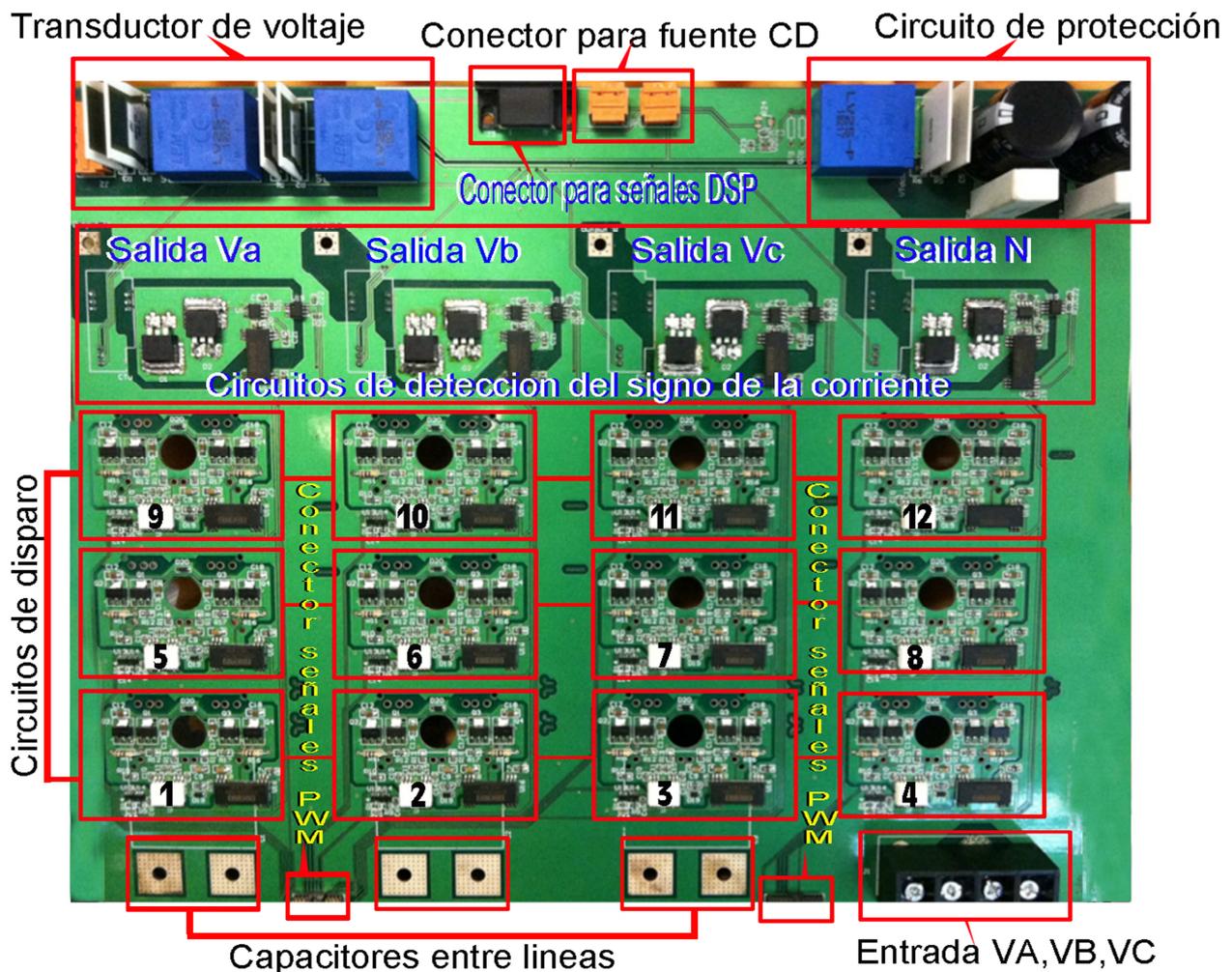


Figura A.1 Vista superior del circuito impreso del CM 3X4

- 12 Circuitos de control de conducción de los interruptores
- 2 Conectores de recepción de las señales PWM para los circuitos del control de conducción de los interruptores
- 4 Circuitos para la detección del signo de la corriente de cada fase de salida
- Los capacitores y resistores que conforman el circuito de fijación de voltaje
- 3 Transductores de voltaje
- 4 Transductores de corriente
- Conectores para fuente de alimentación
- Conectores para fuente de corriente directa para alimentación de los circuitos de control de conducción y detección del signo de la corriente.

En la figura A.2 se muestra el diagrama a bloques del CM 3X4 utilizado, se observan los 12 interruptores bidireccionales que interconectan todas las fases de entrada con todas las fases de salida para formar la topología del CM. Se observa que cada interruptor tiene su propio circuito de control para entrar y salir de conducción. También se observa a la salida de cada fase un circuito para la detección de signo de la corriente, la información de estos circuitos es enviada a la plataforma de control para la implementación de la técnica de conmutación de cuatro pasos.

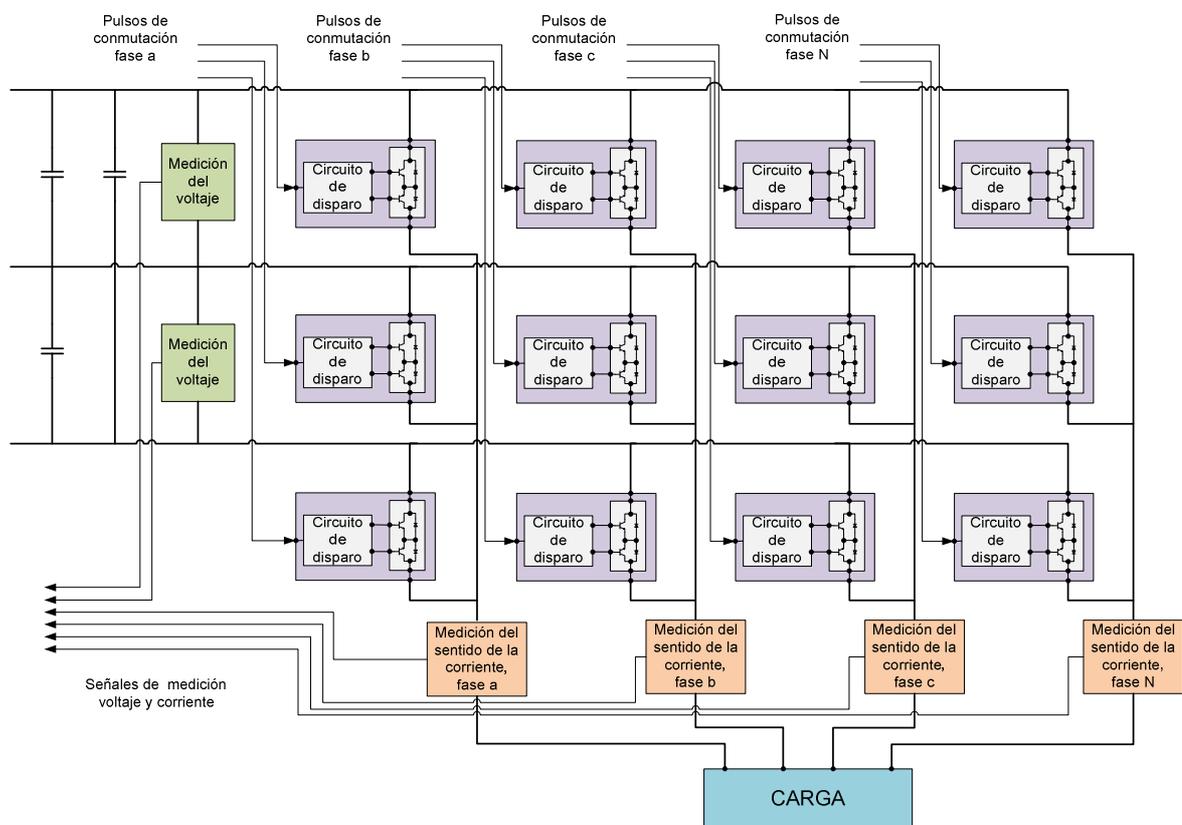


Figura A. 2 Diagrama a bloques de CM 3X4

### A.1 Interruptores bidireccionales

Este CM esta conformado por 12 interruptores bidireccionales en configuración de emisor común. Estos interruptores ofrecen la posibilidad de controlar el sentido de la corriente, debido a que cada interruptor cuenta con dos IGBTs con sus respectivos diodos en antiparalelo para mitigar el efecto de polarización inversa. En la figura A.3 se observa el símbolo utilizado para representar los interruptores bidireccionales que conforman el CM.

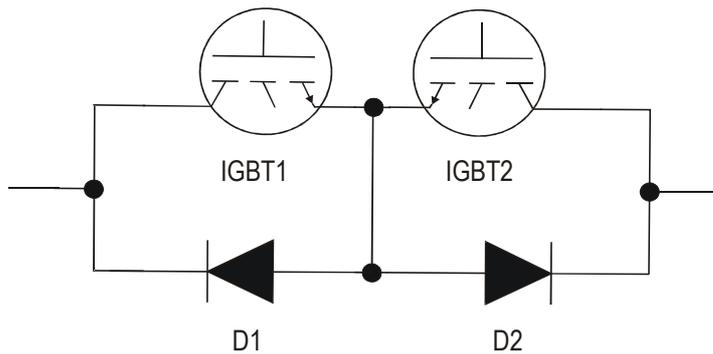


Figura A.3 Topología emisor común del interruptor bidireccional

En la figura A.4 se muestra el interruptor bidireccional SEMIKRON XXXXX en configuración emisor común. Se observa que el encapsulado del interruptor cuenta con superficie metálica para disipar calor. Algunos de los parámetros más importantes de este tipo de interruptor se analizan en la tabla A.1

Tabla A.1 Parámetros del interruptor bidireccional SEMIKRON XXX

Parámetro	Valores Máximos
	1200 V
	34 A
	Valores Típicos



Figura A.4 Interruptor bidireccional SEMIKRON XXX

## A.2 Circuitos de control de los interruptores bidireccionales.

Los circuitos de control de conducción de los interruptores del CM sirven para adecuar las señales PWM que genera y envía la plataforma de control a las compuertas de los interruptores. Dichas señales son generalmente del orden de 3.3 V, los IGBTs que conforman los interruptores de este convertidor requieren señales de 15 V para entrar en conducción.

En la figura A.5 se observa la fotografía de uno de los circuitos de control de uno de los interruptores bidireccionales.

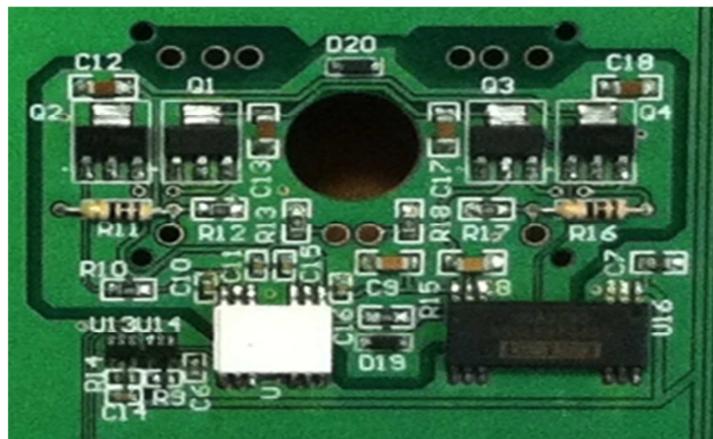


Figura A. 5 Circuito del control de los interruptores

En la figura A.6 se observa el diagrama eléctrico del circuito de control de los interruptores de la figura A.5.

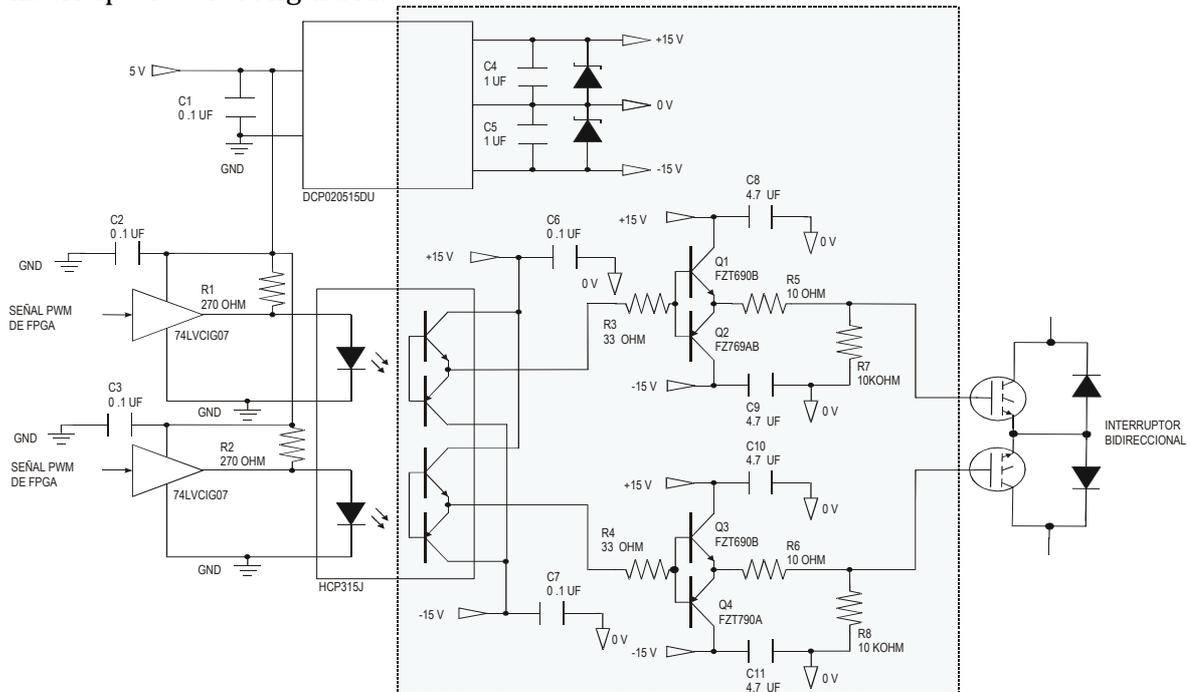


Figura A. 6 Diagrama eléctrico del circuito de control de los interruptores del CM

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

En el circuito de la figura A.5 las señales que provienen de la plataforma de control pasan por un buffer (74LVC1G07), en la salida del buffer las señales del DSP se transforman a señales de 5 V y 10 mA, de esta manera se logra excitar al LED del optoacoplador (HCP315J). Asimismo la etapa de potencia y control resulta importante para proteger los circuitos electrónicos de control. Cuando en la salida del optoacoplador se tiene un pulso positivo causado por un pulso positivo en la entrada del buffer, la base del arreglo de transistores ( Q1 y Q2 ó Q3 y Q4) es excitado con +15 V, por lo que se activa el transistor FZT690B, este inyecta una señal de +15 V en la compuerta del IGBT de uno de los interruptores, con lo cual el IGBT entra en conducción. Por el contrario si a la entrada del buffer se tiene una señal de 0 V, en la salida del optoacoplador se tendrá una señal de -15 V lo que activará el transistor FZT790A, con lo cual se coloca una tensión de -15 V en la compuerta del IGBT de esta forma se drena la energía remanente en la capacitancia de entrada del IGBT para obligarlo a salir rápidamente de conducción.

### A.3 Circuito de detección del signo de la corriente

En la figura A.7 se presenta la fotografía del circuito de detección de la corriente con el que se cuenta a la salida de cada fase del CM.

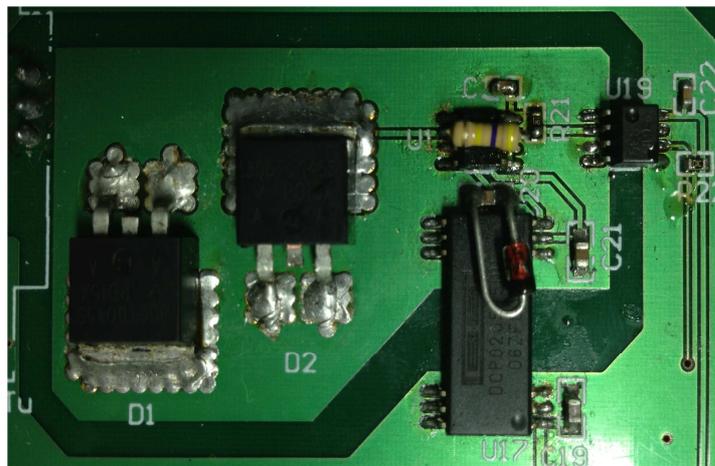


Figura A. 7 Circuito de detección del signo de la corriente

En la figura A.8 se observa el diagrama eléctrico del circuito de detección del signo de la corriente, el cual genera una señal cuadrada de 0 a 5 V. Este circuito funciona de la siguiente manera: Cuando la corriente tiene signo positivo, D2 entra en conducción y en la entrada del comparador se tiene una caída de potencial negativa. La tensión de entrada es comparada con 0V, como la entrada es menor que 0 V, el transistor del comparador LM311 se cierra lo que permite que la corriente de la fuente de 15 V excite al LED del optoacoplador, por lo que en la salida del circuito se tendrá una señal de 5 V. Por el contrario, si el signo de la corriente es negativo, el diodo que entra en conducción es D1 y la caída de potencial que entra al comparador es positiva, esto activa al transistor del LM311 lo cual pone al LED del optoacoplador en corto circuito, por lo que la salida del circuito será una señal de 0 V.

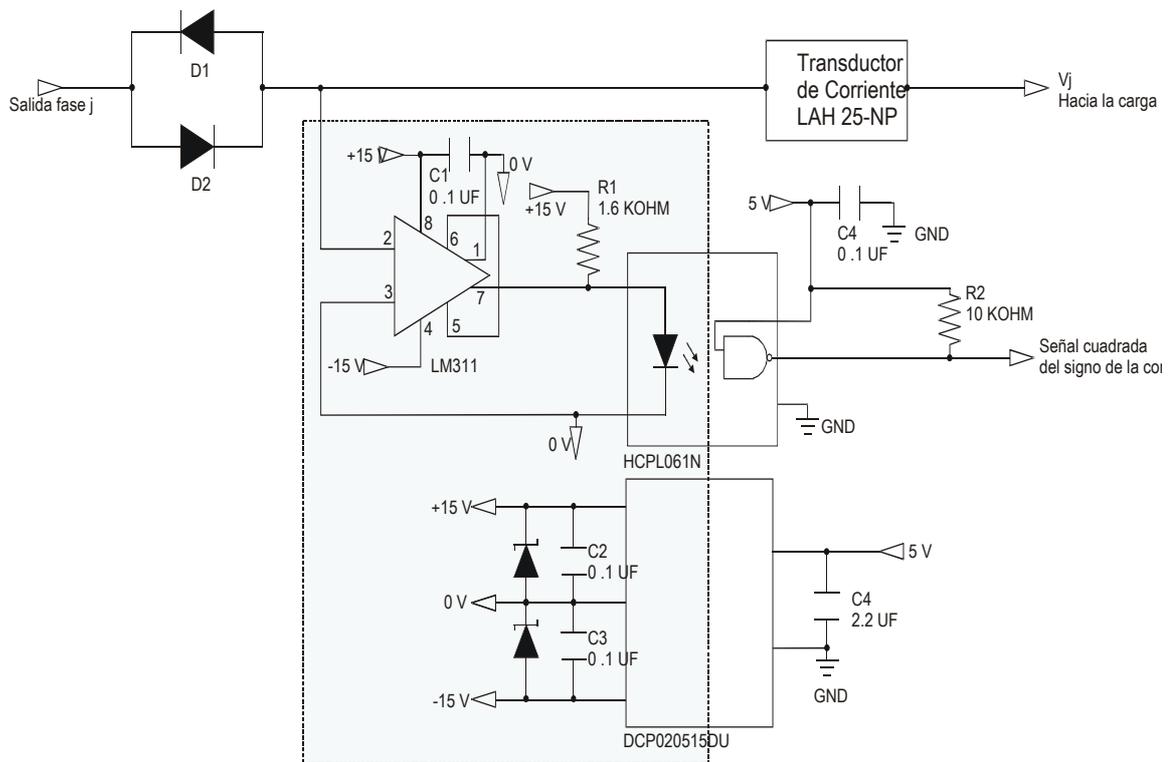


Figura A. 8 Diagrama eléctrico del circuito de detección del signo de la corriente

La detección del signo de la corriente es indispensable para la implementación de las técnicas de conmutación de cuatro y dos pasos, las cuales son las más adecuadas para los CMs.

#### A.4 Circuito de Protección (Circuito de Fijación de Voltaje)

En circuito de detección del signo de la corriente brinda la información para que las técnica de conmutación de cuatro, o bien de dos pasos opere de forma adecuada. Sin embargo si existen errores en la detección del sentido de la corriente, se tendrán circuitos abiertos durante breves instantes de tiempo, lo cual ocasiona sobrevoltajes que pueden dañar el CM, el circuito de fijación de voltaje esta diseñado para absorber esas sobre tensiones.

En la figura A.9 se observa la topología del circuito de fijación de voltaje con el que cuenta el CM 3X4 de este trabajo. El circuito de fijación consiste en dos puentes rectificadores a diodos, los cuales interconectan las fases de entrada con las fases de salida. En el centro de los dos puentes rectificadores se encuentran conectados dos capacitores utilizados para absorber las sobretensiones. Además se colocan dos resistores en paralelo con cada uno de los capacitores, la función de estos resistores es disipar la energía absorbida. Cada uno de los capacitores del circuito de fijación de voltaje tiene un valor de  $150 \mu F$  y cada resistor tiene un valor de  $10 \Omega$ .

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

En la figura A.1 se observan los capacitores y los resistores de este circuito de protección. Los diodos que conforman los puentes rectificadores del circuito de fijación de voltaje deben ser de recuperación rápida y no se pueden visualizar pues están montados en la cara inferior del circuito impreso.

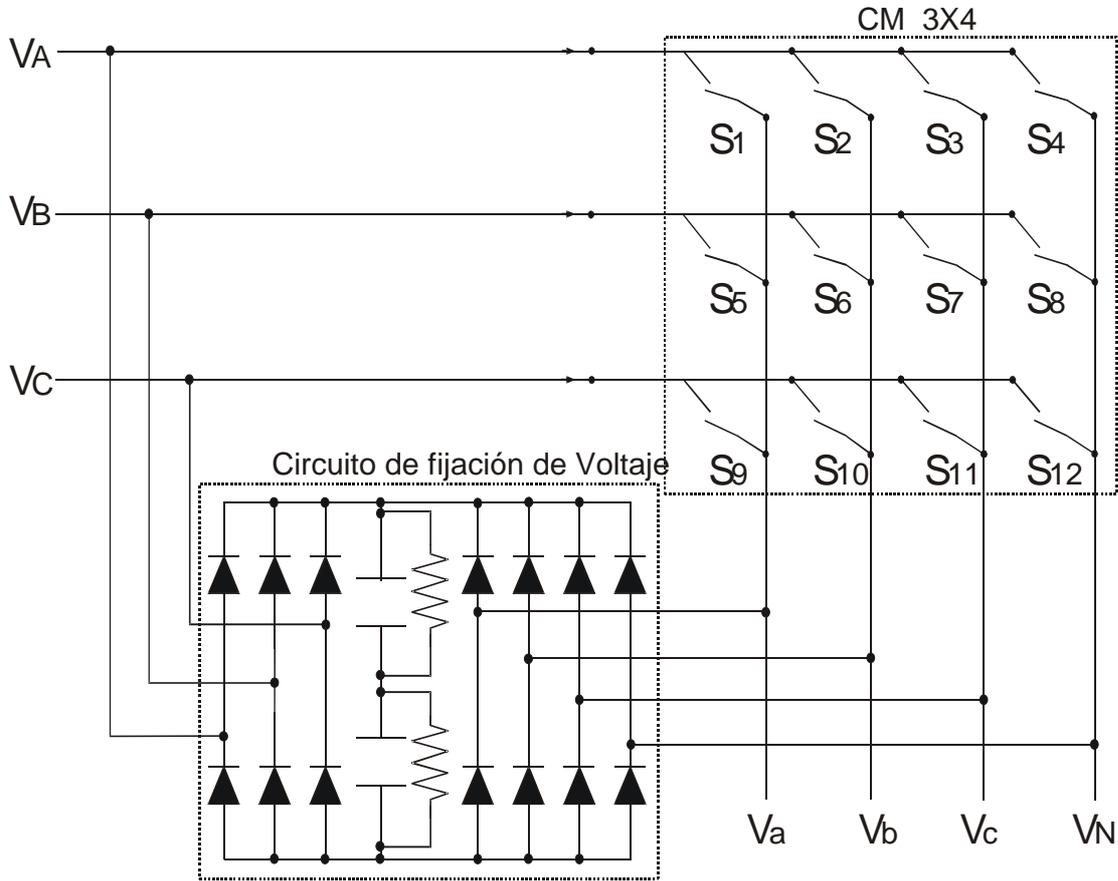


Figura A. 9 Diagrama eléctrico del circuito de fijación de voltaje



## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

- Una unidad FIFO de 32 bits la cual mantiene la información del vector de conmutación indicado por el DSP.
- Un módulo PWM, una vez obtenido el vector de conmutación indica al DSP la interrupción para realizar el siguiente cálculo para los ciclos de conmutación, sincroniza el DSP con la FPGA.
- El bloque de conmutación de cuatro pasos interpreta el vector de conmutación indicado por el DSP y convierte esta información en pulsos de conmutación.
- Un modula A/D, el cual transforma las señales analógicas obtenidas por los transductores de tensión y corriente en señales digitales, las cuales son enviadas al DSP.
- Módulo Whatchdog, el cual es un mecanismo de seguridad que provoca un reinicio del sistema en el caso que este se encuentre bloqueado. Este módulo se reinicia cada interrupción de control.
- El bloque de monitoreo de fallas, es utilizado para programar protecciones por hardware de sobre tensiones y sobre corrientes.

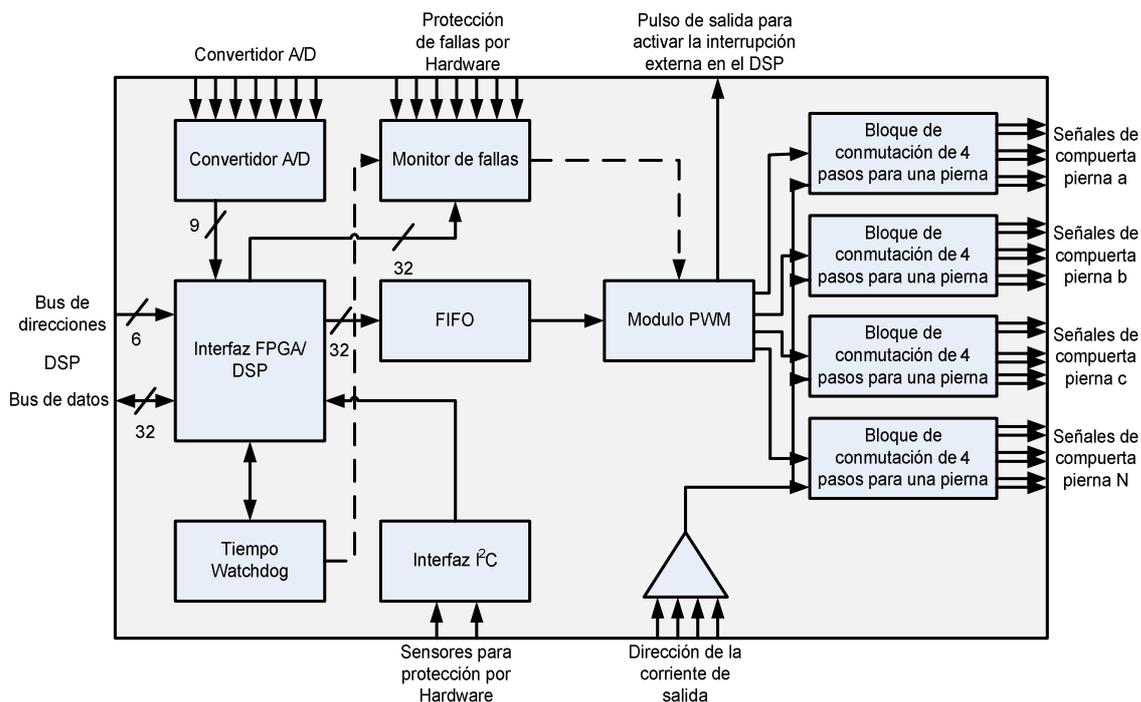


Figura B. 2 Diagrama de bloques de los principales componentes de la FPGA

El programa principal del algoritmo de conmutación se ejecuta en una interrupción en el DSP. La interrupción es activada por un pulso generado en la FPGA cada tiempo de conmutación; durante cada interrupción la información de los canales A/D es extraída

de la FPGA y es enviada en el bus de datos al DSP. Con la información obtenida en los canales A/D, el DSP calcula los ciclos de trabajo para cada uno de los interruptores bidireccionales del convertidor.

La información que necesita la FPGA para generar los pulsos de conmutación es la secuencia de conmutación y el número de pulsos para esa secuencia de conmutación. La FPGA está diseñada para trabajar con la modulación simétrica mediante vectores espaciales (SVM). Para la mitad del ciclo de conmutación, SVM para un convertidor de cuatro hilos necesita seis tiempos activos y tres vectores ceros como se muestra en la figura D.3. Para un convertidor de tres hilos únicamente son necesarios cuatro estados activos y tres vectores ceros.

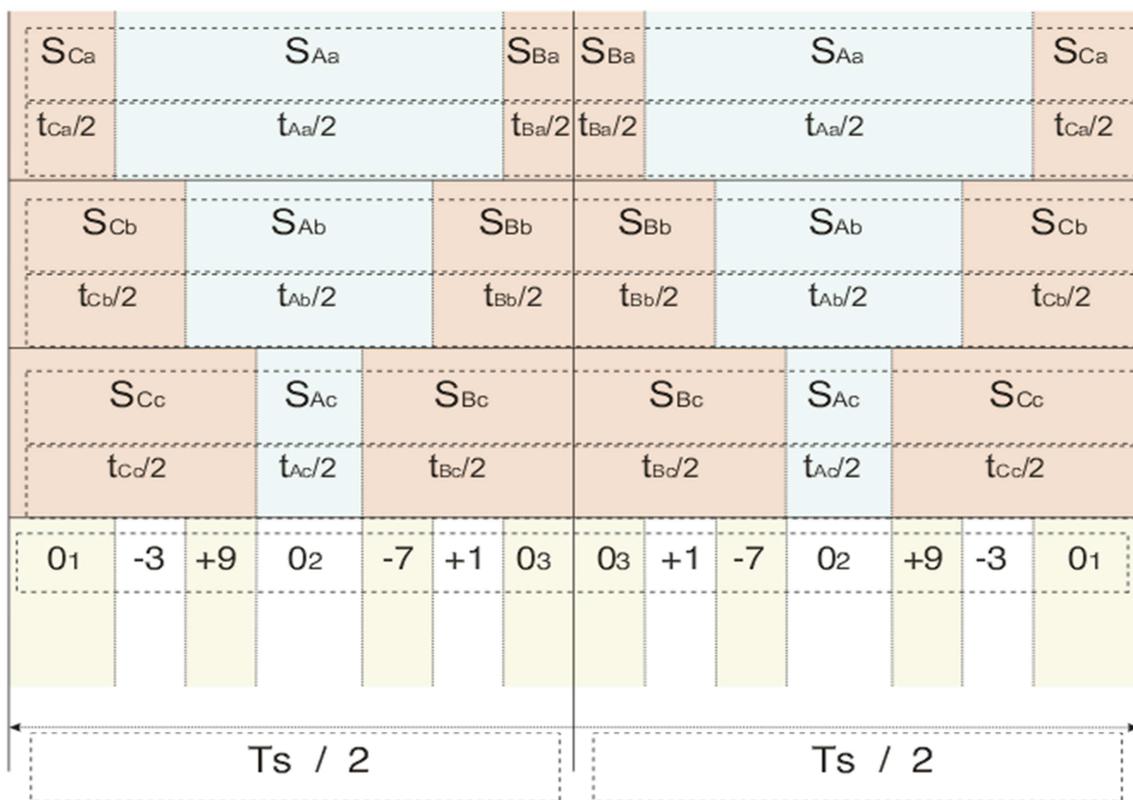


Figura B. 3 Patrón de Conmutación para sector de entrada I y sector de salida I

La información necesaria para generar los pulsos de conmutación es colocada en el registro DPR1 de la FPGA. La estructura del registro DPR1 se muestra en la figura D.4.

Read	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Write	LOT	DOS	CIND	SCLr	TEM	C			N	N	C	C	B	B	A	A
	PVE								1	1						

Read	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Write	UI7	UI6	UI5	UI4	UI3	UI2	UI1	UI0	ABY	CINC	CINB	CINA	PFU	PEM	PAE	PAF
	PVT															

Figura B. 4 Estructura del registro DPR1 de la FPGA

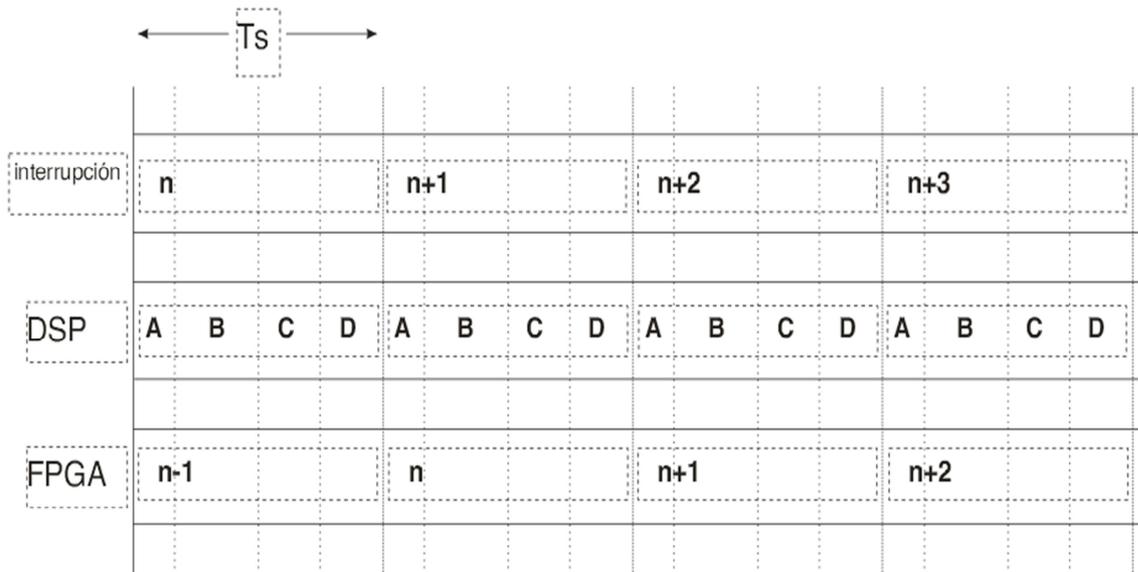
## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

El registro DPR1 es de 32 bits, en los 16 bits menos significativos se colocan los pulsos necesarios para la secuencia de conmutación seleccionada, estos 16 bits se denominan PVT (tiempo para el vector PWM del inglés PWM\_VECTOR\_TIME). En los 7 bits más significativos (bit 16 al 23), se indica la secuencia de conmutación seleccionada. Las fases de salida ocupan un espacio de dos bits y se indica la fase de entrada a la que es conectada de la siguiente forma:

**Tabla D. 1 Código para determinar la fase de entrada a la que se conecta cada hilo de salida del CM**

Fase de entrada	Código
Fase A	00
Fase B	01
Fase C	10

El espacio del registro DPR1 que indican la secuencia de conmutación se denomina PVE (vector PWM del inglés PWM\_VECTOR). La figura D.5 muestra un diagrama de tiempo de las funciones realizadas por la FPGA y el DSP en un periodo de conmutación.



**Figura B. 5 Diagrama de tiempo de funciones ejecutadas en el DSP y FPGA**

En el punto A de la figura D.5, la FPGA toma una lectura de los canales A/D y esta información es enviada de la FPGA al DSP. Durante el punto B, son calculados en el DSP los tiempos de los vectores PWM así como el vector de conmutación. La información del vector PWM y el tiempo de conmutación son enviada a la FPGA en el punto C. El tiempo restante D, es un tiempo libre, que es usado para la comunicación con la interfaz de comunicación en MATLAB. Se debe indicar que los pulsos de conmutación son generados por la FPGA un ciclo después de que han sido calculados en el DSP. La figura D.6 muestra un diagrama de flujo de las funciones ejecutadas por la plataforma de control.

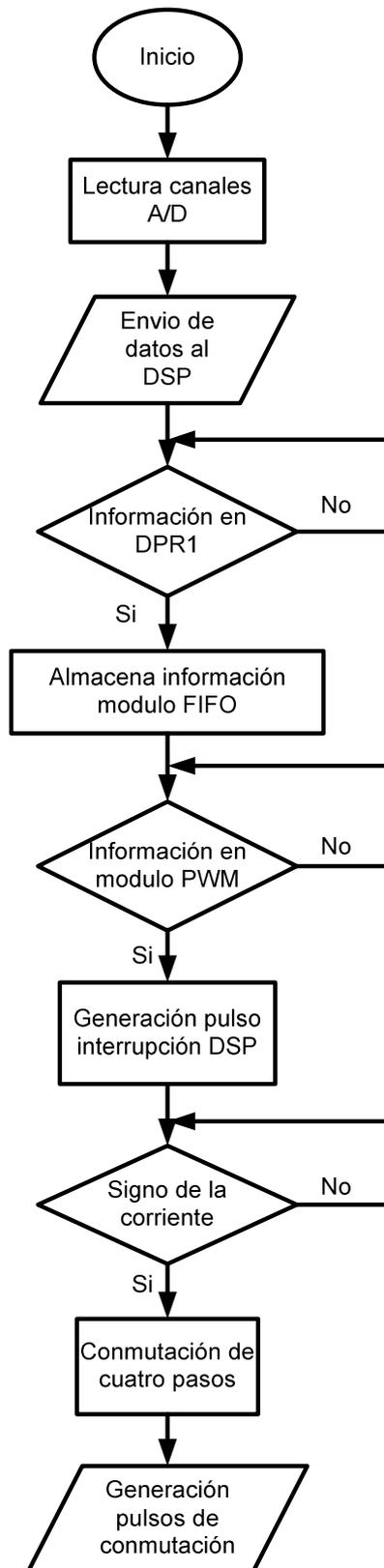


Figura B. 6 Diagrama de flujo de las funciones ejecutadas en la FPGA

# Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

## B.1 Registros de la FPGA

### DPR0 0xA0000000;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	PPD															
Write	PPD															

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	PRS	PEN	ADM	CIP	ADM	ZFR	X	X	PWR	0	SMN	RTR	MEN	SMC	SMB	SMA
Write	PRS	PEN	ADM	CIP	ADM	ZFR	X	X	PWR	AST	SMN			SMC	SMB	SMA

- PPD PWM\_PERIOD 0xFFFF – (desired time - 1 clock cycle)
- PRS PWM\_RESET Active High
- PEN PWM\_ENABLE Active High
- PFL PWM\_FIFO\_LEVEL
- PWR Power on reset Active low - temporary
- CIP Current Direction Input Polarity 0 = Active Low, 1 = Active High
- ZFR Encoder zero pulse polarity 0 = reset on rising edge, 1 – reset on falling edge
- ADM A2D multiplex 0 = software driven 1=pwm interrupt driven.
- AST A2D Converter Start Active High
- SMA State Machine A enable Active High
- SMB State Machine B enable Active High
- SMC State Machine C enable Active High
- RTR reset trip button state Active low
- MEN Enable button state
- Bit 5 SMN State machine N enable
- Bit 9 and bit 8 00→ move SMA to SMN  
01→ move SMB to SMN  
10→ move SMC to SMN

### DPR1 0xA0000100;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	LOT	DOS	CIND	SCLr	TEM	C										
Write	PVE															

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	UI7	UI6	UI5	UI4	UI3	UI2	UI1	UI0	ABY	CINC	CINB	CINA	PFU	PEM	PAE	PAF
Write	PVT															

- LOT Loss of Tracking (from Resolver)-
- DOS Degradation of Signal (from Resolver)

- PVE PWM\_VECTOR
- PVT PWM\_VECTOR\_TIME
- PAF PWM\_FIFO\_Almost Full No. of words in FIFO > 250, Active High
- PAE PWM\_FIFO\_Almost Empty No. of words in FIFO < 2, Active High
- PEM PWM\_FIFO\_EMPTY Active High
- PFU PWM\_FIFO\_FULL Active High
- CINA Current Direction Input, PhaseA Active High

CINB	Current Direction Input, PhaseB	Active High
CINC	Current Direction Input, PhaseC	Active High
ABY	A2D converters Busy	1 = Busy
UI1-7	User input 1 to 7	
PAF2	PWM_FIFO_Almost Full	No. of words in FIFO > 250, Active High
PAE2	PWM_FIFO Almost Empty	No. of words in FIFO < 2, Active High
PEM2	PWM_FIFO_EMPTY	Active High
PFU2	PWM_FIFO_FULL	Active High

**DPR2 0xA0000200;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	SDAw	SCLw														
Write	SDAw	SCLw	T3										T2			

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	EN5	EN4	EN3	EN2	EN1	EN0	RDV L	SEL	DAT AA							
Write	EN5	EN4	EN3	EN2	EN1	EN0	RDV L T1	SEL	DAT AA							

RDVL to select between angular position and velocity registers, RDVL is held **high** for angular position  
 RDVL is held **low** for angular velocity  
 EN0 – EN5 Enable signals for the output PWM, active high  
 SEL Select pin for PWM source, 0 standard PWM, 1 Space Vector PWM  
 DATAA Dead Time Value

SCLw I2C Serial clock line (bit used to drive bus)  
 SDAw I2C Serial Data / Address line (bit used to drive bus)  
 Bit 0 to 9 t1 First delay timer register for 4-step current commutation  
 Bit 10 to 19 t2 Second delay timer register for 4-step current commutation  
 Bit 20 to 29 t3 Third delay timer register for 4-step current commutation

**DPR3 0xA0000300;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD1															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD0															
Write																

**DPR4 0xA0000400;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD3															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD2															
Write																

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

AD2            A2D Data, Channel 2  
AD3            A2D Data, Channel 3

### DPR5 0xA000500;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD5															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD4															
Write																

AD4            A2D Data, Channel 4  
AD5            A2D Data, Channel 5

### DPR6 0xA000600;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD7															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD6															
Write																

AD6            A2D Data, Channel 6  
AD7            A2D Data, Channel 7

### DPR7 0xA000700;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD9															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD8															
Write																

AD8            A2D Data, Channel 8  
AD9            A2D Data, Channel 9

### DPR8 0xA000800;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	HT23	HT22	HT21	HT20	HT19	HT18	HT17	HT16	HT15	HT14	HT13	HT12	HT11	HT10	HT9	HT8
Write																

## Apéndice B

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	HT7	HT6	HT5	HT4	HT3	HT2	HT1	HT0	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
Write									ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0

ST0 – ST15                      Software Trip                      Active High

ST6 Mcbs port 1 not ready

HT0 – HT15                      Hardware Trip                      Active High

HT0                      FIFO empty trip

HT1                      Watchdog Trip

HT2                      Channel 0 trip

HT3                      Channel 1 trip

HT4                      Channel 2 trip

HT5                      Channel 3 trip

HT6                      Channel 4 trip

HT7                      Channel 5 trip

HT8                      Channel 6 trip

HT9                      Channel 7 trip

HT10                      Channel 8 trip

HT11                      Channel 9a trip

HT12                      Channel 9b trip

HT13                      Clamp over stress

HT14                      External trip 2

HT15                      PWM FIFO Full

HT22                      External trip

HT23                      Clamp Over Voltage

HT16                      Loss of Signal (from Resolver)

HT17                      Degradation of Signal (from Resolver)

HT18                      Loss of Tracking (from Resolver)

### DPR9 0xA0000900;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read															WEN	0
Write															WEN	WSR

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	W_PERIOD															
Write	W_PERIOD															

W\_PERIOD                      Watchdog Period Register

Period = 0xFFFF – W\_PERIOD

WSR                      Watchdog Service

Active High

WEN                      Watchdog Enable

Active High

User Input 1

Active High

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

### DPR10 0xA000A00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read																
Write																ADD

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read																
Write		COM					RES		DAT							

I2C digital pot interface,

DAT                   Data, 0-255 represents resistor pot tap  
 RES                 resistor number,  
 COM                command Volatile reg write = 1 NV-write = 2  
 ADD                address

ADC Channel trip level	Address	Resistor
0 upper reference (Auto Lower)	0	2
1 upper reference (Auto Lower)	0	1
2 upper reference (Auto Lower)	1	2
3 upper reference (Auto Lower)	1	1
4 upper reference (Auto Lower)	2	2
5 upper reference (Auto Lower)	2	1
6 upper reference	3	2
6 Lower reference	3	1
7 upper reference	4	2
7 Lower reference	4	1
8 upper reference	5	2
8 Lower reference	5	1
9 upper reference	6	2
9 Lower reference	6	1

### DPR11 0xA000B00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	DTD								UTD							
Write	DTD								UTD							

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	CTT															
Write	CTT															

CTT   Clamp trip time                   sets counter trip level based on counter divisors below  
 UTD   Up time divider                 Sets Up counter period = FPGAclock period / UTD+1  
 DTD   Down timeme divider             Sets down counter period = FPGAclock period / DTD+1

### DPR12 0xA000C00;

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	TE23	TE22	TE21	TE20	TE19	TE18	TE17	TE16	TE15	TE14	TE13	TE12	TE11	TE10	TE9	TE8
Write	TE23	TE22	TE21	TE20	TE19	TE18	TE17	TE16	TE15	TE14	TE13	TE12	TE11	TE10	TE9	TE8

# Apéndice C

## Código DSP C6713

En este apéndice se muestra el código programado para el funcionamiento del CM. El código está basado en lenguaje C. En el código se programó la técnica de modulación de Sünter-Clare. Así mismo se configuraron los puertos de comunicación, contadores, y configuración de FPGA.

### C.1 Programa Principal

**//Bibliotecas utilizadas**

```
#include <stdio.h>
#include <c6x.h>
#include <math.h>
#include <fastmath67x.h>
```

```
#include "c6x11dsk.h"
#include "FPGA.h"
#include "Parametros.h"
#include "Conmutaciones.h"
#include "dsk6713.h"
#include "dsk6713_led.h"
#include "display.h"
```

**// Variables y parámetros del Programa**

```
float Fo =60; // Frecuencia de la señal de referencia
float VpRef =50; // Amplitud de la señal de referencia
float AUX;
```

**// VARIABLES PARA FILTRO DIGITAL DE VIN2 & VOUT2**

```
float Vin2_F_1,Vin2_F,Vin2_1;
float Vout2_F_1,Vout2_F,Vout2_1;
float VAB_F_1,VAB_F,VAB_1;
float VBC_F_1,VBC_F,VBC_1;
float VClamp_F_1,VClamp_F,VClamp_1;
```

**// VARIABLES PARA USO DEL DISPLAY**

```
unsigned int mensaje;
int seguro=0;
int aux=1,aux3=0;
```

```

unsigned int trip_on=0,counts=0,written_mes;
unsigned int trip=1,aux2=1;
double aux1=0;
unsigned int DPROCHO;

```

**// VARIABLES DE MEDICIÓN ADC**

```

int adc0,adc1,adc2,adc3,adc4,adc5,adc6,adc7,adc8,adc9;
float Vfb_a,Vfb_b,Vfb_c,VAB,VBC,VClamp,ia,ib,ic;
float VA,VB,VC;
float alfa_in,beta_in,alfa_out,beta_out;
float Vin2,Vout2;
float Wo_aux,Wout;
float Wi,Wo,Wi_aux,Wo_aux;
float Wo_i,Wo_aux_i,delta_i;
float Theta;

```

**// PARA LOS CICLOS DE TRABAJO**

```

float MAa,MAb,MAc,MBa,MBb,MBc,MCa,MCb,MCC;
float d01,d02,d03,dI,dII,dIII,dIV;
unsigned int d01p,d02p,d03p,dIp,dIIp,dIIIp,dIVp,DO_3p;
float d01f,d02f,d03f,dIf,dIIIf,dIIIf,dIVf,DO_3f;
float k1,k2,k3;
float delta;
int kvi,kvo,KV,KVO;
int Ki,Kv;
float Kif,Kvf;
float q;

```

```

float Maux[3][6]={{0,0,0,0,0,0},{0,0,0,0,0,0},{0,0,0,0,0,0}};
float MM[3][3]={{0,0,0},{0,0,0},{0,0,0}};
float D01,D02,D03,DI,DII,DIII,DIV;

```

**// VECTOR CÓDIGO DE TRABAJO PARA REGISTRO "PVE" DE LA FPGA, SE DEFINEN LAS POSIBLES COMBINACIONES DE SWITCHEO**

```

unsigned int VCT[22]=
{
0x004000, // VCT[0], dummy
0x280000, // VCT[1], +1
0x020000, // VCT[2], -1
0x160000, // VCT[3], +2
0x290000, // VCT[4], -2
0x010000, // VCT[5], +3
0x140000, // VCT[6], -3
0x220000, // VCT[7], +4
0x080000, // VCT[8], -4
0x190000, // VCT[9], +5
0x260000, // VCT[10], -5
0x040000, // VCT[11], +6
0x110000, // VCT[12], -6
0x0A0000, // VCT[13], +7
0x200000, // VCT[14], -7
0x250000, // VCT[15], +8

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
    0x1A0000,    // VCT[16], -8
    0x100000,    // VCT[17], +9
    0x050000,    // VCT[18], -9
    0x000000,    // VCT[19], 01
    0x2A0000,    // VCT[20], 02
    0x150000,    // VCT[21], 03
};

int DriveOn;
unsigned int Sec_Pulsos, Sec_Pulsos_2;
float T_Pulsos_2, SEC, SECURE;
unsigned int dpr0, dpr8;
float Va, Vb, Vc;

// PROTOTIPOS DE FUNCIONES

void Timer0_init();
void Timer1_init();
void FPGA_init();
void Control_init();
void Control_faseA();
void Control_faseB();
void Control_FaseC();
void Only_Tracking();
void mensajes();
void Hardware_Trips();

// INTERRUPCIÓN

void pwm_int();

// SE LLAMAN LAS BIBLIOTECAS "TRACE.H" & "HOST.H", UNA VEZ QUE LAS VARIABLES HAN
SIDO DECLARADAS PUES AMBAS LIBRERÍAS UTILIZAN ALGUNAS DE LAS MISMAS

#include "host.h"
#include "trace.h"

//***** PROGRAMA PRINCIPAL *****/
void main()
{
    host_init(83.33333333e-6);    // Se coloca esta función para uso del Host
                                // y Daughter Card con el tiempo de muestro 1/12000;

    Hardware_Trips();    // Se habilitan las Fallas por Hardware programadas en FPGA
    Timer1_init();    // Se configura el contador
    *(unsigned int *)TIMER1_CTRL |= 0x00C0;    // Se comienza a contar
    *(unsigned volatile int *)PLL_CSR = 0x8;    // Se resetea el PLL
    *(unsigned int *)TIMER1_COUNT = 0;
    *(unsigned int *)TIMER1_CTRL |= 0x00C0;

    while((*(unsigned int *)TIMER1_COUNT)<3000); // Espera activa

    // Se escala el PLL
    *(unsigned volatile int *)PLL_M= 0x4;    // Se Multiplica el PLL X4 ,
```

```

*(unsigned volatile int *)PLL_DIV0 = 0x00008000;          // Se Divide el PLL entre 1
*(unsigned volatile int *)PLL_CSR= 0x0;

*(unsigned int *)TIMER1_COUNT = 0;
*(unsigned int *)TIMER1_CTRL |= 0x00C0;

while((* (unsigned int*)TIMER1_COUNT)<3000);           // espera activa
*(unsigned volatile int *)PLL_CSR |= 0x1;

// SE LE INDICA A EL DSP QUE INTERRUPCIONES SERA UTILIZADAS DURANTE EL PROGRAMA EN ESTE CASO ÚNICAMENTE SE ACTIVARAN LAS INTERRUPCIONES POR RESET Y LA INTERRUPCIÓN EXTERNA GENERADA POR LA FPGA CADA TS, DEL TIPO EXTERNA Y QUE SE ACTIVA CADA FILO DE SUBIDA

*(unsigned int *)TIMER1_CTRL &= 0xFF3F;

CSR=0x100;
IER=2;

*(unsigned volatile int *)EMIF_GCR = 0x3320;
*(unsigned volatile int *)EMIF_CE0 = 0x30;
*(unsigned volatile int *)EMIF_CE1 = 0xFFFFFFFF03;
*(unsigned volatile int *)EMIF_CE2 = 0x30D3C321;
*(unsigned volatile int *)EMIF_SDCTRL = 0x57116000;
*(unsigned volatile int *)EMIF_SDRP = 0x61A;

FPGA_init();          // Se inicia la FPGA
init_display();
*(unsigned volatile int *)EXTPOL &= 0xFFFFFFFFFE;

// Se indica que la interrupción externa será activada por los fillos de subida que generan la FPGA

ICR=0xFFFF;          // Se resetean todas las interrupciones
IER|=0x0010;          // Se habilita la interrupción #4
CSR|=0x1;             // Se activan las interrupciones globales

Control_init();      // Se inician todas la variables a cero

// Se ponen el vector de tiempos lo correspondiente al estado [3 3 3] suponiendo que todos los IGBTs están inactivos al inicio

*(unsigned int *)DPR1=0x150000;
*(unsigned int *)DPR1=0x150000;

// Se activan las salidas PWM de la FPGA en registro DPR0

*(unsigned int *)DPR0 |= 0x00004000;

// Se tiene una espera de aproximadamente 3 interrupciones de la FPGA para asegurar que El DSP está listo para operar correctamente

*(unsigned int *)TIMER1_CTRL|= 0x00C0;
while((* (unsigned int*)TIMER1_COUNT)<15000);

*(unsigned int *)TIMER1_CTRL&=0xFF7F;

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
*(unsigned int *)DPR9 |= 0x00020000;          // Se activa el WATCHDOG

*(unsigned int *)TIMER1_CTRL&=0xFF7F;
*(unsigned int *)TIMER1_COUNT=0;            // Se resetea el TIMER
*(unsigned int *)TIMER1_CTRL|=0x0C0;

// !! ---> LA SIGUIENTE SECUENCIA DE COMANDOS ES REQUERIDA POR LAS LIBRERÍAS
"TRACE.H" & "HOST.H" DENTRO DEL LAZO INFINITO CON EL FIN DE OBTENER LOS DATOS

while(1)
{
    mensajes();

    if (message_sent)
    {
        HPImsg(7
        decode_host_msg();
        message_sent = 0;
    }
}

//    FIN DEL MAIN
}
```

### C.2 Interrupcion

```
interrupt void pwm_int(void)
{
    *(unsigned int*)DPR0|=0x00000007; // Interrupción de PWM para cálculo de ciclos de trabajo

    DataSetting();          // Para transmisión de datos a MatLab

    *(unsigned int*)DPR0|=0x00000040;          // Se activa el ADC
    *(unsigned int*)DPR9|=0x30000;           // Se activa el watchdog FPGA

    while(!(*(unsigned int*)DPR1)&0x0080);    // Espera activa hasta que el ADC termine

    // Se extrae información de los registros de FPGA para protección por fallas de software y
    hardware DPR8 para fallas y DPR0 para activación de FPGA

    dpr0=*(unsigned int*)DPR0;
    dpr8=*(unsigned int*)DPR8;

    *(unsigned int*)DPR0&=0xFFFFF7FF; // Se pone el bit ADM en 0, para que el software de FPGA
    *(unsigned int*)DPR0|=0x40;       // trabaje

    // Protecciones por software

    if((dpr0 & 0x00000008) || dpr8) // Si existe alguna falla se activan protecciones
        DriveOn=0;
}
```

```

else if(!DriveOn)
    {
    DriveOn=1;
    *(unsigned int*)DPR0|=0x00000007;    // Se habilita la fase A, B y C
    *(unsigned int*)DPR0&=0xFFFFFDF;
    }

if(dpr8)
*(unsigned int*)DPR8|=0x000080;

// Se revisa si existe alguna falla (HARDWARE), de ser así Se activa el un registro para asegurar
el paro

if(!(dpr0 & 0x00000010)&&(dpr0 & 0x00000008))
*(unsigned int*)DPR8 &=0xFFFFF00;

// Se comienza la extracción de datos de los ADCs

*(unsigned int*)DPR0|=0x00000800;
CA=*(unsigned int*)DPR1 & 0x00000010;
CB=*(unsigned int*)DPR1 & 0x00000020;
CC=*(unsigned int*)DPR1 & 0x00000040;

CAf=(float)(CA>>4);
CBf=(float)(CB>>5);
CCf=(float)(CC>>6);

adc0=*(unsigned int*)DPR3;
adc1=(adc0&0x3FFF0000)>>16;
adc0&=0x3FFF;

adc2=*(unsigned int*)DPR4;
adc3=(adc2&0x3FFF0000)>>16;
adc2&=0x3FFF;

adc4=*(unsigned int*)DPR5;
adc5=(adc4&0x3FFF0000)>>16;
adc4&=0x3FFF;

adc6=*(unsigned int*)DPR6;
adc7=(adc6&0x3FFF0000)>>16;
adc6&=0x3FFF;

adc8=*(unsigned int*)DPR7;
adc9=(adc8&0x3FFF0000)>>16;
adc8&=0x3FFF;

// Se asignan los valores de los ADCs a las variables de Voltajes y Corrientes
// Con un previo escalamiento, utilizando un offset y una ganancia para calibrar

Vfb_a=(float)(adc2-OFFSET_a)*-1/GAIN_a;
Vfb_b=(float)(adc3-OFFSET_b)*-1/GAIN_b;
Vfb_c=(float)(adc4-OFFSET_c)*-1/GAIN_c;

VClamp=(float)(adc5-OFFSET_Clamp)*-1/GAIN_Clamp;

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
ia=(float)(adc6-OFFSET_ia)*-1/GAIN_ia;
ib=(float)(adc7-OFFSET_ib)*-1/GAIN_ib;
ic=(float)(adc8-OFFSET_ic)*-1/GAIN_ic;

// Se procede a revisar fallas en las fases según las mediciones escaladas
// Por sobre-corriente

if((ia>IMAX)||(-ia>IMAX)||ib>IMAX)||(-ib>IMAX)||ic>IMAX)||(-ic>IMAX))
{
    *(unsigned int*)DPR8|=0x0001; // Si hay sobre corriente falla 1 en DPR8
    DriveOn=0; // Bandera de protección
    *(unsigned int*)DPR0&=0xFFFFFD8; // Se desactivan las salidas A, B y C
}

// Por sobre-voltaje en clamp

if(VClamp>VCLAMP_MAX)
{
    *(unsigned int*)DPR8|=0x0002; // Si hay sobre corriente falla 2 en DPR8
    DriveOn=0; // Bandera de protección
    *(unsigned int*)DPR0&=0xFFFFFD8; // Se desactivan las salidas A, B y C
}

// Se comienzan cálculos con Voltajes de Entrada

VA=(2*VAB+VBC)*UN_TERCIO;
VB=(VA-VAB);
VC=(VB-VBC);

// Se calculan componentes del vector espacial
// Se filtra Digitalmente La variables Vin2 con filtro IIR Butterwoth 1er orden

Vin2_1=Vin2;
Vin2=CUATRO_NUEVE*(((VA-VB)*(VA-VB))+((VB-VC)*(VB-VC))+((VA-VB)*(VB-VC)));
Vin2_F_1=Vin2_F;
Vin2_F=(0.9004*Vin2_F_1)+(0.0498*(Vin2+Vin2_1));

alfa_in=DOS_TERCIOS*(VA-(.5*VB)-(5*VC)); // Alfa
beta_in=(VB-VC)*(1/SQRT3); // Beta
Wi_aux=atanf(beta_in/alfa_in); // Frecuencia angular
if((alfa_in>0)&&(beta_in==0))
    Wi=0.0;
else if ((alfa_in>0)&&(beta_in>0))
    Wi=Wi_aux;
else if ((alfa_in==0)&&(beta_in>0))
    Wi=PI_MEDIOS;
else if ((alfa_in<0)&&(beta_in>0))
    Wi=PI+Wi_aux;
else if ((alfa_in<0)&&(beta_in==0))
    Wi=PI;
else if ((alfa_in<0)&&(beta_in<0))
    Wi=PI+Wi_aux;
else if ((alfa_in==0)&&(beta_in<0))
    Wi=1.5*PI;
```

```

else if ((alfa_in>0)&&(beta_in<0))
    Wi=DOSPI+Wi_aux;
else
    Wi=Wi_aux;

kvi=(Wi+PI_MEDIOS)/PI_TERCIOS;    // Sector de Voltaje de entrada
kvi=((kvi==7)?1:kvi);             // Se garantiza que el máximo sector sea 6

// Inicia el control en lazo abierto

delta=(DOSPI*Fo)/FSW;
Wo_aux+=delta;
Wo_aux=((Wo_aux>=DOSPI)?(Wo_aux-DOSPI):Wo_aux);
Wo=Wo_aux;

// Voltajes de Referencia

Va=VpRef*cosf(Wo);
Vb=VpRef*cosf(Wo+CUATROPI_TERCIOS);
Vc=VpRef*cosf(Wo+DOSPI_TERCIOS);

// Se calcula el voltaje pico de salida
Vout2_1=Vout2;
Vout2=DOS_TERCIOS*((Va*Va)+(Vb*Vb)+(Vc*Vc));
Vout2_F_1=Vout2_F;
Vout2_F=(0.9004*Vout2_F_1)+(0.0498*(Vout2+Vout2_1));

q=sqrt(Vout2_F/Vin2_F);           // Se calcula Q con los Voltajes filtrados

if (q>0.7)
    q=0.7;
if (q<0.1)
    q=0.1;

kvo=(Wo+PI_TERCIOS)/PI_TERCIOS;
kvo=((kvo==7)?1:kvo);

// Comienza cálculos de Ciclos de Trabajo por medio de la técnica directa de Alesina_Venturini
modificada por Sunter-Clare

k1=((2*q/(9*qm))*sinf(Wi)*sinf(3*Wi));
k2=((2*q/(9*qm))*sinf(Wi-((2*PI)/3))*sinf(3*Wi));
k3=(-1)*sqrtf(Vout2_F)*(UN_SEXTO*cosf(3*Wo)-(UN_CUATROQ*cosf(3*Wi)));

MAa=UN_TERCIO+k1+((2/(3*Vin2_F))*(Va+k3)*(DOS_TERCIOS*(VA-VB)+((VB-VC)/3)));
MAb=UN_TERCIO+k1+((2/(3*Vin2_F))*(Vb+k3)*(DOS_TERCIOS*(VA-VB)+((VB-VC)/3)));
MAc=UN_TERCIO+k1+((2/(3*Vin2_F))*(Vc+k3)*(DOS_TERCIOS*(VA-VB)+((VB-VC)/3)));

MBa=UN_TERCIO+k2+((2/(3*Vin2_F))*(Va+k3)*(UN_TERCIO*(VB-VC)-((VA-VB)/3)));
MBb=UN_TERCIO+k2+((2/(3*Vin2_F))*(Vb+k3)*(UN_TERCIO*(VB-VC)-((VA-VB)/3)));
MBc=UN_TERCIO+k2+((2/(3*Vin2_F))*(Vc+k3)*(UN_TERCIO*(VB-VC)-((VA-VB)/3)));

MCa=1-(MAa+MBa);
MCb=1-(MAb+MBb);
MCc=1-(MAc+MBc);

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

**// SE REALIZA LA TRANSFORMACIÓN DE ALESINA-VENTURINI A SPACE VECTOR MODULACIÓN MEDIANTE LAS FORMULAS DE EQUIVALENCIAS (VER TESIS DE YUE FAN)**

```
Ki=kvi;  
Kv=kvo;  
KV=kvi;  
KVO=kvo;  
Kif=(float)Ki;  
Kvf=(float)Kv;
```

```
MM[0][0]=MAa;  
MM[0][1]=MBa;  
MM[0][2]=MCa;  
MM[1][0]=MAb;  
MM[1][1]=MBb;  
MM[1][2]=MCb;  
MM[2][0]=MAc;  
MM[2][1]=MBc;  
MM[2][2]=MCc;
```

```
if ((KV== 1) || (KV== 4))  
{  
    Maux[0][3]=MM[0][2];  
    Maux[0][4]=MM[0][0];  
    Maux[0][5]=MM[0][1];  
    Maux[1][3]=MM[1][2];  
    Maux[1][4]=MM[1][0];  
    Maux[1][5]=MM[1][1];  
    Maux[2][3]=MM[2][2];  
    Maux[2][4]=MM[2][0];  
    Maux[2][5]=MM[2][1];  
}  
else if ((KV== 2) || (KV== 5))  
{  
    Maux[0][3]=MM[0][1];  
    Maux[0][4]=MM[0][2];  
    Maux[0][5]=MM[0][0];  
    Maux[1][3]=MM[1][1];  
    Maux[1][4]=MM[1][2];  
    Maux[1][5]=MM[1][0];  
    Maux[2][3]=MM[2][1];  
    Maux[2][4]=MM[2][2];  
    Maux[2][5]=MM[2][0];  
}  
else if ((KV== 3) || (KV== 6))  
{  
    Maux[0][3]=MM[0][0];  
    Maux[0][4]=MM[0][1];  
    Maux[0][5]=MM[0][2];  
    Maux[1][3]=MM[1][0];  
    Maux[1][4]=MM[1][1];  
    Maux[1][5]=MM[1][2];  
    Maux[2][3]=MM[2][0];  
    Maux[2][4]=MM[2][1];
```

```

Maux[2][5]=MM[2][2];
    }

if (KV==1 || KV==3 || KV==5)
{
    if (KVO==1)
    {
        Maux[0][0]=Maux[0][3];
        Maux[0][1]=Maux[0][4];
        Maux[0][2]=Maux[0][5];
        Maux[1][0]=Maux[1][3];
        Maux[1][1]=Maux[1][4];
        Maux[1][2]=Maux[1][5];
        Maux[2][0]=Maux[2][3];
        Maux[2][1]=Maux[2][4];
        Maux[2][2]=Maux[2][5];
    }
    else if (KVO==2)
    {
        Maux[0][0]=Maux[1][3];
        Maux[0][1]=Maux[1][4];
        Maux[0][2]=Maux[1][5];
        Maux[1][0]=Maux[0][3];
        Maux[1][1]=Maux[0][4];
        Maux[1][2]=Maux[0][5];
        Maux[2][0]=Maux[2][3];
        Maux[2][1]=Maux[2][4];
        Maux[2][2]=Maux[2][5];
    }
    else if (KVO==3)
    {
        Maux[0][0]=Maux[1][3];
        Maux[0][1]=Maux[1][4];
        Maux[0][2]=Maux[1][5];
        Maux[1][0]=Maux[2][3];
        Maux[1][1]=Maux[2][4];
        Maux[1][2]=Maux[2][5];
        Maux[2][0]=Maux[0][3];
        Maux[2][1]=Maux[0][4];
        Maux[2][2]=Maux[0][5];
    }
    else if (KVO==4)
    {
        Maux[0][0]=Maux[2][3];
        Maux[0][1]=Maux[2][4];
        Maux[0][2]=Maux[2][5];
        Maux[1][0]=Maux[1][3];
        Maux[1][1]=Maux[1][4];
        Maux[1][2]=Maux[1][5];
        Maux[2][0]=Maux[0][3];
        Maux[2][1]=Maux[0][4];
        Maux[2][2]=Maux[0][5];
    }
    else if (Kv==5)

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
{
  Maux[0][0]=Maux[2][3];
  Maux[0][1]=Maux[2][4];
  Maux[0][2]=Maux[2][5];
  Maux[1][0]=Maux[0][3];
  Maux[1][1]=Maux[0][4];
  Maux[1][2]=Maux[0][5];
  Maux[2][0]=Maux[1][3];
  Maux[2][1]=Maux[1][4];
  Maux[2][2]=Maux[1][5];
}
else if (Kv==6)
{
  Maux[0][0]=Maux[0][3];
  Maux[0][1]=Maux[0][4];
  Maux[0][2]=Maux[0][5];
  Maux[1][0]=Maux[2][3];
  Maux[1][1]=Maux[2][4];
  Maux[1][2]=Maux[2][5];
  Maux[2][0]=Maux[1][3];
  Maux[2][1]=Maux[1][4];
  Maux[2][2]=Maux[1][5];
}
}

else if (KV==2 || KV==4 || KV==6)
{
  if (KVO==1)
  {
    Maux[0][0]=Maux[2][3];
    Maux[0][1]=Maux[2][4];
    Maux[0][2]=Maux[2][5];
    Maux[1][0]=Maux[1][3];
    Maux[1][1]=Maux[1][4];
    Maux[1][2]=Maux[1][5];
    Maux[2][0]=Maux[0][3];
    Maux[2][1]=Maux[0][4];
    Maux[2][2]=Maux[0][5];
  }
  else if (KVO==2)
  {
    Maux[0][0]=Maux[2][3];
    Maux[0][1]=Maux[2][4];
    Maux[0][2]=Maux[2][5];
    Maux[1][0]=Maux[0][3];
    Maux[1][1]=Maux[0][4];
    Maux[1][2]=Maux[0][5];
    Maux[2][0]=Maux[1][3];
    Maux[2][1]=Maux[1][4];
    Maux[2][2]=Maux[1][5];
  }
  else if (KVO==3)
  {
    Maux[0][0]=Maux[0][3];
    Maux[0][1]=Maux[0][4];
  }
}
```

```

Maux[0][2]=Maux[0][5];
Maux[1][0]=Maux[2][3];
Maux[1][1]=Maux[2][4];
Maux[1][2]=Maux[2][5];
Maux[2][0]=Maux[1][3];
Maux[2][1]=Maux[1][4];
Maux[2][2]=Maux[1][5];
}
else if (KVO==4)
{
Maux[0][0]=Maux[0][3];
Maux[0][1]=Maux[0][4];
Maux[0][2]=Maux[0][5];
Maux[1][0]=Maux[1][3];
Maux[1][1]=Maux[1][4];
Maux[1][2]=Maux[1][5];
Maux[2][0]=Maux[2][3];
Maux[2][1]=Maux[2][4];
Maux[2][2]=Maux[2][5];
}
else if (KVO==5)
{
Maux[0][0]=Maux[1][3];
Maux[0][1]=Maux[1][4];
Maux[0][2]=Maux[1][5];
Maux[1][0]=Maux[0][3];
Maux[1][1]=Maux[0][4];
Maux[1][2]=Maux[0][5];
Maux[2][0]=Maux[2][3];
Maux[2][1]=Maux[2][4];
Maux[2][2]=Maux[2][5];
}
else if (KVO==6)
{
Maux[0][0]=Maux[1][3];
Maux[0][1]=Maux[1][4];
Maux[0][2]=Maux[1][5];
Maux[1][0]=Maux[2][3];
Maux[1][1]=Maux[2][4];
Maux[1][2]=Maux[2][5];
Maux[2][0]=Maux[0][3];
Maux[2][1]=Maux[0][4];
Maux[2][2]=Maux[0][5];
}
}
}

if((KV+KVO)&1)
{
D01=Maux[0][0];
D02=Maux[2][1];
D03=Maux[0][2];
DI=Maux[1][0]-Maux[0][0];
DIII=Maux[2][0]-Maux[1][0];
DII=Maux[1][2]-Maux[0][2];
DIV=Maux[2][2]-Maux[1][2];

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
    }
else
    {
        D01=Maux[0][0];
        D02=Maux[2][1];
        D03=Maux[0][2];
        DIII=Maux[1][0]-Maux[0][0];
        DI=Maux[2][0]-Maux[1][0];
        DIV=Maux[1][2]-Maux[0][2];
        DII=Maux[2][2]-Maux[1][2];
    }

// Se multiplican los Duties Cycles por Los pulsos partidos por la mitad para lograr
//una conmutación double_sided

d01p=(unsigned int)(D01*Sec_Pulsos_2);
d02p=(unsigned int)(D02*Sec_Pulsos_2);
dIp=(unsigned int)(DI*Sec_Pulsos_2);
dIIp=(unsigned int)(DII*Sec_Pulsos_2);
dIIIp=(unsigned int)(DIII*Sec_Pulsos_2);
dIVp=(unsigned int)(DIV*Sec_Pulsos_2);
d03p=(unsigned int)(Sec_Pulsos_2-(d01p+d02p+dIp+dIIp+dIIIp+dIVp));
DO_3p=d03p*2;
d01f=(float)d01p;
d02f=(float)d02p;
d03f=(float)d03p;
dIf=(float)dIp;
dIIIf=(float)dIIp;
dIIIIf=(float)dIIIp;
dIVf=(float)dIVp;
DO_3f=(float)DO_3p;

// Se forma el arreglo que apunta a los patrones de conmutación definidos previamente en
"Conmutaciones.h"

pVS= &VS[KV-1][KVO-1];
SECURE=(float)(d01p+d02p+d03p+dIp+dIIp+dIIIp+dIVp);

// Se detecta el patrón de conmutación según la suma del sector de entrada y el sector
// de salida según sea Ki+Kv PAR o IMPAR se tendrá una conmutación diferente

SUMASEC=(float)(KV+KVO);
SS=(KV+KVO) & 0x1;
if(!DriveOn)
    *(unsigned int*)DPR1=(VCT[21]);
else
    {
        if(SS)
            {
                auxiliar=1;
                *(unsigned int *)DPR1=(VCT[(*pVS)[0]])|d01p;
                if(dIp>1)**(unsigned int *)DPR1=(VCT[(*pVS)[1]])|dIp;
                if(dIIIp>1)**(unsigned int *)DPR1=(VCT[(*pVS)[2]])|dIIIp;
                *(unsigned int *)DPR1=(VCT[(*pVS)[3]])|d02p;
                if(dIVp>1)**(unsigned int *)DPR1=(VCT[(*pVS)[4]])|dIVp;
```

```

if(dIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[5]])|dIIp;
*(unsigned int *)DPR1=(VCT[(*pVS)[6]])|DO_3p;
if(dIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[7]])|dIIp;
if(dIVp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[8]])|dIVp;
*(unsigned int *)DPR1=(VCT[(*pVS)[9]])|d02p;
if(dIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[10]])|dIIIp;
if(dIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[11]])|dIp;
*(unsigned int *)DPR1=(VCT[(*pVS)[12]]);//|d01p;
}
else // Es par y ejecuta las sentencias del Else
{
auxiliar=0;
*(unsigned int *)DPR1=(VCT[(*pVS)[0]])|d01p;
if(dIIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[1]])|dIIIp;
if(dIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[2]])|dIp;
*(unsigned int *)DPR1=(VCT[(*pVS)[3]])|d02p;
if(dIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[4]])|dIIp;
if(dIVp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[5]])|dIVp;
*(unsigned int *)DPR1=(VCT[(*pVS)[6]])|DO_3p;
if(dIVp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[7]])|dIVp;
if(dIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[8]])|dIIp;
*(unsigned int *)DPR1=(VCT[(*pVS)[9]])|d02p;
if(dIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[10]])|dIp;
if(dIIIp>1)*(unsigned int *)DPR1=(VCT[(*pVS)[11]])|dIIIp;
*(unsigned int *)DPR1=(VCT[(*pVS)[12]]);//|d01p;
}
}

if(*(unsigned int *)DPR0 & 0x00000006)
mensaje=0x50574DFF;
else
mensaje=0x50574DFE;

if(~(*(unsigned int *)DPR0) & 0x00000010)
mensaje=0x52535421;

DataCapture(); // Se le indica al programa sobre la toma de datos para MATLAB
}
//***** FIN DE LA INTERRUPCIÓN ***** //

```

### C.3 Contadores

```

void Timer1_init(void)
{
*(unsigned volatile int *)TIMER1_CTRL &= 0xFF3F;
// Bits 7 y 6 a 0 para Hold timer
*(unsigned volatile int *)TIMER1_CTRL |= 0x200;
// Se selecciona el reloj interno del DSP 225Mhz /4
*(unsigned volatile int *)TIMER1_CTRL &= 0xFEFF;
// Se selecciona el modo de Pulsos
*(unsigned volatile int *)TIMER1_PRD = 0xFFFFFFFF;
// Se fija el periodo maximo de conteo a 32 bits
// Fin de la funcion que inicia el timer0
}

```

## C.4 Configuración de FPGA

```

void FPGA_init()
{
    // Primero se resetean todos los registros de la FPGA definidos en "FPGA.h"

    *(unsigned int*)DPR0=0;
    *(unsigned int*)DPR1=0;
    *(unsigned int*)DPR2=0;
    *(unsigned int*)DPR3=0;
    *(unsigned int*)DPR4=0;
    *(unsigned int*)DPR5=0;
    *(unsigned int*)DPR6=0;
    *(unsigned int*)DPR7=0;
    *(unsigned int*)DPR8=0;
    *(unsigned int*)DPR9=0;
    *(unsigned int*)DPR12=0;

    // 0111 1111 reset, bit 7 a 0, bit 7 PWR set Power_on_reset en FPGA
    *(unsigned int *)DPR0 &= 0xFFFFF7F;
    // 1000 0000 set bit 7 a 1, para reset en DSP
    *(unsigned int *)DPR0 |= 0x00000080;

    // Se define la Frecuencia de conmutación (De interrupción para cálculos de ciclos de trabajo)
    // La FPGA trabaja a 50 MHZ, si se desea una frecuencia de Switching de 12 Khz se tiene
    // 50,000,000 / 12,000 = 4166 ---> (4166-1)=0x1045 --- Ts= 0xFFFF-0x1045= 0xEFBA
    *(unsigned int *)DPR0 |= 0xEFBA0000 ; para 12000

    // 1000 0000 0000 0000 pone bit 15 en 1, bit 15 PRS pwm reset active high
    *(unsigned int *)DPR0 |= 0x0000C000;
    // 0111 1111 1111 1111 reset bit 15 to 0
    *(unsigned int *)DPR0 &= 0xFFFF7FFF;

    // Se colocan los registros del DPR12 para fallas por HARDWARE
    *(unsigned int*)DPR12|=0x7FF8FF00;
    // Trip Enable = 0 ::::: Trip Disable = 1

    // 1000 0000 0000 set bit 11 to 1, 1 = pwm inturrupt driven
    *(unsigned int *)DPR0 |= 0x00000800;

    // Se selecciona el periodo del Watchdog: 0xEC77 = 0xFFFF -1000 => 1.5*PWM (periodo del
    // PWM) El periodo del PWM fue PWM=4166
    // ---> Watch=1.5*4166=(6249-1)=0X1868 ---> WatchDog=0xFFFF-(0x1868)
    *(unsigned int *)DPR9 = 0xE797; // Se deja como 1.5 el periodo de PWM

    // 0001 0000 0000 0000 , bit 12 a 1, Current direction input polarity, 1 = active high
    *(unsigned int*)DPR0 |= 0x00001000;

    // Se definen los timepos para conmutacion de 4 pasos (Cada unidad .1us) y se seleccionan
    // Segun la Hoja de especificaciones de los IGBTs
    *(unsigned int *)DPR2 = 0x0320C832; // T1 = 5us, T2 = 5us, T3 = 5us

    // Fin de la funcion que inicia la FPGA
}

```

## C.5 Función de Fallas por Hardware

```

void Hardware_Trips()
{
// EN ESTA FUNCION DE HABILITAN LOS HARDWARE TRIPS POR MEDIO DEL DPR10

unsigned int contador;
contador=0;

// Para la Corriente de la fase A definida en el channel 6 (ADC6)
// Para el Lower Reference (Valor Maximo permitido de corriente) 19 amps

*(unsigned int*)DPR10=(0x0003114F);
contador=10000;
while(contador>0)contador--;

*(unsigned int*)DPR10=(0x0003214F);
contador=10000;
while(contador>0)contador--;

// Para el Upper Reference (Valor Minimo permitido de corriente) -19 amps

*(unsigned int*)DPR10=(0x000312B0);
contador=10000;
while(contador>0)contador--;

*(unsigned int*)DPR10=(0x000322B0);
contador=10000;
while(contador>0)contador--;

// Para la Corriente de la Phase B definida en el channel 7 (ADC6)
// Para el Lower Reference (Valor Maximo permitido de corriente) 19 amps

*(unsigned int*)DPR10=(0x00041150);
contador=10000;
while(contador>0)contador--;

*(unsigned int*)DPR10=(0x00042150);
contador=10000;
while(contador>0)contador--;

// Para el Upper Reference (Valor Minimo permitido de corriente) -19 amps

*(unsigned int*)DPR10=(0x000412AF);
contador=10000;
while(contador>0)contador--;

*(unsigned int*)DPR10=(0x000422AF);
contador=10000;
while(contador>0)contador--;

// Para la Corriente de la Phase C definida en el channel 7 (ADC6)
// Para el Lower Reference (Valor Maximo permitido de corriente) 19 amps

```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```
*(unsigned int*)DPR10=(0x00051150);
contador=10000;
while(contador>0)contador--;
```

```
*(unsigned int*)DPR10=(0x00052150);
contador=10000;
while(contador>0)contador--;
```

**// Para el Upper Reference (Valor Minimo permitido de corriente) -19 amps**

```
*(unsigned int*)DPR10=(0x000512AF);
contador=10000;
while(contador>0)contador--;
```

```
*(unsigned int*)DPR10=(0x000522AF);
contador=10000;
while(contador>0)contador--;
```

```
}
```

### C.6 Tabla de Conmutaciones

```
typedef int VectorSequence[13];
VectorSequence * pVS;
```

```
VectorSequence VS[6][6]= {
```

```
// Inicia tabla de conmutaciones 2.1
```

```
{ //Ki=1, Kv=1..6
  {21, 6, 17, 19, 14, 1, 20, 1, 14, 19, 17, 6, 21}, //[0,0]    //{03 -3 9 01 -7 1 02}
  {21, 12, 17, 19, 14, 7, 20, 7, 14, 19, 17, 12, 21}, //[0,1]    //{03 -6 9 01 -7 4 02}
  {21, 12, 5, 19, 2, 7, 20, 7, 2, 19, 5, 12, 21}, //[0,2]    //{03 -6 3 01 -1 4 02}
  {21, 18, 5, 19, 2, 13, 20, 13, 2, 19, 5, 18, 21}, //[0,3]    //{03 -9 3 01 -1 7 02}
  {21, 18, 11, 19, 8, 13, 20, 13, 8, 19, 11, 18, 21}, //[0,4]    //{03 -9 6 01 -4 7 02}
  {21, 6, 11, 19, 8, 1, 20, 1, 8, 19, 11, 6, 21} //[0,5]    //{03 -3 6 01 -4 1 02}
},
```

```
{ //Ki=2, Kv=1..6
  {20, 16, 3, 21, 6, 17, 19, 17, 6, 21, 3, 16, 20}, //[1,0]    //{02 -8 2 03 -3 9 01}
  {20, 16, 9, 21, 12, 17, 19, 17, 12, 21, 9, 16, 20}, //[1,1]    //{02 -8 5 03 -6 9 01}
  {20, 4, 9, 21, 12, 5, 19, 5, 12, 21, 9, 4, 20}, //[1,2]    //{02 -2 5 03 -6 3 01}
  {20, 4, 15, 21, 18, 5, 19, 5, 18, 21, 15, 4, 20}, //[1,3]    //{02 -2 8 03 -9 3 01}
  {20, 10, 15, 21, 18, 11, 19, 11, 18, 21, 15, 10, 20}, //[1,4]    //{02 -5 8 03 -9 6 01}
  {20, 10, 3, 21, 6, 11, 19, 11, 6, 21, 3, 10, 20} //[1,5]    //{02 -5 2 03 -3 6 01}
},
```

```
{ //Ki=3, Kv=1..6
  {19, 2, 13, 20, 16, 3, 21, 3, 16, 20, 13, 2, 19}, //[2,0]    //{01 -1 7 02 -8 2 03}
  {19, 8, 13, 20, 16, 9, 21, 9, 16, 20, 13, 8, 19}, //[2,1]    //{01 -4 7 02 -8 5 03}
  {19, 8, 1, 20, 4, 9, 21, 9, 4, 20, 1, 8, 19}, //[2,2]    //{01 -4 1 02 -2 5 03}
  {19, 14, 1, 20, 4, 15, 21, 15, 4, 20, 1, 14, 19}, //[2,3]    //{01 -7 1 02 -2 8 03}
  {19, 14, 7, 20, 10, 15, 21, 15, 10, 20, 7, 14, 19}, //[2,4]    //{01 -7 4 02 -5 8 03}
  {19, 2, 7, 20, 10, 3, 21, 3, 10, 20, 7, 2, 19} //[2,5]    //{01 -1 4 02 -5 2 03}
```

```

    },

    { //Ki=4, Kv=1..6
      {21, 18, 5, 19, 2, 13, 20, 13, 2, 19, 5, 18, 21}, //[3,0]    //{03-9 3 01 -1 7 02}
      {21, 18, 11, 19, 8, 13, 20, 13, 8, 19, 11, 18, 21}, //[3,1]    //{03-9 6 01 -4 7 02}
      {21, 6, 11, 19, 8, 1, 20, 1, 8, 19, 11, 6, 21}, //[3,2]    //{03-3 6 01 -4 1 02}
      {21, 6, 17, 19, 14, 1, 20, 1, 14, 19, 17, 6, 21}, //[3,3]    //{03-3 9 01 -7 1 02}
      {21, 12, 17, 19, 14, 7, 20, 7, 14, 19, 17, 12, 21}, //[3,4]    //{03-6 9 01 -7 4 02}
      {21, 12, 5, 19, 2, 7, 20, 7, 2, 19, 5, 12, 21} //[3,5]    //{03-6 3 01 -1 4 02}
    },

    { //Ki=5, Kv=1..6
      {20, 4, 15, 21, 18, 5, 19, 5, 18, 21, 15, 4, 20}, //[4,0]    //{02-2 8 03 -9 3 01}
      {20, 10, 15, 21, 18, 11, 19, 11, 18, 21, 15, 10, 20}, //[4,1]    //{02-5 8 03 -9 6 01}
      {20, 10, 3, 21, 6, 11, 19, 11, 6, 21, 3, 10, 20}, //[4,2]    //{02-5 2 03 -3 6 01}
      {20, 16, 3, 21, 6, 17, 19, 17, 6, 21, 3, 16, 20}, //[4,3]    //{02-8 2 03 -3 9 01}
      {20, 16, 9, 21, 12, 17, 19, 17, 12, 21, 9, 16, 20}, //[4,4]    //{02-8 5 03 -6 9 01}
      {20, 4, 9, 21, 12, 5, 19, 5, 12, 21, 9, 4, 20} //[4,5]    //{02-2 5 03 -6 3 01}
    },

    { //Ki=6, Kv=1..6
      {19, 14, 1, 20, 4, 15, 21, 15, 4, 20, 1, 14, 19}, //[5,0]    //{01-7 1 02 -2 8 03}
      {19, 14, 7, 20, 10, 15, 21, 15, 10, 20, 7, 14, 19}, //[5,1]    //{01-7 4 02 -5 8 03}
      {19, 2, 7, 20, 10, 3, 21, 3, 10, 20, 7, 2, 19}, //[5,2]    //{01-1 4 02 -5 2 03}
      {19, 2, 13, 20, 16, 3, 21, 3, 16, 20, 13, 2, 19}, //[5,3]    //{01-1 7 02 -8 2 03}
      {19, 8, 13, 20, 16, 9, 21, 9, 16, 20, 13, 8, 19}, //[5,4]    //{01-4 7 02 -8 5 03}
      {19, 8, 1, 20, 4, 9, 21, 9, 4, 20, 1, 8, 19} //[5,5]    //{01-4 1 02 -2 5 03}
    }
  };

```

## C.7 Parámetros y Constantes

### // Parametros del Programa

```

#define PI 3.1415926535897932384626433832795
#define DOSPI 6.283185307179586476925286766559
#define DOSPI_TERCIOS 2.0943951023931954923084289221863
#define CUATROPI_TERCIOS 4.18879020478639
#define PI_MEDIOS 1.5707963267948966192313216916398
#define PI_TERCIOS 1.0471975511965977461542144610932
#define SQRT2 1.4142135623730950488016887242097
#define SQRT3 1.7320508075688772935274463415059
#define I_SQRT3 0.57735026918962576450914878050196
#define FOUR_3SQRT3 0.769800358919501
#define I_2SQRT3 0.288675134594813

#define OFFSET_a 0
#define OFFSET_b 0
#define OFFSET_c 0
#define OFFSET_AB 8128.6
#define OFFSET_BC 8161.8
#define OFFSET_Clamp 8118.2
#define OFFSET_ia 8152.6
#define OFFSET_ib 8196.8

```



## Apéndice D

### Bloques de Simulink utilizados para la simulación del Convertidor Matricial

En este apéndice se describen los bloques de MatLab/Simulink utilizados en las simulaciones realizadas en este trabajo. Se detalla la forma en la cual se realizó la programación de los bloques y el código utilizado para la modulación de Sünter-Clare.

#### D.1 Convertidor Matricial 3x3

El CM está conformado por arreglos de interruptores bidireccionales, los cuales no existen físicamente. Como ya se ha explicado brevemente, para formar un interruptor bidireccional se utiliza un arreglo de interruptores semiconductores.

En este trabajo se utilizó la configuración emisor común la cual se muestra en la figura 2.13 b), este arreglo consta de dos IGBTs en antiparalelo con sus respectivos diodos. En la figura A.1 se observa el interruptor bidireccional formado utilizando los bloques de Simulink.

Se requiere del uso de 9 de estos interruptores bidireccionales para formar la topología de un CM 3x3 (figura A.2). Los interruptores bidireccionales deben interconectar cada fase de entrada con cada fase de salida. Cada arreglo de un interruptor bidireccional se colocó en un bloque de subsistema.

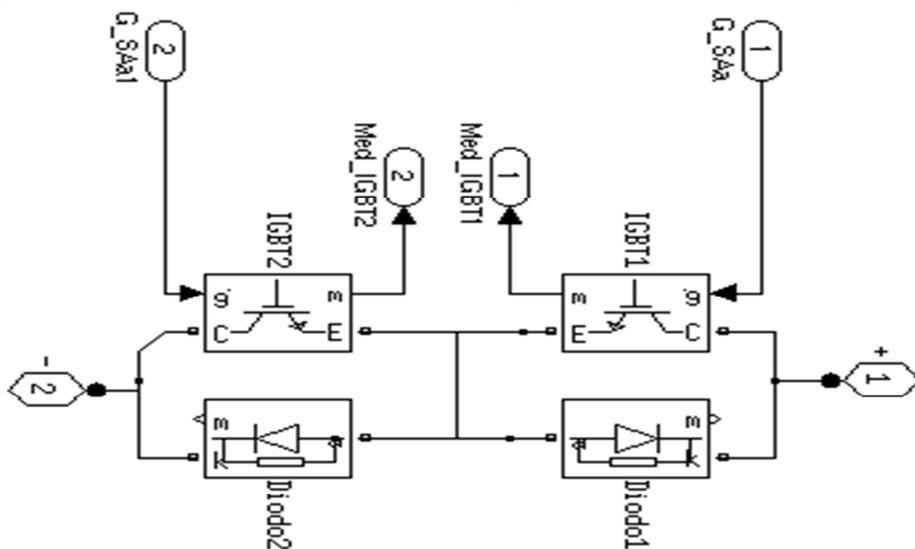


Figura D. 1 Interruptor bidireccional topología en Emisor Común

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Finalmente todos los bloques de subsistemas se interconectaron para formar la topología del CM, además se colocaron 3 puertos de conexión para la entrada trifásica de entrada y 3 puertos de conexión para la señal trifásica de salida.

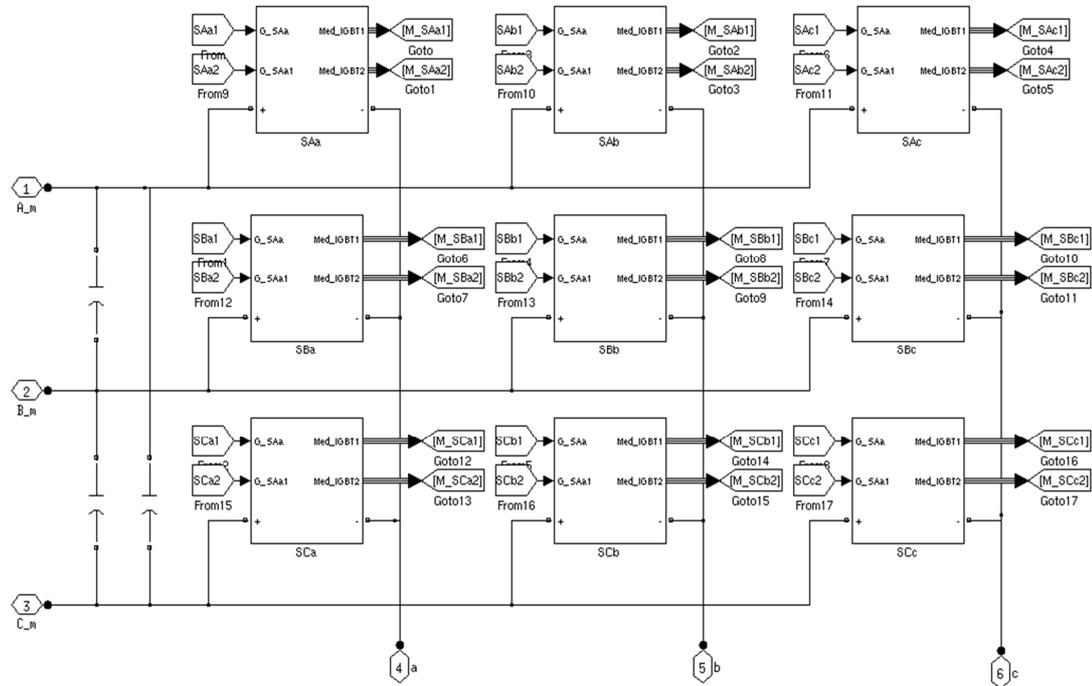


Figura D. 2 Topología CM 3X3

Con el propósito de evitar líneas de conexión entre los bloques que puedan complicar el análisis de la simulación, se utilizaron etiquetas "Goto" para enviar las señales de disparo a las compuertas de los IGBTs, dichas señales provienen del bloque del algoritmo de modulación que es explicado más adelante.

El arreglo de interruptores bidireccionales interconectados se colocó dentro de un nuevo bloque de subsistema. Además se colocó un ícono con el símbolo del CM mediante el uso de la herramienta "iconedit". El bloque realizado del CM 3x3 se observa en la figura A.3.

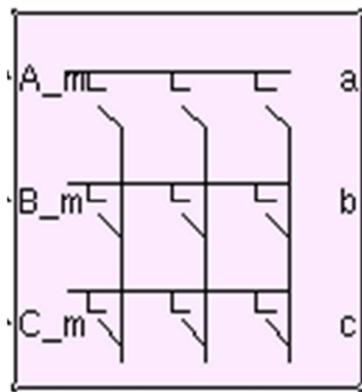


Figura D. 3 Bloque del CM con ícono

Cada uno de los IGBTs que conforman los interruptores bidireccionales necesita una señal independiente para el control de su conducción. La técnica de conmutación de cuatro pasos requiere que las compuertas de los IGBTs puedan ser controladas de forma individual

En la simulación se programó una técnica de conmutación de cuatro pasos propuesta en [71], sin embargo en las pruebas experimentales se utilizó como plataforma de control una FPGA, la cual tiene programada la técnica de conmutación de cuatro pasos. La FPGA utilizada es un diseño de la Universidad de Nottingham, por lo que no se tuvo acceso al código fuente. Por esto último no se tiene certeza de que la técnica de conmutación probada en las simulaciones sea la que se encuentra implementada en la FPGA.

## D.2 Sistema de Alimentación

Se realizaron simulaciones con fuente de voltaje de frecuencia y magnitud fijas y también con fuente de voltaje de frecuencia y magnitud variables.

### D.2.1 Fuente de Voltaje de Frecuencia Fija

Se colocaron 3 fuentes de voltaje de igual magnitud y desfasadas 120 grados eléctricos una de la otra, de esta forma se simularon los voltajes de entrada trifásicos, En la figura A.4 se observa la fuente trifásica de voltaje que se programó con bloques de Simulink.

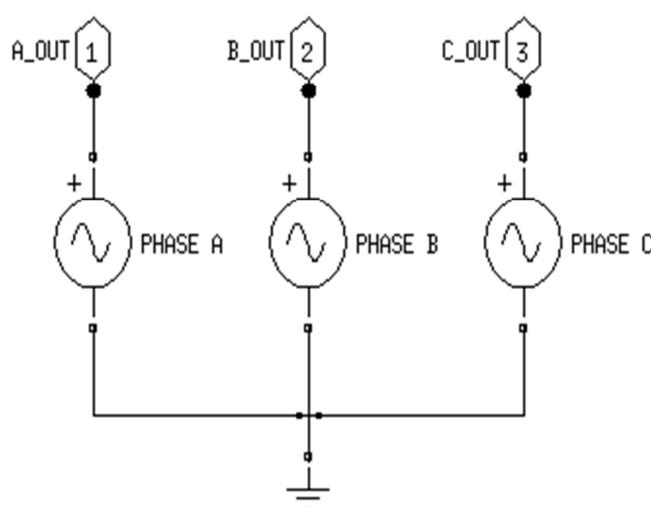


Figura D. 4 Fuente trifásica de voltaje

### D.2.2 Fuente de Voltaje de frecuencia variable

Se utilizó un GSIP para obtener una entrada de tensión variable en magnitud y frecuencia. Se utilizó el bloque predefinido del generador de imanes permanentes y se utilizaron los parámetros de la tabla 3.2.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Se seleccionó como entrada del bloque de la máquina síncrona la velocidad angular del rotor, para variar la velocidad del rotor y de esa forma variar la frecuencia de los voltajes que se obtienen del generador. Con este fin se utilizó un bloque de Simulink llamado "Signal Builder" (figura A.5), el cual permite construir una señal aleatoria variante en el tiempo. La salida de este bloque es la velocidad angular del rotor del GSIP en

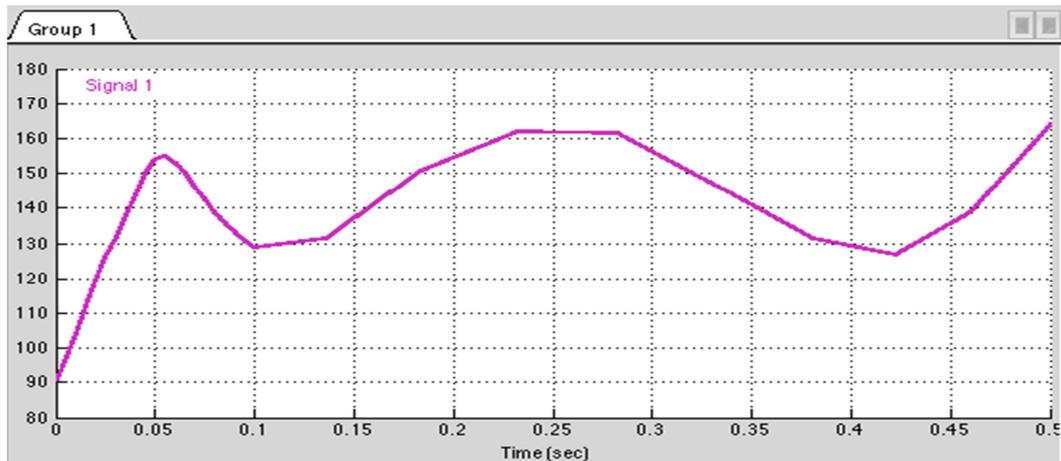


Figura D. 5 Señal variante del bloque "Signal Builder"

En la figura A.6 se observa el bloque utilizado como fuente de alimentación de magnitud y frecuencia variable para el CM. El bloque correspondiente al sistema de alimentación se diferencia con color naranja claro en la figura 4.64.

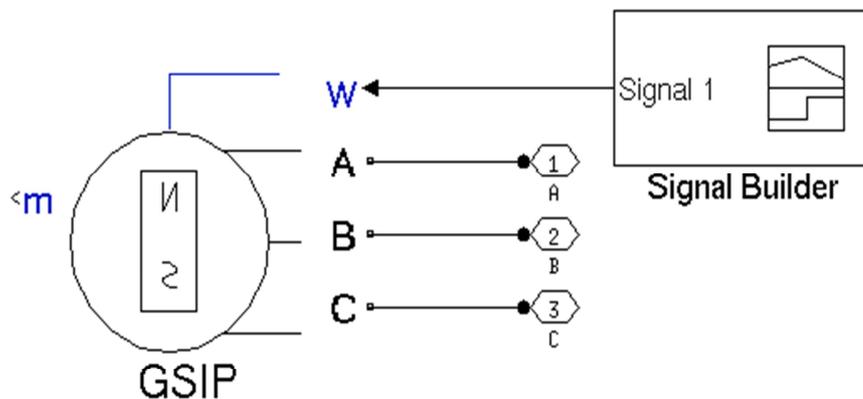


Figura D. 6 Sistema de alimentación de frecuencia variable

### D.3 Filtro de entrada.

El diseño del filtro de entrada fue el discutido en el capítulo 3 y analizado en la figura 3.12 c). Los componentes eléctricos fueron colocados y conectados mediante los puertos de conexión entre la salida del sistema de alimentación y el CM 3x3. En la figura A.7 se observa la topología seleccionada del filtro de entrada. En la figura A.8 se

muestra la conexión del bloque del filtro de entrada colocado entre el sistema de alimentación y el CM 3x3. El bloque correspondiente al filtro de entrada es diferenciado con color cian en la figuras 4.1 y 4.64.

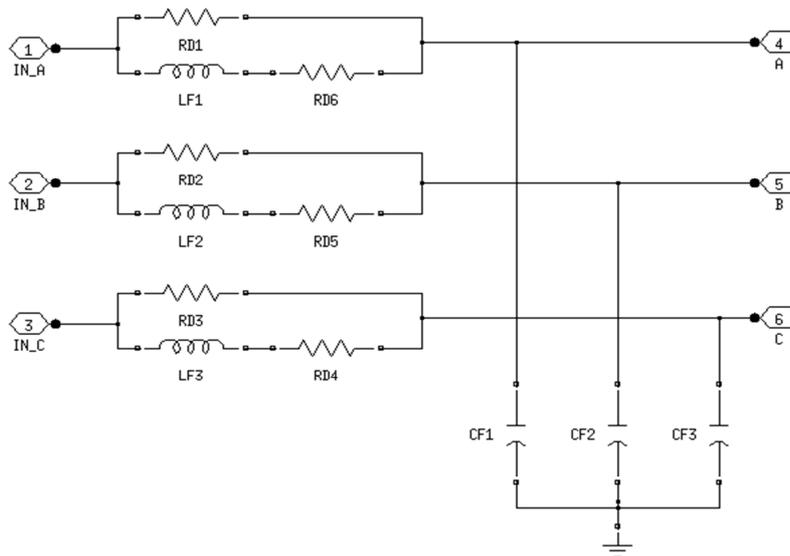


Figura D. 7 Configuración del filtro de entrada seleccionado

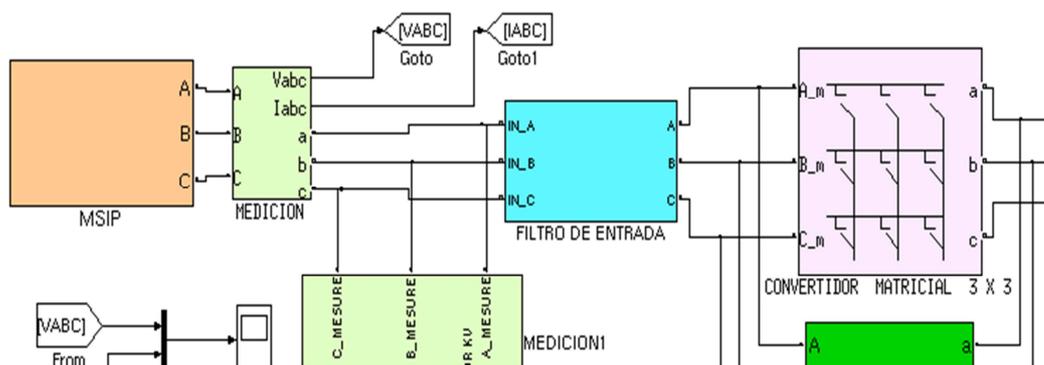


Figura D. 8 Ubicación del filtro de entrada

#### D.4 Filtro de Salida.

Al igual que el filtro de entrada, el diseño del filtro de salida fue analizado en el capítulo 3. Los parámetros calculados fueron los utilizados para la simulación. La configuración seleccionada del filtro de salida para este trabajo es la que se muestra en la figura 3.17. En la figura A.9 se muestra el arreglo final de la configuración del filtro de salida para las tres fases.

El bloque del filtro de salida se colocó dentro de un bloque de subsistema y se conectó entre la salida del bloque del CM y la carga tal como se muestra en la figura 4.10. El bloque del filtro de salida se observa de color gris en la figuras 4.1 y 4.64.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

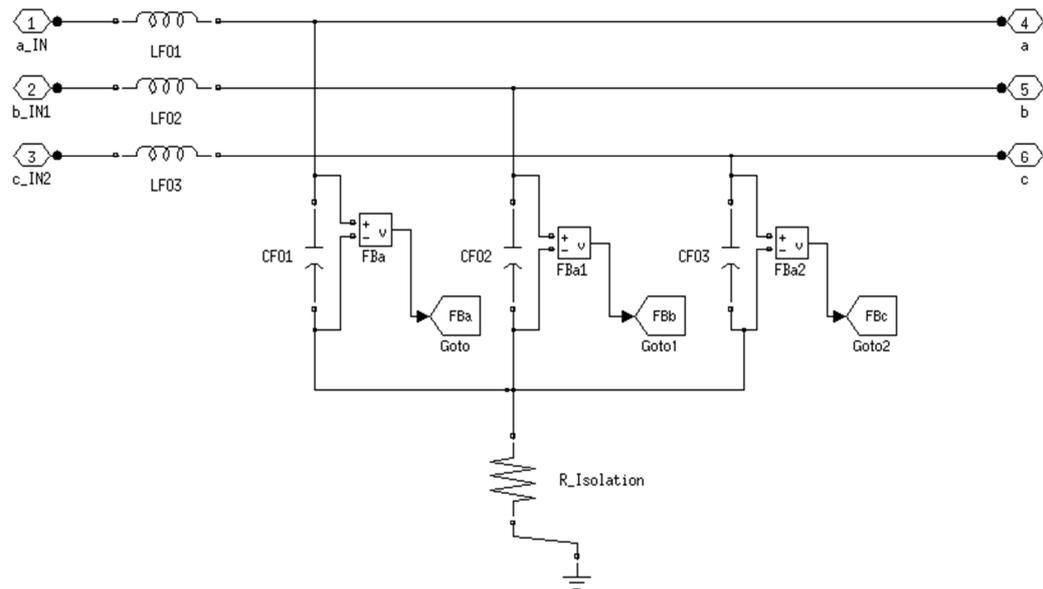


Figura D. 9 Configuración del filtro de salida

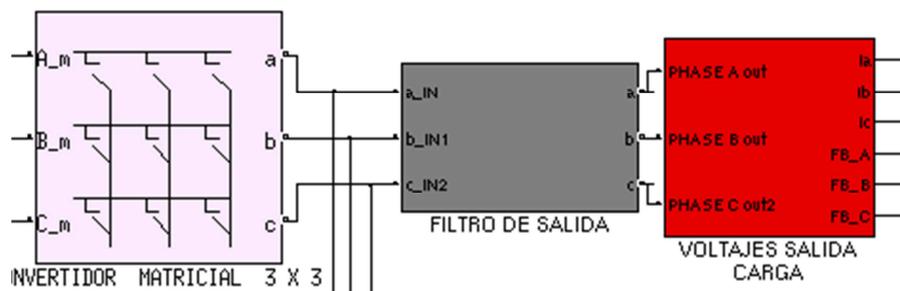


Figura D. 10 Conexión del filtro de salida

### D.5 Sistema de Generación de Referencia.

La referencia es una parte muy importante del sistema, pues son los valores deseados como respuesta del mismo.

La programación de la señal de referencia (figura A.11) consiste en el cálculo de una constante mediante el conocimiento de la frecuencia de muestreo. Se calculó la constante dada por la relación:

$$\text{---}$$

donde,

- , frecuencia de la señal de referencia
- , frecuencia de conmutación del sistema (frecuencia de muestreo)
- , constante de incremento

Esta constante es el incremento en el tiempo de la velocidad angular de la referencia, de esta forma se crea una variable a la que se le pueda ir sumando dicho incremento. Esta variable contendrá entonces la información de la velocidad angular del sistema trifásico. Por lo tanto al aplicarle la función seno a dicha variable se obtiene una señal sinusoidal (correspondiente a la fase  $\theta$ ). Si además se le aplica una función seno a la misma señal más un desfase de 120 y 240 grados se obtiene la señal de referencia de la fase  $\theta$  y  $\theta + 2\pi/3$  respectivamente.

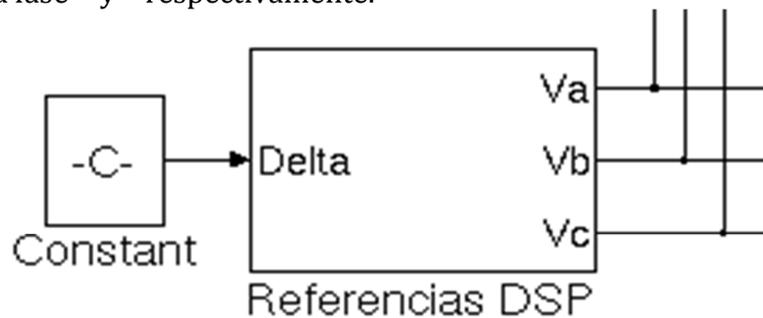


Figura D. 11 Referencia en código C

### D.5.1 Código en C para cálculo de las señales de los voltajes de referencia

```
function [VRef_a,VRef_b,VRef_c] = Control(delta)
global Teta // Se declara la constante

Teta=Teta+delta; // se le incrementa la constante
if (Teta>=(2*pi))
    Teta=Teta-(2*pi);
end

VRef_a=150*cos(Teta+0); // Se calculan las referencias
VRef_b=150*cos(Teta+((2*pi)/3));
VRef_c=150*cos(Teta+((4*pi)/3));
% END ;
```

### D.6 Circuito de Protección

El circuito de protección utilizado fue el circuito de voltaje de fijación o “Clamp” estudiado en la sección 2.1.4, el cual consta de dos rectificadores a diodos que interconectan las fases de entrada con las fases de salida. Como enlace de los rectificadores se utiliza un capacitor y una resistencia en paralelo. En la figura A.12 se puede observar el circuito de protección utilizado en las simulaciones, mientras que en la figuras 4.1 y 4.64, el bloque del circuito de protección se observa en color verde.

### D.7 Sistema de Control.

En las simulaciones se tuvo la posibilidad de seleccionar y programar un sistema de control, en este caso un compensador de segundo orden y un control repetitivo.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

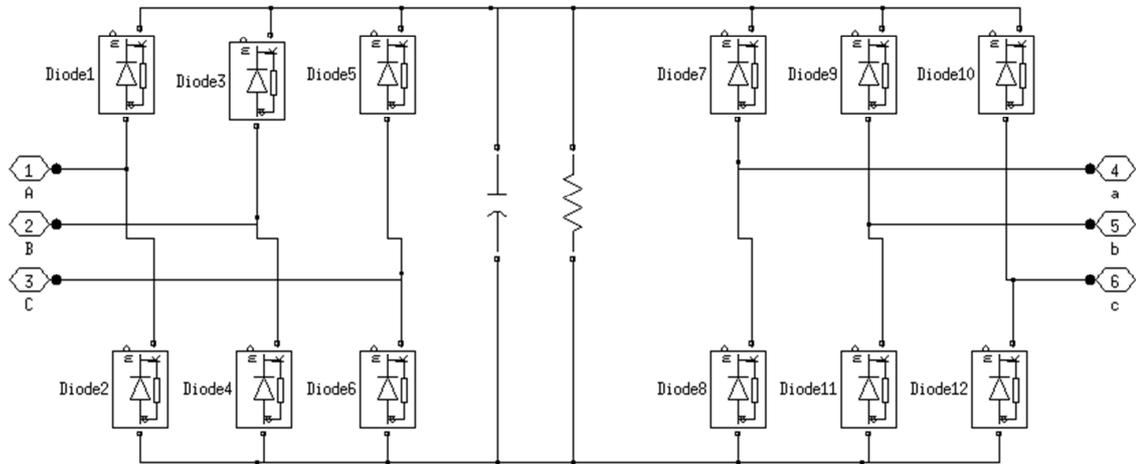


Figura D. 12 Circuito de protección

### D.7.1 Compensador de seguimiento (“Tracking Controller”)

En el caso del control de un convertidor electrónico de potencia, se puede considerar la función de transferencia de la planta, como la función de transferencia del filtro de salida [25]. Es por ello que el control se diseña en base a la función de transferencia del filtro de salida.

La respuesta del sistema está establecida por los polos de la función de transferencia de la planta. Entonces un método de control consiste en asignar polos al sistema, estos polos deben ser capaces de brindar el efecto deseado como respuesta del sistema. La función de transferencia de la planta, está dada entonces por una función de transferencia de orden  $n$ , dicha función de transferencia es de la forma:

$$G(s) = \frac{K}{(s + p_1)(s + p_2) \dots (s + p_n)}$$

con

Por lo tanto la respuesta del sistema está definida por los polos del polinomio característico  $D(s)$ . El compensador de seguimiento de trayectoria, consiste en la cancelación de estos polos y reemplazarlos por otros que permitan el efecto deseado, es decir se realiza una compensación dinámica del sistema.

Para el CM de este trabajo se propone el uso de un filtro de salida  $F(s)$ , por lo que la función de transferencia es de segundo orden y tiene la forma:

$$F(s) = \frac{K_f}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

Por lo tanto el compensador debe ser del mismo orden que el de la planta , por lo que la forma del compensador es:

\_\_\_\_\_

Es fácil notar que si se desean cancelar los polos de (A.4), los ceros del compensador deben tener el mismo valor que estos polos, es decir, se debe cumplir que:

El compensador y la planta están conectados en serie, como se puede observar en la figura D.13.

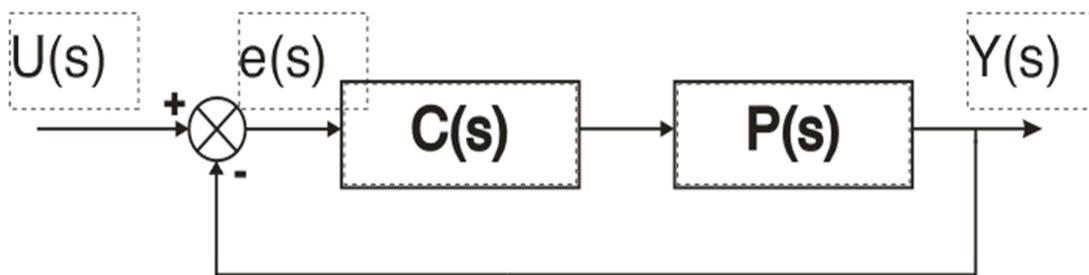


Figura D. 13 Diagrama de bloques del Compensador

Por lo tanto la reducción de los bloques se realiza de la forma siguiente:

\_\_\_\_\_

Considerando la ecuación (A.5), los ceros del compensador y los polos de la planta se cancelan, obteniéndose la siguiente ecuación:

\_\_\_\_\_

El problema del diseño del compensador de seguimiento se reduce a la selección de los polos adecuados para el sistema.

El objetivo principal del sistema de control es garantizar la estabilidad de la planta, incluso antes que obtener una precisión adecuada. Por lo tanto considerando el diagrama de la figura A.13, cuya función de transferencia en lazo cerrado es:

\_\_\_\_\_

Siempre que el polinomio característico de (A.8) no tenga raíces en el semiplano derecho del plano complejo, el sistema será estable, esto significa que todos los polos deben estar ubicados en el lado izquierdo del plano complejo para garantizar la estabilidad del sistema.

Para la selección de los polos deseados existen diversas técnicas, una de las más utilizadas es la asignación en el lugar geométrico de las raíces. Esta técnica permite analizar de forma gráfica los polos y ceros de la función de transferencia de interés así como el efecto de la adición de polos y ceros a la misma.

Algunas herramientas computacionales como Sisotool de MatLab permiten visualizar el lugar geométrico de las raíces y analizar de forma inmediata el comportamiento del sistema cuando se agregan los polos y ceros del compensador. Sisotool también permite analizar la respuesta del sistema al impulso y al escalón unitario con el fin de facilitar la sintonización del compensador. Otra de las ventajas de esta herramienta computacional es el hecho de poder diferenciar las zonas en las cuales se pueden colocar los polos para cumplir con los requisitos de respuesta del sistema.

#### *D.7.1.1 Diseño del Compensador (“Tracking Controller”)*

Se diseñó un compensador de segundo orden en base al modelo del sistema a controlar, el diagrama de bloques utilizado es el que se observa en la figura A.13. En la imagen se observa que el compensador está colocado en serie con la función de transferencia de la planta. La planta en este caso corresponde al filtro de salida previamente diseñado. En la figura 3.18 se observa que existe un pico grande en la frecuencia de resonancia que no se amortiguó como se hizo con el filtro de entrada. Por lo tanto, el compensador busca atenuar estos efectos indeseados, los cuales son ocasionados por los polos del sistema.

El diseño del compensador se basa en la cancelación de los polos de la función del filtro y la asignación de otros polos que se comporten de forma adecuada.

La función de transferencia de un compensador de segundo orden es de la forma (A.4) o en el dominio discreto:

$$C(z) = \frac{(z + c_1)(z + c_2)}{(z + p_1)(z + p_2)} \quad (A.9)$$

Considerando la ecuación (3.51) correspondiente a la función de transferencia del filtro de salida y normalizándola se obtiene:

$$P(s) = \frac{1}{s^2 + s \frac{Rl}{L} + \frac{1}{LC}} \quad (A.10)$$

Finalmente al introducir los valores calculados de L y C se llega a la siguiente ecuación:

$$P(s) = \frac{127914859.9}{s^2 + s(441.306) + 127914859.9} \quad (A.11)$$

Mediante el comando “c2d” de MatLab se cambió la función de transferencia (A.11) en dominio continuo de la frecuencia al dominio Z resultando en la ecuación:

$$P(z) = \frac{0.4057z + 0.4006}{z^2 - z(1.158) + 0.964} \quad (A.12)$$

El diagrama de la figura A.13 se puede simplificar mediante el producto de las funciones de transferencia de  $C(z)$  y  $P(z)$  de la forma,

$$C(z)P(z) = \frac{(z + c_1)(z + c_2)}{(z + p_1)(z + p_2)} \cdot \frac{0.4057z + 0.4006}{z^2 - z(1.158) + 0.964}$$

Si se desea cancelar los polos de la función de transferencia de la planta entonces se debe cumplir con la siguiente condición:

$$z^2 - z(1.158) + 0.964 = (z + c_1)(z + c_2)$$

por lo tanto se tiene que los valores de los ceros del compensador son iguales a los polos de la planta, es decir:

$$z_1 = 0.81 + 0.58 i$$

$$z_2 = 0.81 - 0.58 i$$

Entonces el problema se reduce a la selección de los polos del compensador debido a que la función de transferencia tiene la siguiente forma:

$$C(z) = \frac{(z - 0.81 + 0.58i)(z - 0.81 - 0.58i)}{(z + p_1)(z + p_2)}$$

Se utilizó la herramienta de MatLab “Sisotool” para escoger los polos del compensador, estos se asignan en una gráfica del lugar geométrico de las raíces en el dominio Z. Aunado a esto, la misma herramienta de MatLab despliega una ventana con el gráfico de Bode del sistema compensado, de esta forma se puede analizar el comportamiento de los polos escogidos.

Se tomaron algunos criterios para la elección de los polos del compensador [69]:

- Los polos deben estar dentro del círculo unitario.
- La selección de los polos deben hacer el ancho de banda lo más grande posible.

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

El primer paso al abrir la herramienta "sisotool" con la función de transferencia del filtro de salida en dominio discreto, es colocar un par de ceros complejos sobre los polos complejos del sistema, de esta forma se cancelan los polos indeseados del sistema.

El segundo paso es colocar dos polos dentro del círculo unitario y moverlos dentro del mismo, observando el efecto que tienen éstos en el diagrama de Bode que se observa del lado derecho. En la figura A.14 se puede visualizar la ventana de "sisotool". Finalmente los polos seleccionados fueron:

Por lo que la función de transferencia del compensador es:

---

o bien desarrollando los binomios se puede expresar de la forma:

---

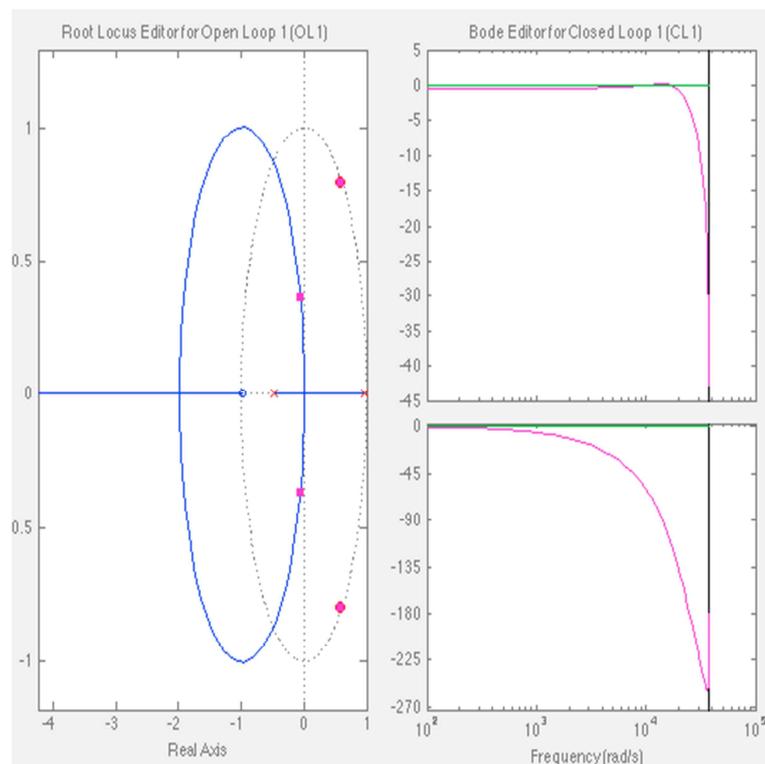


Figura D. 14 Diseño del compensador mediante "sisotool"

### D.7.2 Control Repetitivo

El control repetitivo es una estrategia de control que se utiliza en sistemas en donde los disturbios, o las señales de referencia son periódicas. Una señal de error repetitiva se presenta cuando una misma tarea se debe realizar en múltiples ocasiones bajo condiciones similares de operación, por lo que mediante la experiencia es posible reducir el error cada nuevo ciclo.

Los algoritmos de control repetitivo se basan en el conocimiento del modelo interno de los sistemas, esta teoría de control se comenzó a desarrollar en la década de los 70's [56].

De acuerdo a [56-58], es posible eliminar el error en estado estacionario causado por disturbios periódicos y así seguir perfectamente la trayectoria de la señal de referencia siempre que el lazo de control contenga un generador de la señal del error. La inclusión de un generador de la señal de referencia dentro del lazo interno de control garantiza una respuesta del sistema aun cuando el error en estado estable haya sido eliminado.

En la ecuación (A.15) se puede ver la expresión correspondiente para una señal periódica de disturbio [58].

Transformando la ecuación (A.15) al dominio de la frecuencia se llega a la ecuación (A.16).

Un generador de la señal periódica del error producida por la señal de disturbio (A.16) se puede obtener mediante una retroalimentación positiva dentro del lazo de control. Un ejemplo del generador de la señal del error puede analizarse en la figura A.15.

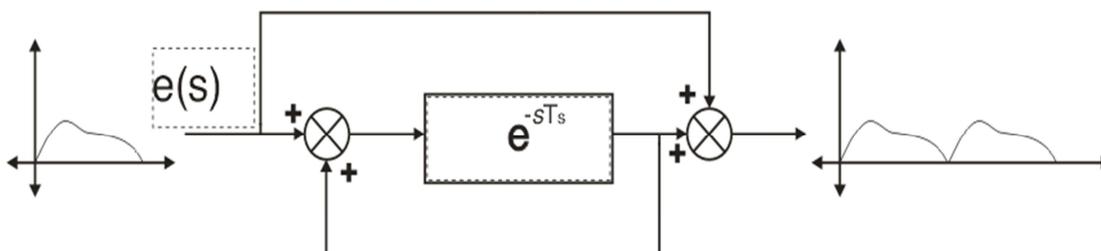


Figura D. 15 Generador de la señal del error

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

Donde  $\tau$  es el tiempo de retraso. En la figura A.15 se puede observar que la función de transferencia del generador del error está definido por:

$$\frac{1}{s}$$

Esta función de transferencia introduce un infinito de polos colocados sobre el eje imaginario del plano complejo, dichos polos se encuentran al evaluar:

Entonces el control repetitivo coloca ganancias muy grandes donde se encuentran ubicados los armónicos. En la figura A.16 se observa el gráfico de Bode del controlador repetitivo de un sistema en donde la frecuencia fundamental de la señal de salida es de 60 Hz y la frecuencia de los disturbios es 12 kHz. Se puede comprobar que existen ganancias muy altas en los múltiplos de la frecuencia de la señal de salida.

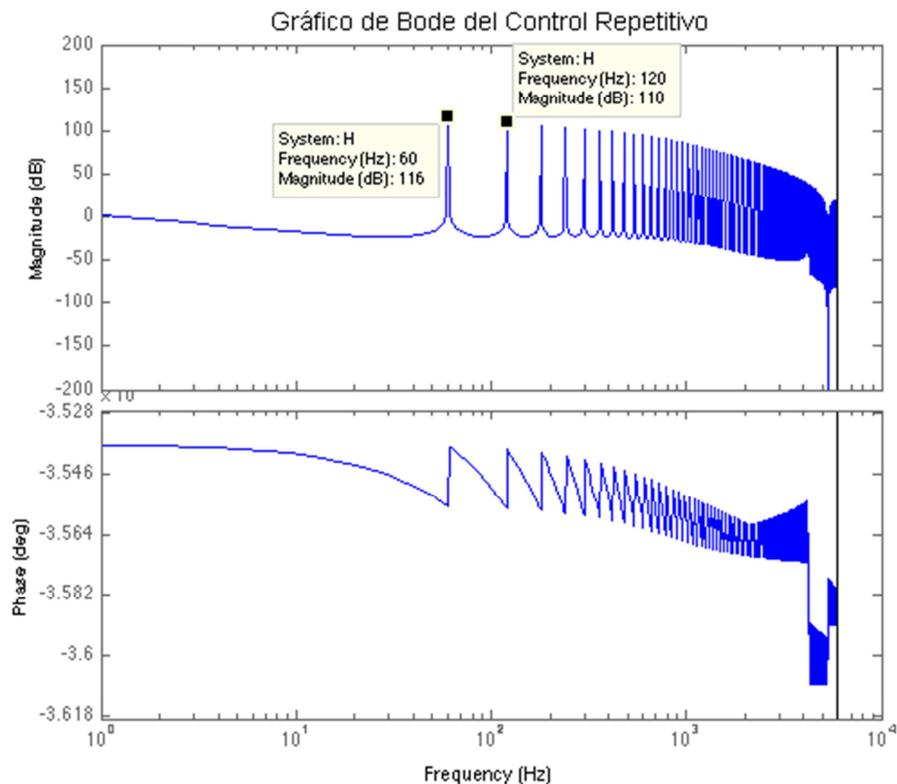


Figura D. 16 Diagrama de Bode del Control Repetitivo

Una ganancia muy grande en las frecuencias deseadas es capaz de eliminar el error por completo en dichas zonas. Con el fin de asegurar estabilidad en el sistema es necesario añadir una ganancia denominada  $K_r$  o  $K_{re}$ , dicha ganancia debe ser

menor que la unidad. Si  $\zeta < 1$ , los polos que se encuentran sobre el círculo unitario serán ligeramente desplazados hacia adentro del círculo, dejando todos los polos en una zona estable [61]. Una desventaja del uso de esta ganancia es una disminución en los picos de resonancia del controlador con lo cual se atenúa la efectividad del mismo. En la figura A.17 se puede observar el desplazamiento de los polos al multiplicar la ecuación (A.18) por una  $\zeta$ .

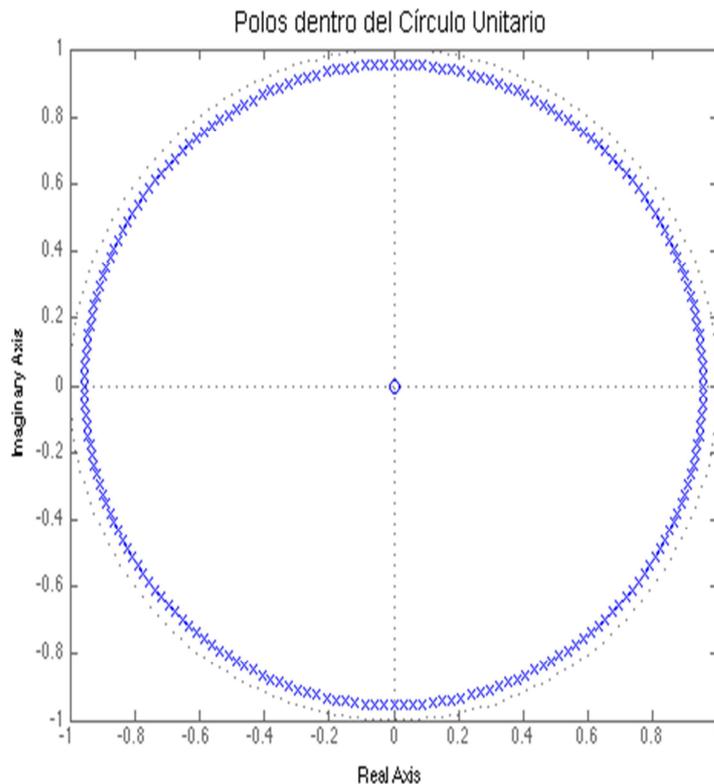


Figura D. 17 Polos del control repetitivo dentro del círculo unitario

Considerando todo lo anteriormente mencionado, el control repetitivo es en esencia un controlador en lazo abierto, ya que solo es capaz de compensar los disturbios periódicos establecidos por la señal del generador. Debido a esto es necesario la incorporación de un compensador para garantizar que el sistema sea capaz de compensar disturbios aleatorios.

Existen diversas topologías del control repetitivo, tales como la interna, la externa o la “plug-in”, estas topologías son ampliamente descritas en [59-60].

Una de las topologías más utilizadas en los convertidores electrónicos de potencia es la “plug-in”, esta topología puede ser observada en la figura A.18, la cual requiere de nuevos componentes para un mejor funcionamiento, siendo estos una ganancia  $K$  y un filtro digital  $F(z)$ . La selección de la ganancia  $K$ , repercute en una mayor velocidad de convergencia del sistema, si  $K$  es muy grande el sistema

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

tiende a eliminar el error con mayor rapidez, aunque el sistema se puede volver inestable [61].

El filtro digital sirve para limitar la amplificación de los armónicos producidos por el control repetitivo a altas frecuencias. El diseño de se basa en el conocimiento del modelo de la planta para garantizar la estabilidad del sistema. Sin embargo el modelo exacto del CM aún no se ha desarrollado, por lo cual se sugiere cumplir con algunas recomendaciones para mantener el sistema estable, siendo algunas de estas [61]:

- La planta debe ser estable
- El compensador de la planta debe ser estable
- El filtro limitador debe ser estable

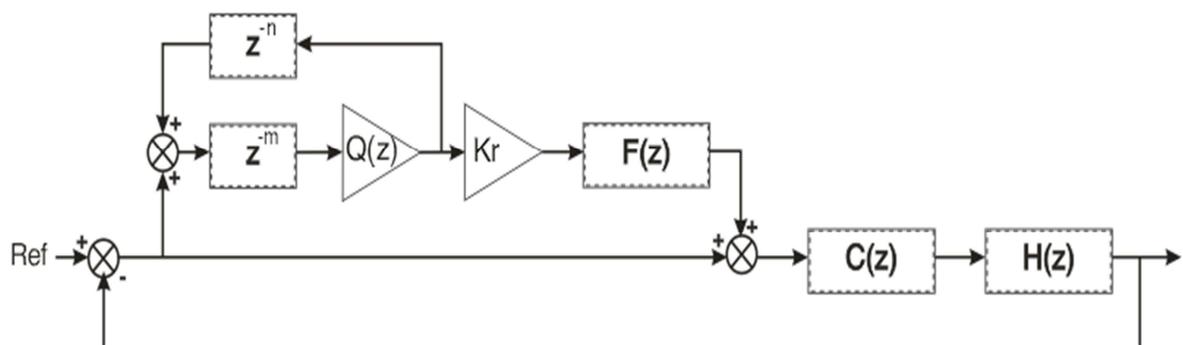


Figura D. 18 Control Repetitivo "plug-in"

Para el diseño del filtro se pueden seguir la siguiente metodología:

- 1) Construir el diagrama de Nyquist de
- 2) Encontrar el primer punto que toca al círculo centrado en  $(-1, 0j)$  de radio  $Q(s)$
- 3) La frecuencia de corte debe ser menor que dicho punto.
- 4) El orden del filtro digital debe del mismo orden que el compensador

### D.7.2.1 Diseño del Controlador Repetitivo

La topología del Controlador Repetitivo utilizada es del tipo "plug-in", esta contiene un generador de la señal de error para garantizar una respuesta del sistema aún cuando no se tenga una señal de entrada [25]. El diagrama de bloques del Control Repetitivo utilizado se muestra en la figura A.18.

donde:

, referencia

$z^{-m}$  , retrasos discretos dados por la relación (3.52)  
 $Kr$  , ganancia del RC  
 $F(z)$  , filtro digital  
 $C(z)$  , compensador  
 $H(z)$  , planta  
 $Q(z)$  , constante

De acuerdo a [61, 70], se requiere de un generador de la señal del error dentro del lazo de control. El número de retrasos para la implementación de dicho generador es tomado como 200, la ecuación (A.19) muestra la relación que indica el número adecuado de retrasos para una generación adecuada de la señal del error en un ciclo completo de la señal de salida.

$$m = \frac{f_{sw}}{f_o} = \frac{12000}{60} = 200 \quad (A.19)$$

Las ganancias  $Q(z)$  y  $Kr$  se seleccionaron mediante algunos criterios planteados en [61, 70], donde se indica un rango aproximado de valores para estas ganancias. El valor de  $Q(z)$  debe ser cercano a la unidad. Entre más cercano sea a la unidad la reducción de los armónicos será mayor. En secciones anteriores se explicó cómo es que esta ganancia logra estabilizar el sistema al introducir los polos del control repetitivo dentro del círculo unitario. El valor de seleccionado de  $Q(z)$  fue:

$$Q(z) = 0.95$$

La ganancia  $Kr$  sirve para limitar la operación del control repetitivo, en [61] se muestra un análisis matemático del comportamiento del control repetitivo para diferentes valores de  $Kr$ . En el artículo se explica que cuando el valor de  $Kr$  tiende a infinito el error en estado estable tiende a cero y la velocidad de convergencia es alta, sin embargo si el valor de  $Kr$  tiende a infinito el sistema puede volverse inestable. Por el contrario, si el valor de  $Kr$  tiende a cero, la velocidad convergencia es menor pero el sistema tiende a ser más estable. El valor de  $Kr$  se eligió pequeño para que el error en estado estable sea lo menor posible y que el tiempo de respuesta se vea afectado lo menos posible.

$$Kr = 0.15$$

El filtro digital  $F(z)$  tiene la función de permitir el paso de todas las frecuencias por debajo de una frecuencia de corte seleccionada. Todas las frecuencias mayores a un cierto umbral son consideradas como ruido y no como distorsión armónica de la señal. Se propuso una frecuencia de conmutación de 12000 Hz y la mayor parte del contenido armónico de la señal de salida del CM se presenta en múltiplos de esta frecuencia. En la sección 3.4.2 se diseñó un filtro pasivo para atenuar todo el contenido armónico del espectro de la señal de salida. Es por ello que el filtro digital  $F(z)$  no tiene como objetivo atenuar el contenido armónico, sino la de eliminar el

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

ruido que se puede producir debido a las mediciones de la señal de salida o bien otros factores.

De acuerdo a los criterios descritos en la sección A.7.2.1, En la figura A.19 se observa el diagrama de Nyquist de . En la parte superior se muestra el diagrama de Nyquist en lazo cerrado y en la parte inferior se muestra el diagrama de Nyquist en lazo abierto. En la etiqueta de la figura se puede observar que al punto que toca primero el círculo de radio centrado en  $(-1, j)$  le corresponde una frecuencia de 10400 y 19100 para el caso de los diagramas en lazo cerrado y abierto respectivamente, lo que equivale a 1655.211 Hz y 3039.85 Hz.

Adicionalmente en la figura A.19 se puede observar que la respuesta del sistema no rodea el punto , por lo que se comprueba que la planta y el compensador son estables.

Recordando que la frecuencia de salida del CM es de 60 Hz en las simulaciones realizadas con fuente de alimentación de magnitud y frecuencia variables, y que la frecuencia de corte del filtro digital debe ser menor a 1655.211 Hz y 3039.85 Hz, se propone que la frecuencia de corte del filtro digital sea 1125 Hz.

Para el diseño de este tipo de filtro digital se utilizó la función “butter” de MatLab, la cual requiere la frecuencia de corte del filtro a diseñar y el tipo de filtro. Finalmente se tiene el filtro digital de respuesta Butterworth de la forma:

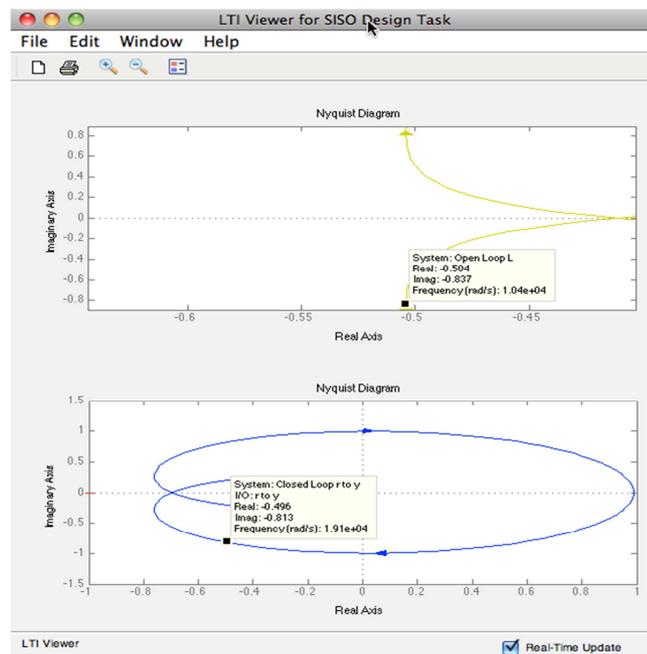


Figura D. 19 Diagrama de Nyquist del lazo de control  $G(s)$

En las figuras A.20 y A.21 se observa el gráfico de Bode del filtro y el mapa de la ubicación de los polos respectivamente. En la figura A.20 se observa que la frecuencia de corte del filtro coincide con la propuesta. En la figura A.21 se observa que los polos del filtro se encuentran dentro del círculo unitario, por lo cual es estable.

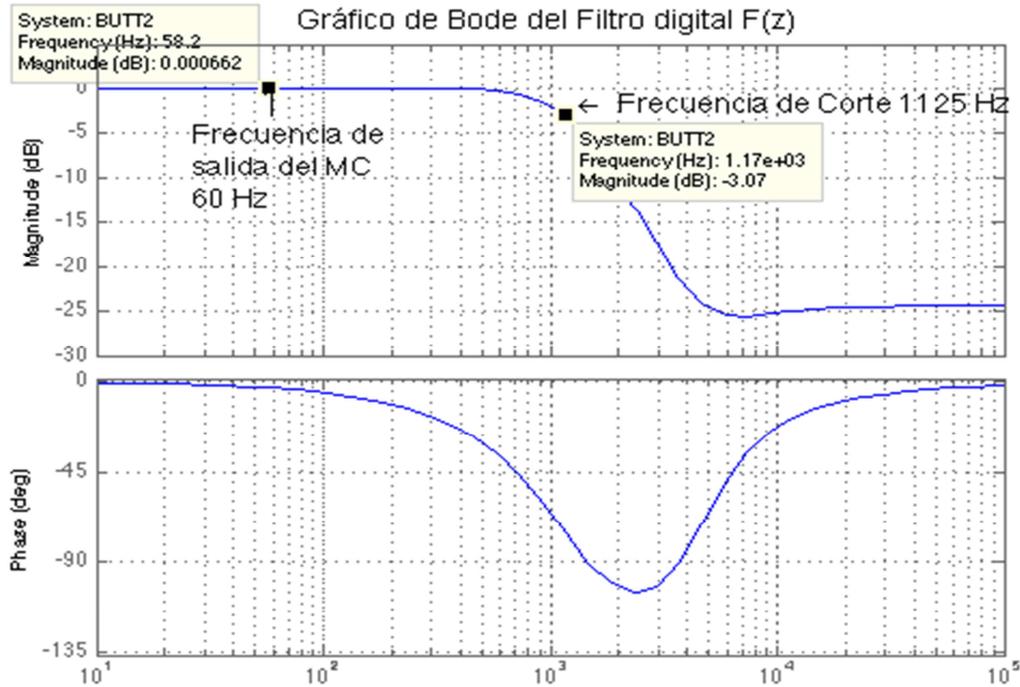


Figura D. 20 Gráfico de Bode del filtro digital  $F(z)$

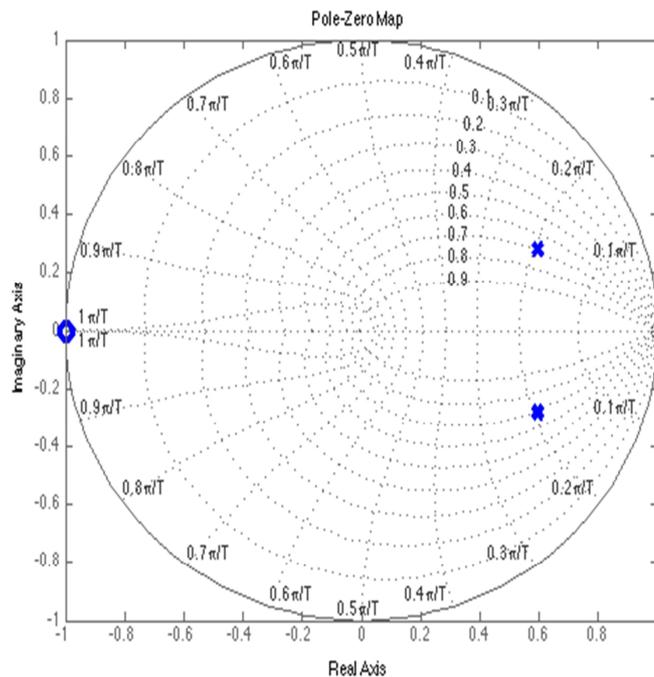


Figura D. 21 Mapa de polos del filtro digital  $F(z)$ .

### D.7.3 Bloques del sistema de control en Simulink

El sistema de control propuesto consta de un compensador de segundo orden en cascada con un control repetitivo. Para programar dicho sistema de control se tuvo que cambiar las funciones de transferencia obtenidas al dominio discreto (transformada Z). Esto se puede lograr mediante tablas, o bien, con la función “c2d” de MatLab, con ambos métodos se obtuvieron los mismos resultados, por simplicidad se utilizó la función de MatLab.

Mediante los bloques de función de transferencia discreta es fácil introducir las nuevas funciones de transferencia ahora en el dominio Z.

En el caso del controlador repetitivo se añadieron los bloques de retrasos unitarios, y funciones de transferencia de los filtros digitales diseñados para formar la topología propuesta en la figura A.18.

El arreglo final del controlador y el compensador se observa en la figura A.22 y A.23 respectivamente. Se utilizaron para la programación los valores de las constantes y los filtros diseñados en las secciones anteriores. En la figura 4.64 se muestran los sistemas de control, los cuales aparecen en color amarillo.

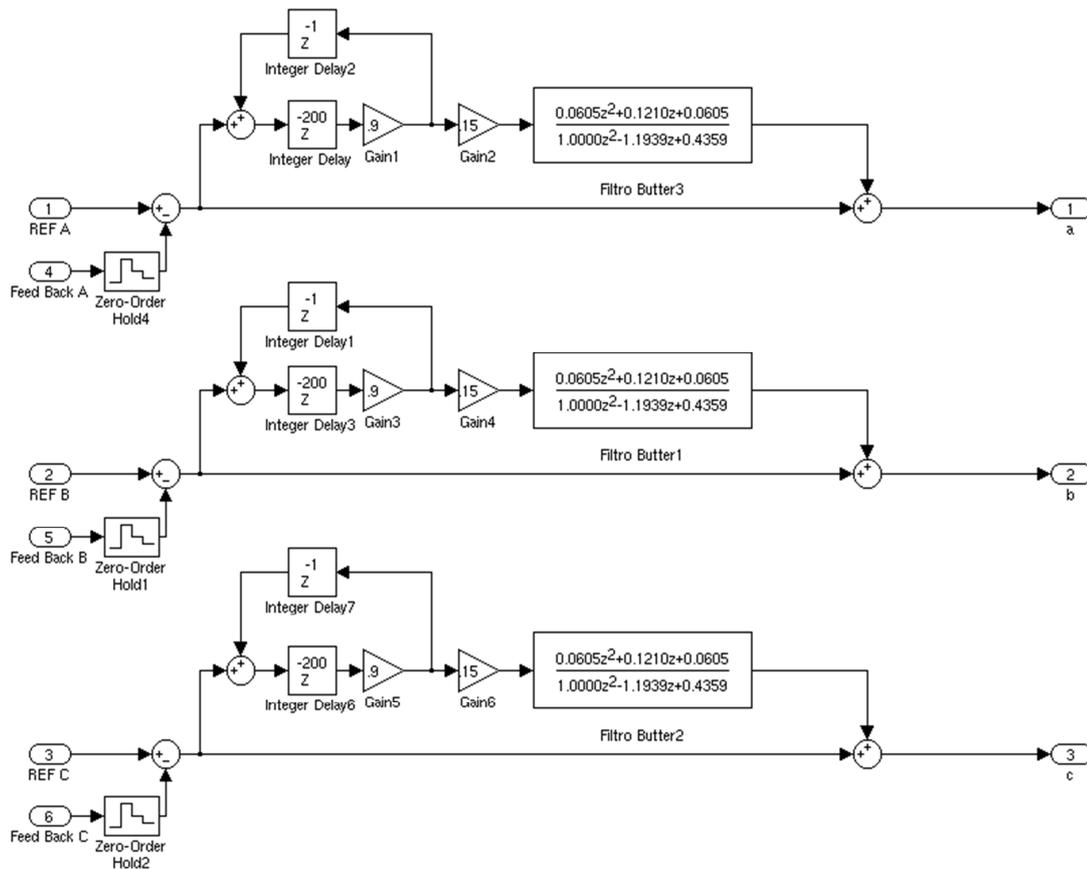


Figura D. 22 Sistema del RC

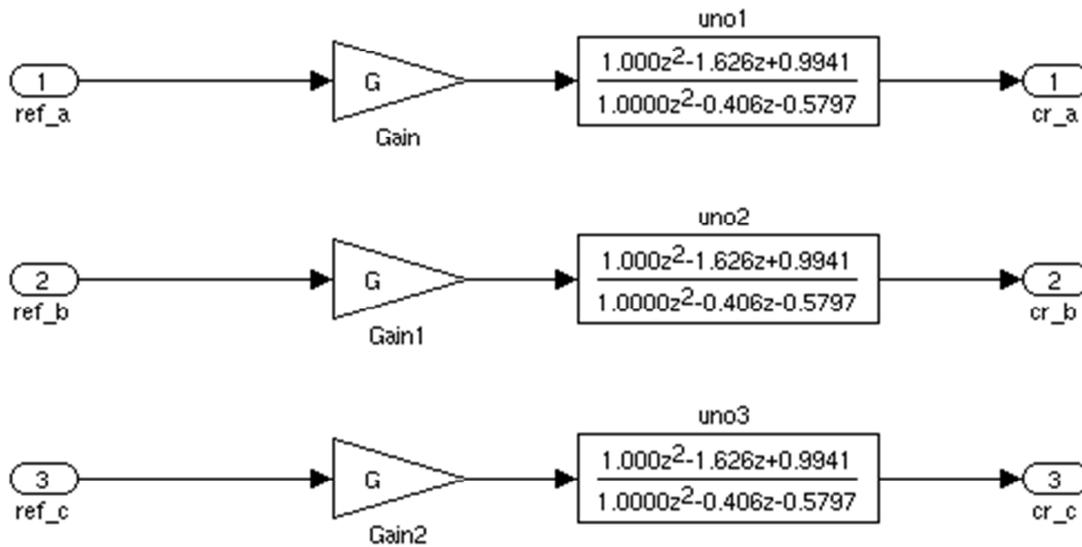


Figura D. 23 Compensador de segundo orden

## D.8 Sistema de Modulación.

La estrategia de modulación utilizada fue el algoritmo de Sünter-Clare, que teóricamente permite un 86% de las señales de entrada como respuesta del sistema. Para este algoritmo de modulación se requieren como datos los voltajes de fase de entrada y los voltajes de fase de referencia, así como el cálculo del índice de modulación. Por lo que las entradas de este bloque se conectaron a la salida del bloque de medición del sistema de alimentación y al bloque de medición de la señal de referencia.

El sistema de modulación se programó en un bloque de “MatLab Embedded Function”, las ecuaciones que se programaron en fueron de (2.24) a (2.34).

### D.8.1 Código en C del Algoritmo de Modulación se Sünter-Clare en Simulink

```
function [MAa,MAb,MAc,MBa,MBb,MBc,MCa,MCb,MCc,Wi,Wo] =
FREQ_IN(qm,VA,VB,VC,a_ref,b_ref,c_ref)

// Se declaran variables auxiliares
Wi=0;
Wo=0;
ao=0;
bo=0;
a=0;
b=0;

// Se calcula el valor pico del sistema trifásico de entrada
Vin2=(4/9)*(((VA-VB)^2)+((VB-VC)^2)+((VA-VB)*(VB-VC)));

// Se calcula el valor pico del sistema trifásico de salida
```

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

```

Vout2=(2/3)*(a_ref^2+b_ref^2+c_ref^2);

// Se calculan las componentes alfa y beta
a=(2/3)*(VA-(.5*VB)-( .5*VC));
b=(1/sqrt(3))*(VB-VC);
WI=atan(b/a);
ao=(2/3)*(a_ref-(.5*b_ref)-( .5*c_ref));
bo=(1/sqrt(3))*(b_ref-c_ref);
WO=atan(bo/ao);

// Se identifica la velocidad angular de los sistemas
if((a>0)&&(b==0))
    Wi=0.0;
elseif((a>0)&&(b>0))
    Wi=WI;
elseif((a==0)&&(b>0))
    Wi=.5*pi;
elseif((a<0)&&(b>0))
    Wi=pi+WI;
elseif((a<0)&&(b==0))
    Wi=pi;
elseif((a<0)&&(b<0))
    Wi=pi+WI;
elseif((a==0)&&(b<0))
    Wi=1.5*pi;
elseif((a>0)&&(b<0))
    Wi=2*pi+WI;
else
    Wi=WI;
end

if((ao>0)&&(bo==0))
    Wo=0.0;
elseif((ao>0)&&(bo>0))
    Wo=WO;
elseif((ao==0)&&(bo>0))
    Wo=.5*pi;
elseif((ao<0)&&(bo>0))
    Wo=pi+WO;
elseif((ao<0)&&(bo==0))
    Wo=pi;
elseif((ao<0)&&(bo<0))
    Wo=pi+WO;
elseif((ao==0)&&(bo<0))
    Wo=1.5*pi;
elseif((ao>0)&&(bo<0))
    Wo=2*pi+WO;
else
    Wo=WO;
end

// Se calculan los ciclos de trabajo
q=sqrt(Vout2/Vin2);
k1=((2*q/(9*qm))*sin(Wi)*sin(3*Wi));
k2=((2*q/(9*qm))*sin(Wi-(2*pi)/3)*sin(3*Wi));
k3=-(sqrt(Vout2))*((1/6)*cos(3*Teta)-(1/(4*qm)*cos(3*Wi)));

MAa=(1/3)+k1+((2/(3*Vin2))*(a_ref+k3)*((2/3)*(VA-VB)+((VB-VC)/3)));
MAb=(1/3)+k1+((2/(3*Vin2))*(b_ref+k3)*((2/3)*(VA-VB)+((VB-VC)/3)));
MAc=(1/3)+k1+((2/(3*Vin2))*(c_ref+k3)*((2/3)*(VA-VB)+((VB-VC)/3)));
MBa=(1/3)+k2+((2/(3*Vin2))*(a_ref+k3)*((1/3)*(VB-VC)-((VA-VB)/3)));
MBb=(1/3)+k2+((2/(3*Vin2))*(b_ref+k3)*((1/3)*(VB-VC)-((VA-VB)/3)));

```

```

MBC=(1/3)+k2+((2/(3*Vin2))*(c_ref+k3)*((1/3)*(VB-VC)-((VA-VB)/3)));

MCa=1-(MAa+MBa);
MCb=1-(MAb+MBb);
MCc=1-(MAc+Mbc);
// FIN

```

### D.8.2 Ciclos de trabajo obtenidos por el Algoritmo Sünter-Clare

En las figuras A.24, A.25 y A.26 se pueden observar los ciclos de trabajo obtenidos para cada uno de los hilos del CM 3X3, (fase a, fase b, fase c respectivamente).

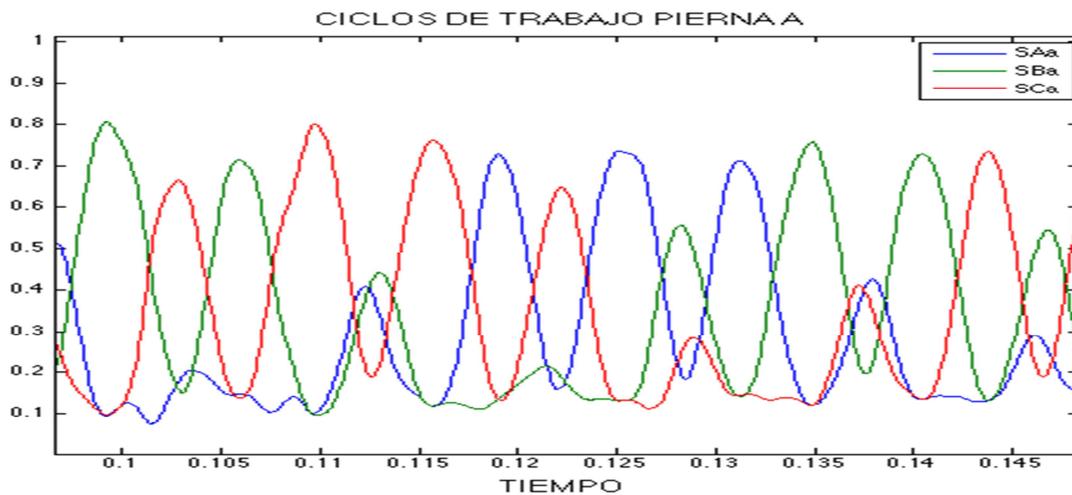


Figura D. 24 Ciclos de trabajo fase a

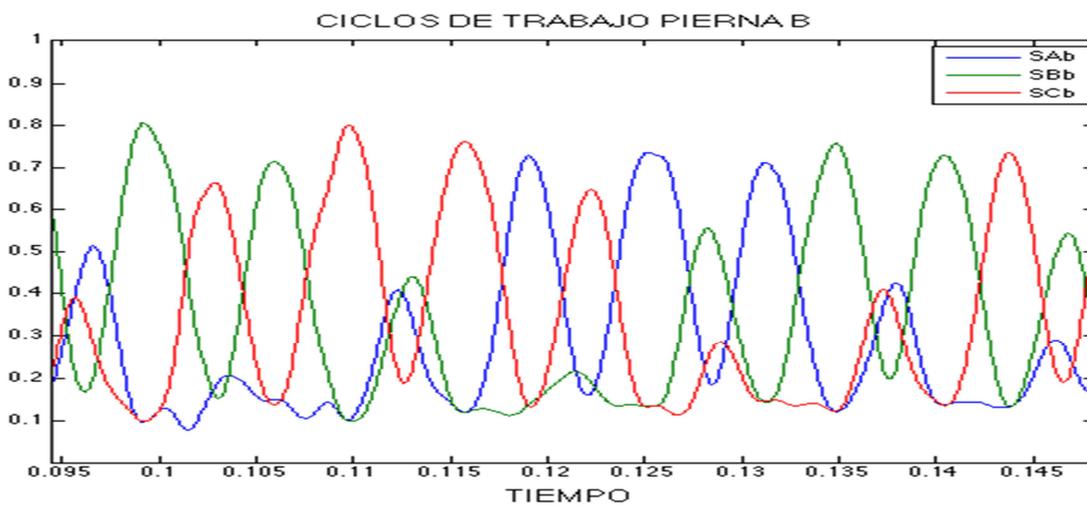


Figura D. 25 Ciclos de trabajo pierna b

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

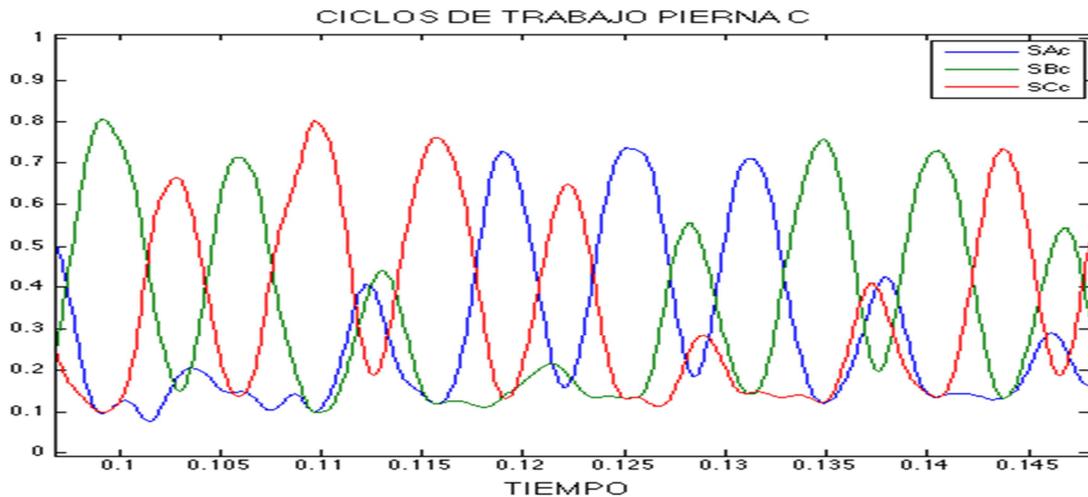


Figura D. 26 Ciclos de trabajo pierna C

### D.9 Sistema de Pulsos y Conmutaciones.

Una vez que el bloque del Sistema de Modulación calculó los ciclos de trabajo en la forma  $\tau_{i,j}$ , se necesitan convertir a información útil para los IGBTs, esto se logra en primera instancia convirtiendo los ciclos de trabajo en tiempos de conducción. Los tiempos  $\tau_{i,j}$  indican el tiempo que estará encendido cada uno de los IGBTs, para el caso una conmutación simétrica se debe tomar  $\tau_{i,j}/2$ . Además en este subsistema se

aseguró cumplir con los dos principios básicos de operación del CM: evitar cortos circuitos entre líneas y evitar circuitos abiertos. Para reducir el contenido armónico se programó la conmutación cíclica de Venturini.

Para resolver lo ya mencionado anteriormente se utilizó un método basado en "Carrier" o señal portadora. Para asegurar una conmutación cíclica "Double Sided" o como ya se discutió previamente, conmutación simétrica, en vez de utilizar una señal diente de sierra como señal portadora se utilizó una señal triangular. La señal triangular debe ser de frecuencia igual a la frecuencia de conmutación deseada, que es igual a la frecuencia de muestreo  $f_s$ , adicionalmente la señal debe tener amplitud igual a  $1/2$ .

Para explicar la manera en que se resolvió el problema de la conmutación, se explica a continuación los pasos realizados para una de las fases de salida (fase  $\alpha$ ), para el resto de las fases de salida, el proceso es exactamente el mismo.

Para la fase de salida  $\alpha$  los interruptores que forman la señal deseada son  $T_{11}$ ,  $T_{12}$  y  $T_{21}$ , por lo tanto 3 ciclos de trabajo,  $\tau_{11}$ ,  $\tau_{12}$  y  $\tau_{21}$  se deben transformar a tiempos de trabajo mediante la ecuación (2.20), obteniéndose de esta forma:  $\tau_{11}^*$ ,  $\tau_{12}^*$  y  $\tau_{21}^*$ .

En la figura A.27 se observa la señal triangular utilizada como portadora, y los tres tiempos activos correspondientes a los tres interruptores bidireccionales considerando la fase de salida del CM.

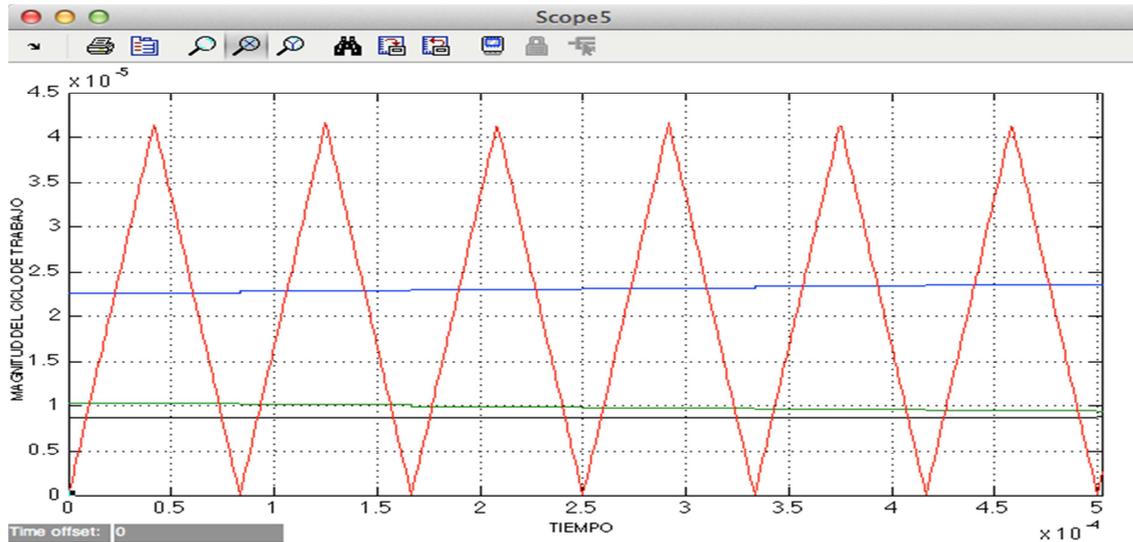


Figura D. 27 Señal portadora triangular

Se formaron tres constantes, las cuales se compararon con la señal triangular. Suponiendo que el vector de entrada se encuentra en el sector 3, lo cual requiere una secuencia de conmutación . Se compara el valor del tiempo del primer interruptor en este caso con la señal portadora triangular. El tiempo en que el interruptor debe estar activo se encuentra a partir de la siguiente condición:

Ahora bien, el siguiente interruptor que debe entrar en conducción es , para que este interruptor pueda encender es necesario que el tiempo activo de que se haya terminado. Por lo que la condición que indica la conmutación del interruptor al es:

Por último para pasar del estado de conducción del interruptor al se debe cumplir con la condición:

Esta solución es utilizada en [17], donde se utilizó una modulación directa de Venturini, sin embargo no se utiliza una conmutación del tipo simétrica, por lo que la información del sector del vector de entrada no es necesaria. La señal portadora utilizada fue una señal diente de sierra de amplitud . En este trabajo se requiere la información del vector de entrada para determinar el orden de conmutación de los

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

interruptores, de acuerdo a la conmutación cíclica simétrica de Venturini la cual se indica en la tabla A.1

**Tabla A. 2 Conmutación Cíclica de Venturini**

Sector de Entrada	Secuencia de Conmutación.
1 y 4	$S_{Cj} - S_{Aj} - S_{Bj} - S_{Bj} - S_{Aj} - S_{Cj}$
2 y 5	$S_{Bj} - S_{Cj} - S_{Aj} - S_{Aj} - S_{Cj} - S_{Bj}$
3 y 6	$S_{Aj} - S_{Bj} - S_{Cj} - S_{Cj} - S_{Bj} - S_{Aj}$

Por lo tanto, si el vector de entrada está en el sector 3 ó 6 las condiciones de conmutación estarán definidas mediante (A.24), (A.25) y (A.26). Si el vector de voltaje de entrada se encuentra en el sector 2 ó 5, el primer tiempo que se deberá comparar con la señal triangular es  $t_{Ab}$ , por lo cual las condiciones para la conmutación en estos sectores están dadas por:

$$si \quad t_{Ba} > S_{\Delta} \rightarrow S_{Aa} = 0, S_{Ba} = 1, S_{Ca} = 0 \quad (A.27)$$

$$si \quad t_{Ba} < S_{\Delta} \& (t_{Ba} + t_{Ca}) > S_{\Delta} \rightarrow S_{Aa} = 0, S_{Ba} = 0, S_{Ca} = 1 \quad (A.28)$$

$$si \quad t_{Ba} < S_{\Delta} \& (t_{Ba} + t_{Ca}) < S_{\Delta} \rightarrow S_{Aa} = 1, S_{Ba} = 0, S_{Ca} = 0 \quad (A.29)$$

Si el sector del vector de mediciones de voltajes de entrada está posicionado en los vectores 1 ó 4, las condiciones de conmutación son:

$$si \quad t_{Ca} > S_{\Delta} \rightarrow S_{Aa} = 0, S_{Ba} = 0, S_{Ca} = 1 \quad (A.30)$$

$$si \quad t_{Ca} < S_{\Delta} \& (t_{Ca} + t_{Aa}) > S_{\Delta} \rightarrow S_{Aa} = 1, S_{Ba} = 0, S_{Ca} = 0 \quad (A.31)$$

$$si \quad t_{Ca} < S_{\Delta} \& (t_{Ca} + t_{Aa}) < S_{\Delta} \rightarrow S_{Aa} = 0, S_{Ba} = 1, S_{Ca} = 0 \quad (A.32)$$

Después de realizar un estudio, se encontró que estas relaciones también se cumplen para el caso de una conmutación simétrica, por lo tanto se utilizaron para la simulación del CM.

El proceso detallado sirve para el cálculo de 3 pulsos los cuales sirven para el control del disparo de una pierna del CM. Cada interruptor bidireccional contiene 2 IGBTs, cada uno de ellos con su propia compuerta. Mediante la técnica de conmutación de cuatro pasos se transforman los 3 pulsos obtenidos mediante el proceso anterior en 6 pulsos, los cuales sirven para el control de los 6 IGBTs que conforman una pierna del CM.

En el diagrama de estados de la figura A.28 se puede analizar el proceso de conmutación de 3 interruptores bidireccionales mediante una técnica de conmutación cuatro pasos. En la figura A.29 se presenta una propuesta de solución al diagrama de

la figura A.28 con esta solución se obtuvieron buenos resultados en la simulación ya que se realizaron las conmutaciones de forma adecuada.

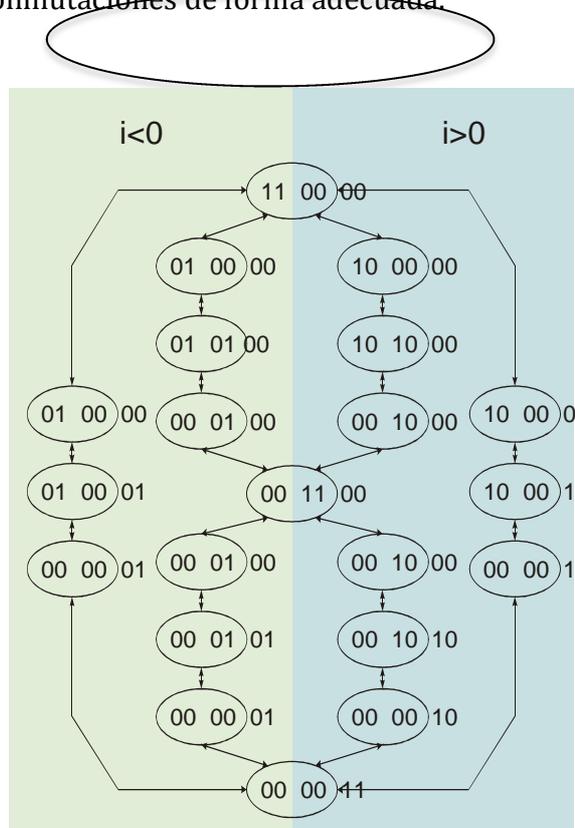


Figura D. 28 Diagrama de estados de conmutación para los interruptores del CM mediante la técnica de conmutación de cuatro pasos

## Implementación de Algoritmos Sünter-Clare en un Convertidor Matricial

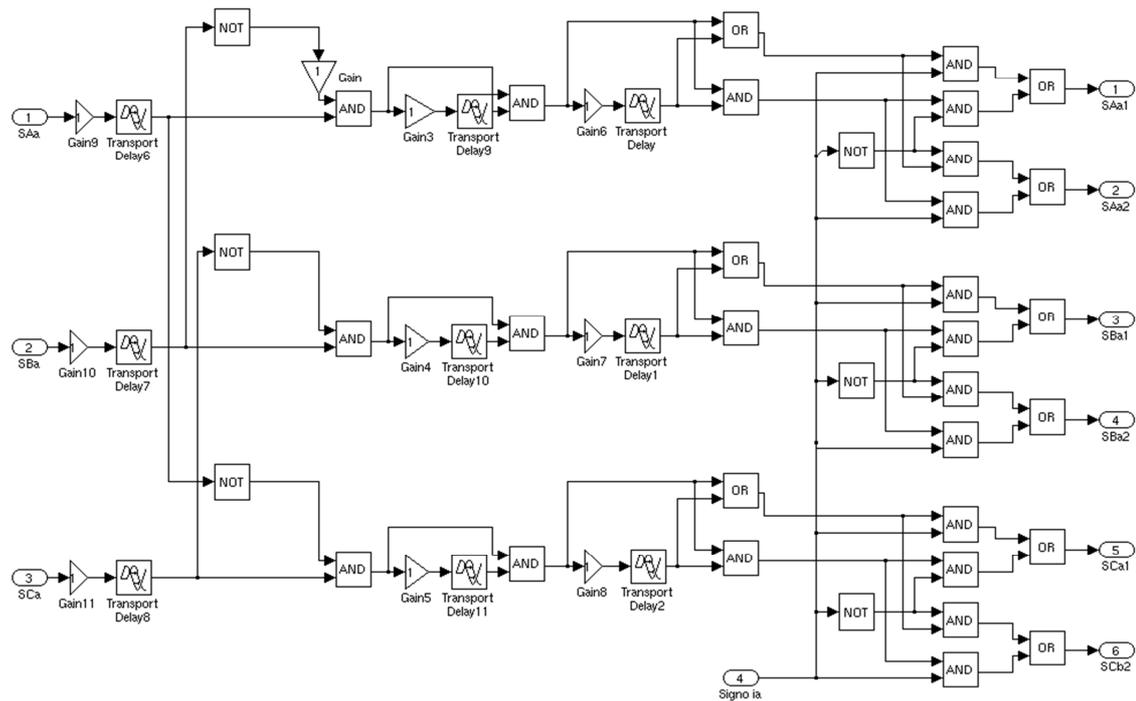


Figura D. 29 Sistema de la conmutación de cuatro pasos

Finalmente en la figura A.30 se observan los pulsos que se obtuvieron del bloque de pulsos y conmutaciones a partir los ciclos de trabajo calculados en el bloque de modulación. Se puede notar que los pulsos cumplen con los principios básicos de operación, es decir, cumplen con la ecuación (2.1), además se observa que los pulsos obtenidos son simétricos y se aplica la técnica de conmutación de cuatro pasos.

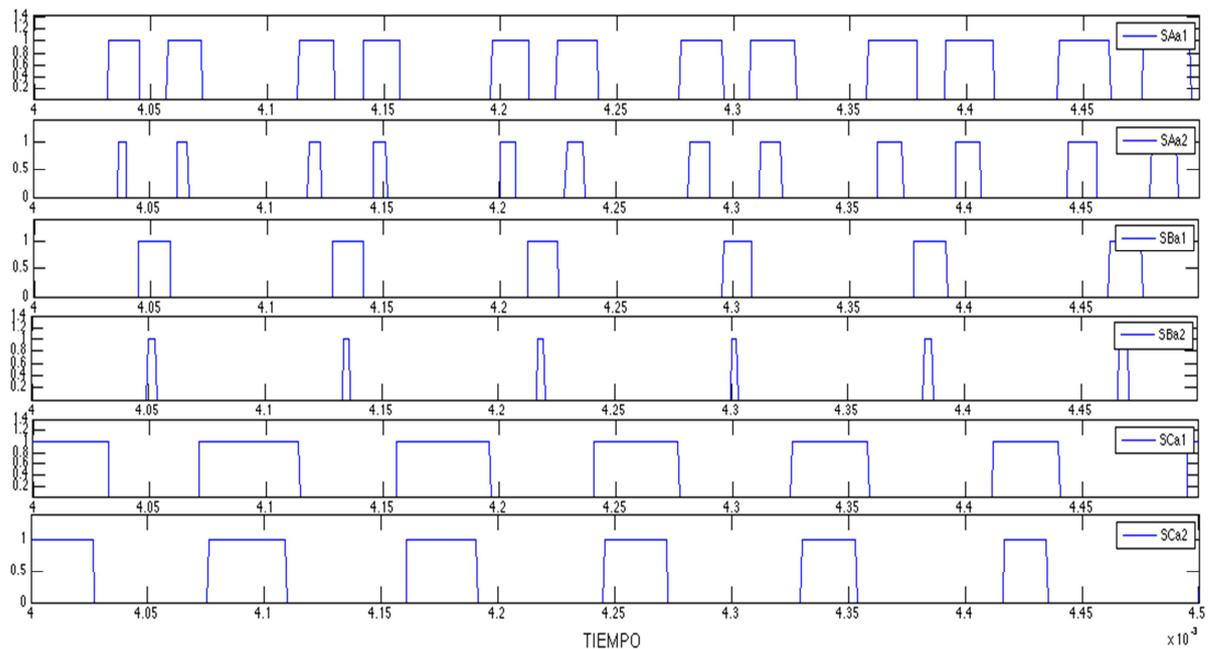


Figura D. 30 Pulsos lógicos para el control de conducción de los interruptores

